

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2022-131314
(P2022-131314A)
 令和4年9月7日(2022.9.7)

(43)公開日

(51)Int. Cl. **H03B 5/32 (2006.01)** F I **H03B 5/32** D テーマコード(参考) **5J079**

審査請求 未請求 請求項の数 7 OL (全 10 頁)

(21)出願番号 特願2021-30195(P2021-30195)
 (22)出願日 令和3年2月26日(2021.2.26)

(71)出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (71)出願人 515217498
 株式会社Piezo Studio
 宮城県仙台市青葉区一番町一丁目四番一号
 (74)代理人 100098394
 弁理士 山川 茂樹
 (74)代理人 100064621
 弁理士 山川 政樹
 (72)発明者 野原 正也
 茨城県つくば市大穂1-1 大学共同利用機関法人 高エネルギー加速器研究機構内

最終頁に続く

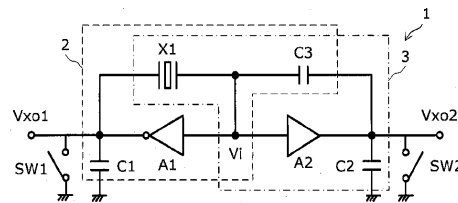
(54)【発明の名称】発振回路および電子機器

(57)【要約】

【課題】高速起動と低消費電流を両立する発振回路を提供する。

【解決手段】本発明の発振回路(1)は、振動子(X1)と増幅器(A1、A2)の入力部を共用するピアース回路(2)およびコルピッツ回路(3)を備え、ピアース回路(2)およびコルピッツ回路のそれぞれの増幅器増幅器(A1、A2)の出力部と対地間に接続されたスイッチ(SW1、SW2)は、発振起動時には、ピアース回路(2)の発振信号を出力し、定常発振時には、コルピッツ回路(3)の発振信号を出力するように制御される。

【選択図】図1



【特許請求の範囲】

【請求項 1】

振動子と増幅器の入力部を共用するピアース回路およびコルピッツ回路を備え、
前記ピアース回路および前記コルピッツ回路のそれぞれの増幅器の出力部と対地間に接続されたスイッチを備え、

前記スイッチは、発振起動時においては、前記ピアース回路の発振信号を出力し、定常発振時においては、前記コルピッツ回路の発振信号を出力するように制御される発振回路。

【請求項 2】

ピアース回路およびコルピッツ回路とから構成される発振回路であって、
前記ピアース回路の第 1 の増幅器 (A 1) および前記コルピッツ回路の第 2 の増幅器 (A 2) は、入力部を共用し、

前記第 1 の増幅器 (A 1) の出力部と対地間に、第 1 の発振容量 (C 1) と前記第 1 の発振容量 (C 1) と並列に接続された第 1 のスイッチ (S W 1) を備え、

前記第 2 の増幅器 (A 2) の出力部と対地間に、第 2 の発振容量 (C 2) と前記第 2 の発振容量 (C 2) と並列に接続された第 2 のスイッチ (S W 2) を備え、

前記入力部と前記第 1 の増幅器 (A 1) の出力部の間に振動子 (X 1) を備え、

前記入力部と第 2 の増幅器 (A 2) の出力部の間に第 3 の発振容量 (C 3) を備え、

前記第 1 のスイッチ (S W 1) および前記第 2 のスイッチ (S W 2) を、それぞれ開状態、閉状態とする発振起動時の第 1 のモードと、第 1 のスイッチ (S W 1) および第 2 のスイッチ (S W 2) を、それぞれ閉状態、開状態とする定常発振時の第 2 のモードで発振動作を行うように構成される

発振回路。

【請求項 3】

請求項 2 に記載の発振回路において、

前記振動子は、ランガサイト型圧電単結晶を用いた振動子であることを特徴とする発振回路。

【請求項 4】

請求項 2 または 3 に記載の発振回路において、

前記ピアース回路の発振起動時の発振振幅が最終収束振幅の 70% ~ 95% に至った場合に、前記第 1 のモードから前記第 2 のモードへの切替が行われることを特徴とする発振回路。

【請求項 5】

請求項 4 に記載の発振回路において、

前記第 1 のモードから前記第 2 のモードへの切替は、前記ピアース回路の前記発振振幅と所定の基準値との比較を行う発振検出回路からの制御信号に基づいて行われることを特徴とする発振回路。

【請求項 6】

請求項 2 乃至 5 の何れか 1 項に記載の発振回路において、

前記第 1 の増幅器は、複数の増幅回路を縦続接続した構成を備え、前記複数の増幅回路の 1 段目の増幅回路は、容量フィードフォワードパスを備え、

前記第 2 の増幅器は、N M O S トランジスタと P M O S トランジスタがカスケード接続されたソースフォロワであること

を特徴とする発振回路。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の発振回路を備えたこと

を特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、振動子を用いた発振回路に関するものである。

【背景技術】

【0002】

近年、携帯電話や、あらゆるモノがインターネットに接続する I o T (Internet Of Things) 機器においては、コードレスの無線回路付き小型電子機器のバッテリーの長寿命化が求められていることから、そこに使われている電子回路や電子部品の低消費電力化が重要技術課題となっている。

【0003】

I o T の小型通信機器で用いられる発振回路では、従来から、図 10 A に示すような水晶振動子を用いたインバータベースのピアース (Pierce) 回路が広く使われており、回路構成がシンプルなことから、何十年もの長い間使われてきた。しかしながら、発振するための電圧成分が大きく取れないため発振起動時間が遅く、定常的に電流を流すための消費電力が大きいという技術課題があった。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 Masaya Miyahara, Yukiya Endo, Kenichi Okada, and Akira Matsuzawa, " A 64 μ s Start Up 26/40 MHz Crystal Oscillator with Negative Resistance Boosting Technique Using Reconfigurable Multi Stage Amplifier ", Proc. IEEE Symp. VLSI Circuits, 2018

【非特許文献 2】 Zule Xu, Noritoshi Kimura, Kenichi Okada, and Masaya Miyahara, " Ultralow Power Class C Complementary Colpitts Crystal Oscillator ", IEEE Journal of Solid State Circuits, Letters, VOL. 3, 2020

【発明の概要】

【発明が解決しようとする課題】

【0005】

非特許文献 1 では、ピアース回路において発振起動時間が遅いという課題を克服するために、発振起動時間を早くするためのブースト回路を付加した図 10 B に示す回路が提案されている。一方、非特許文献 2 では、ピアース回路とは異なるが、図 11 A に示すソースフォロアベースのコルピッツ (Colpitts) 回路を原型とした発振時定常電流を低減可能な図 11 B に示す回路が提案されている。

【0006】

上記 2 つの回路の長所、すなわち、図 10 B の回路の発振起動時間の早さと図 11 B の発振時定常電流の低減の両立ができれば、ピアース回路と比較してさらなる低消費電力化が可能となる。しかし、ベースとなる回路形式が異なるため一方の回路を他方の回路に取り込むのが困難であるという問題がある。

【0007】

本発明は、上記課題を解決するためになされたものであり、高速起動と低消費電流を両立することを可能とする発振回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の発振回路は、振動子と増幅器の入力部を共用するピアース回路およびコルピッツ回路を備え、前記ピアース回路および前記コルピッツ回路のそれぞれの増幅器の出力部と対地間に接続されたスイッチを備え、前記スイッチは、発振起動時においては、前記ピアース回路の発振信号を出力し、定常発振時においては、前記コルピッツ回路の発振信号を出力するように制御される。

【0009】

本発明の発振回路は、ピアース回路およびコルピッツ回路とから構成される発振回路であって、前記ピアース回路の第 1 の増幅器 (A 1) および前記コルピッツ回路の第 2 の増幅器 (A 2) は、入力部を共用し、前記第 1 の増幅器 (A 1) の出力部と対地間に、第 1 の

10

20

30

40

50

発振容量 (C 1) と第 1 の発振容量 (C 1) と並列に接続された第 1 のスイッチ (S W 1) を備え、前記第 2 の増幅器 (A 2) の出力部と対地間に、第 2 の発振容量 (C 2) と第 2 の発振容量 (C 2) と並列に接続された第 2 のスイッチ (S W 2) を備え、前記第 1 の増幅器 (A 1) の入力部と出力部の間に振動子 (X 1) を備え、前記第 2 の増幅器 (A 2) の入力部と出力部の間に第 3 の発振容量 (C 3) を備え、前記第 1 のスイッチ (S W 1) および前記第 2 のスイッチ (S W 2) をそれぞれ開状態、閉状態とする発振起動時の第 1 のモードと、第 1 のスイッチ (S W 1) および第 2 のスイッチ (S W 2) をそれぞれ閉状態、開状態とする定常発振時の第 2 のモードで発振動作を行うように構成される。

【 0 0 1 0 】

また、本発明の発振回路の一構成例において、前記振動子は、ランガサイト型圧電単結晶の振動子である。

10

【 0 0 1 1 】

また、本発明の発振回路の一構成例において、前記ピアース回路の発振起動時の発振振幅が最終収束振幅の 7 0 % ~ 9 5 % に至った場合に、前記第 1 のモードから前記第 2 のモードへの切替が行われる。

【 0 0 1 2 】

また、本発明の発振回路の一構成例において、前記第 1 のモードから前記第 2 のモードへの切替は、前記ピアース回路の前記発振振幅と所定の基準値との比較を行う発振検出回路からの制御信号に基づいて行われる。

【 0 0 1 3 】

また、本発明の発振回路の一構成例において、前記第 1 の増幅器は、複数の増幅回路を縦続接続した構成を備え、前記複数の増幅回路の 1 段目の増幅回路は、容量フィードフォワードパスを備え、前記第 2 の増幅器は、N M O S トランジスタと P M O S トランジスタがカスケード接続されたソースフォロワである。

20

【 0 0 1 4 】

また、本発明の電子機器は、上記の発振回路を備える。

【発明の効果】

【 0 0 1 5 】

本発明によれば、高速起動と低消費電流を両立することを可能とする発振回路を提供することができる。

30

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】図 1 は、本発明の実施形態に係る発振回路の構成例を示す図である。

【図 2 A】図 2 A は、本発明の実施形態に係る発振回路の発振起動時のスイッチの状態を説明するための図である。

【図 2 B】図 2 B は、本発明の実施形態に係る発振回路の定常発振時スイッチの状態を説明するための図である。

【図 3】図 3 は、圧電振動子を用いた発振器の一般的な等価回路である。

【図 4】図 4 は、振動子の等価回路定数の代表値の一例である。

【図 5】図 5 は、本発明の実施形態に係る発振振幅起動特性の一例を示す図である。

40

【図 6】図 6 は、本発明の実施形態に係る発振周波数起動特性の一例を示す図である。

【図 7】図 7 は、本発明の実施形態に係る発振回路の位相雑音特性を示す図である。

【図 8】図 8 は、本発明の実施形態に係るピアース回路とコルピッツ回路をスイッチで切り替えた際の発振特性を示す図である。

【図 9】図 9 は、本発明の実施形態に係る発振回路に接続される発振検出回路の概要を示す図である。

【図 1 0 A】図 1 0 A は、ピアース回路の構成例である。

【図 1 0 B】図 1 0 B は、ブースト回路付きのピアース回路の具体例である。

【図 1 1 A】図 1 1 A は、コルピッツ回路の構成例である。

【図 1 1 B】図 1 1 B は、ソースフォロワ型コルピッツ回路の具体例である。

50

【発明を実施するための形態】

【0017】

図10Bに示したピアース回路はインバータベースである。一方、図11Bに示したコルピッツ回路はソースフォロアベースである。ピアース回路は、電流が大きく発振起動時間が比較的早いという特長を持つ。一方、ソースフォロアベースのコルピッツ回路は、定常発振状態で比較的消費電流が低いという特長を有する。本発明の実施の形態に係る発振回路では、上述した両方の回路形式を混載させ、発振起動時と定常発振時において、発振信号を出力する回路を切り替えることで、高速起動と低消費電流を両立する。

【0018】

図1は、本発明の実施形態に係る発振回路の構成例を示す図である。本実施の形態に係る発振回路1は、ピアース回路2、コルピッツ回路3、各回路の出力部に接続されたスイッチから構成される発振回路である。ピアース回路2およびコルピッツ回路3は、振動子を共用し、各増幅器の入力部を共用するように構成される。ピアース回路2およびコルピッツ回路3のそれぞれの増幅器の出力部には対地間に接続された2つのスイッチを備えている。これらの2つのスイッチは、発振起動時においては、ピアース回路2の発振信号を出力し、定常発振時においては、コルピッツ回路3の発振信号を出力するように制御される。

10

【0019】

より具体的には、ピアース回路2およびコルピッツ回路3の各増幅器(第1の増幅器A1、第2の増幅器A2)の入力部を共用し、第1の増幅器A1、第2の増幅器A2の出力部と対地間に発振容量(第1の発振容量C1、第2の発振容量C2)と、発振容量(C1、C2)と並列に接続されたスイッチ(第1のスイッチSW1、第2のスイッチSW2)を設け、第1の増幅器A1の入出力間に振動子X1を、第2の増幅器A2の入出力間に発振容量C3(第3の発振容量)を設けている。

20

【0020】

図2A、図2Bは、発振回路の発振起動時、および定常発振時のスイッチの状態を説明するための図である。発振起動時のSW1、SW2をそれぞれ開状態、閉状態、定常発振時のSW1、SW2をそれぞれ閉、開とする2つの動作モードを適用し、発振起動時にピアース回路2として発振動作を行わせ、定常発振時にコルピッツ回路3として発振動作を行わせる。発振起動時と定常発振時で動作モードを切り替える構成とすることで、高速起動と低消費電流を両立する発振回路を実現することができる。

30

【0021】

ここで、ピアース回路としては、図10Bに示したような発振起動能力を高める複数の増幅回路が縦続接続されたブースト回路を有する回路を適用し、コルピッツ回路としては、図11Bに示したような定常発振状態の消費電流をより低減する回路を適用してもよい。

【0022】

図10Bにおいて、ピアース回路の増幅器A1は、3段の増幅回路($g_{m1} \sim g_{m3}$)が縦続接続された構成を備え、1段目と2段目の増幅回路(g_{m1} 、 g_{m2})がブースト回路である。1段目の増幅回路 g_{m1} は、さらに容量Cfによる容量フィードフォワードパスを備える。図11Bにおいて、コルピッツ回路の増幅器A2は、NMOSトランジスタT1とPMOSトランジスタT2がカスケード接続されたソースフォロア型コルピッツ回路である。尚、ピアース回路の増幅器A1の増幅回路の段数は、図10Bに例示した3段に限定されるものではない。

40

【0023】

一般的に、振動子X1には水晶振動子(Quartz)が使われることが多いが、振動子X1にランガサイト型圧電単結晶を用いた振動子CTGS($Ca_3TaGa_3Si_2O_{14}$)を適用してもよい。図3は、圧電振動子を用いた発振器の一般的な等価回路である。図3の右図は、左図を簡略化した等価回路図である。図中の点線より左側は振動子の等価回路を示し、右側は発振回路の等価回路を示している。発振するためには、振動子側の

50

直列等価抵抗 R_x を打ち消すような発振回路側の負性抵抗 R_N を発生させる必要があり、負性抵抗 R_N の値をより大きくすることで発振起動時間を短くすることができる。

【 0 0 2 4 】

図 4 に、振動子の等価回路定数の代表値を示す。ピアース回路の増幅器 A_1 を増幅回路が 3 段縦続接続された構成とし、容量フィードフォワードパスを備えることで、小さい消費電力でより大きな負性抵抗 R_N を得ることができる。さらに、発振回路 1 の振動子としてランガサイト系振動子 $CTGS$ を適用することで、直列等価インダクタンス L_m が水晶振動子より約一桁小さいため、発振起動時間を一桁早くすることができる。

【 0 0 2 5 】

図 5、6 は、本発明の実施形態に係る発振振幅起動特性および発振周波数起動特性の一例である。図 1 の構成例において、ピアース回路に図 10 B に示すブースト回路を有する回路を、ソースフォロア型コルピッツ回路に図 11 B に示す $NMOS$ トランジスタと $PMOS$ トランジスタがカスケード接続されたソースフォロワを適用し、振動子 X_1 にランガサイト系振動子 $CTGS$ を適用した場合の特性である。

10

【 0 0 2 6 】

各回路の特長を示すため、図 5、6 の各グラフでは、発振起動の早いピアース回路のみの特性、および発振時定常電流が小さいソースフォロア型コルピッツ回路のみの特性をそれぞれ記載している。図 5 中の数値は、ピアース回路における発振振幅が所定の定常値に達するまでの時間であり、図 6 中の数値は、それぞれの回路における発振周波数が所定の値において安定するまでの時間と安定時の発振周波数の値である。

20

【 0 0 2 7 】

図 5、6 に示すように、発振起動時間は、振幅、周波数ともに約 $10 \mu\text{sec}$ 程度であり、水晶振動子を使った一般的な起動時間の約 $1/50$ である。また、図 11 B のソースフォロア型コルピッツ回路を用いることで、従来のコルピッツ回路に比べ、発振時の定常電流を低減することができる。例えば、非特許文献 2 では、従来のコルピッツ回路に比べ、発振時の定常電流を約 $1/5$ に抑えることができる。

【 0 0 2 8 】

加えて、定常発振時にピアース回路ではなく、図 11 B のソースフォロア型コルピッツ回路を適用することで、通信装置の符号誤り率に関係する発振回路の位相雑音特性を改善することができる。図 7 は、本発明の実施形態に係る発振回路の位相雑音特性を示す図である。図 7 に示すように、通信機器に重要な発振回路性能である位相雑音は、従来のピアース発振回路と比較すると、発振回路の基本周波数に対するオフセット周波数が 100Hz までの範囲で約 9dB 改善される。このように、本実施の形態の発振回路を用いることで、従来のピアース発振回路と比較して、定常発振時における位相雑音特性を改善することができる。

30

【 0 0 2 9 】

発振起動用のピアース回路から定常発振用のコルピッツ回路に移行するタイミング、すなわち、スイッチ (SW_1 、 SW_2) の切替タイミングについては、発振周波数の移行をスムーズにするため、ピアース回路の発振起動時の振幅がある程度安定し、かつ、ピアース回路の特長である発振起動の早さを活かす必要がある。例えば、最終収束振幅の $70\% \sim 95\%$ に至った時点がスイッチの切替タイミングとしては最適である。

40

【 0 0 3 0 】

図 8 は、発振回路 1 において、ピアース回路とコルピッツ回路をスイッチで切り替えた際の発振特性を示す図である。ピアース回路の発振起動時の振幅が最終収束振幅の $70\% \sim 95\%$ に至った時点において、ピアース回路の振動子 X_1 において安定した固有周波数振動が発生しているため、単独では起動が遅いコルピッツ回路においても、安定した固有周波数振動をしているピアース回路と振動子 X_1 を共用することで、そのまま発振状態が維持され、発振周波数の移行がスムーズに行われる。

【 0 0 3 1 】

発振周波数の移行をよりスムーズに行うための切替条件としては、振動子 X_1 側から見

50

た等価容量が切替前後で同等であることが挙げられる。実際には、切替時の発振振幅においては、発振回路 1 の形式が変わってしまうので、振幅の段差が発生するが、本発明の発振回路 1 が接続される負荷側で一定レベル以上の振幅であれば、実使用上は問題にならない。一方、切替時の周波数変動は、そのまま負荷側に出力されてしまうという問題がある。そのため、切替時の周波数変動を小さくするためには、振動子 X 1 から見た等価容量が切替前後で同等であることが重要となる。

【 0 0 3 2 】

スイッチ (S W 1 、 S W 2) の切替のトリガー信号はピアース回路の発振振幅をモニタする回路から出力すればよい。例えば、図 9 に示すように、発振回路 1 の後段に発振検出回路 4 を設けて、この発振検出回路 4 において、ピアース回路の発振信号 V x o 1 の発振振幅が所定の基準値以上になると制御信号が出力されるように構成し、発振検出回路 4 から出力される制御信号をスイッチ (S W 1 、 S W 2) の切替のトリガー信号として用いることができる。

10

【 0 0 3 3 】

発振検出回路 4 は、ピアース回路の発振信号 V x o 1 の発振振幅に応じて、スイッチ (S W 1 、 S W 2) の切替を行うことにより、ピアース回路の発振信号 V x o 1 を出力する第 1 のモードから、コルピッツ回路の発振信号 V x o 2 を出力する第 2 のモードへの切替を行うように構成されている。ピアース回路の発振振幅が最終収束振幅の 7 0 % ~ 9 5 % という切替条件は一例であり、発振検出回路 4 においては、適用される電子機器等における種々の条件に応じて切替条件を適宜定めることができる。例えば、上述した、振動子から見た切替前後の等価容量を考慮して切替条件を定めることもできる。

20

【 0 0 3 4 】

以上のように、本実施の形態によれば、高速起動と低消費電流を両立した発振回路を実現することができる。本実施の形態の発振回路を、例えば、携帯電話機や I o T 機器などの電子機器に適用することで、電子機器の低消費電力化に貢献することができる。

【 産業上の利用可能性 】**【 0 0 3 5 】**

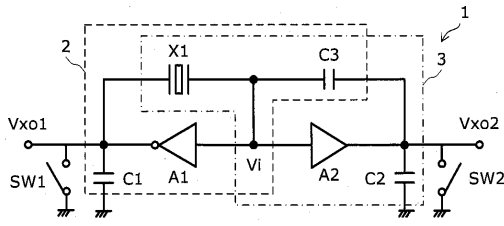
本発明は、小型電子機器で用いる発振回路に適用することができる。

【 符号の説明 】**【 0 0 3 6 】**

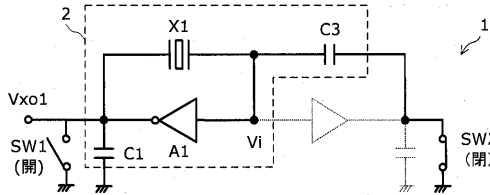
1 発振回路、 2 ピアース回路、 3 コルピッツ回路、 4 発振検出回路、 A 1、 A 2 増幅器、 C 1 , C 2 , C 3 発振容量、 S W 1 , S W 2 スイッチ、 X 1 振動子。

30

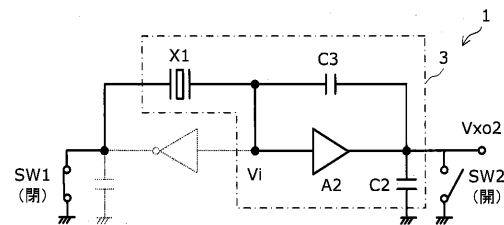
【図1】



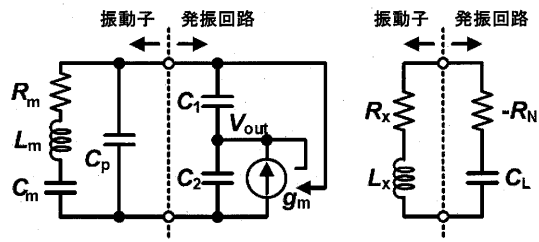
【図2A】



【図2B】



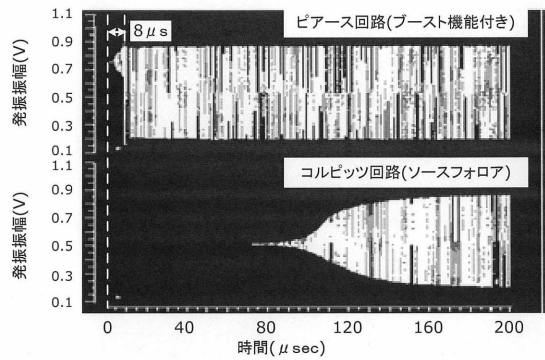
【図3】



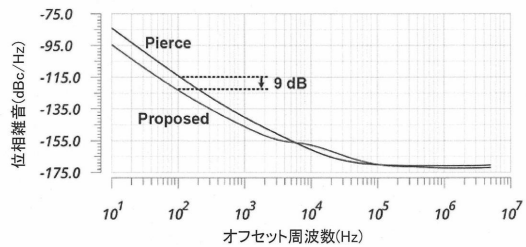
【図4】

Parameters		
Crystal	CTGS	Quartz
CL(pF)	6(C1=18pF,C2=9pF)	
Lm(mH)	1.45	13.2
Rm(Ω)	6.2	16.9
Cm(fF)	30	3.6
Rx(Ω)	10.2	24.3
Q	35267	117607

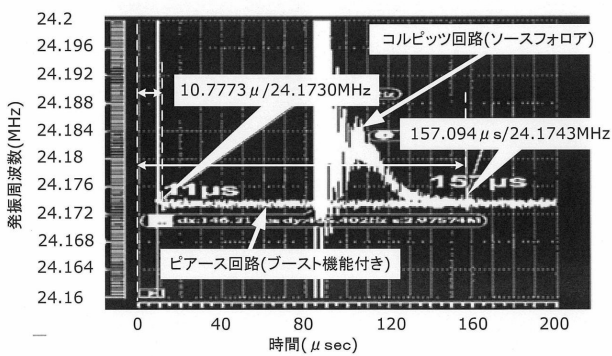
【図5】



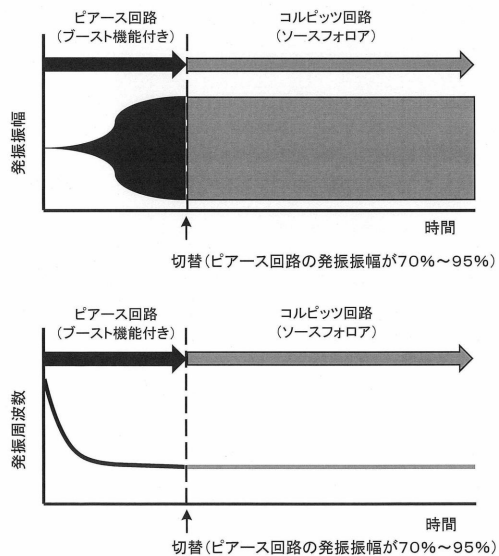
【図7】



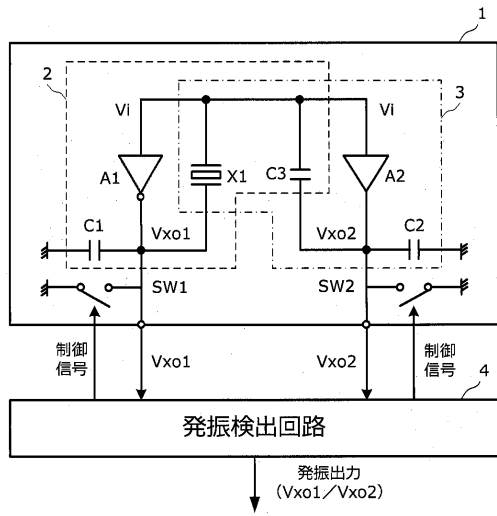
【図6】



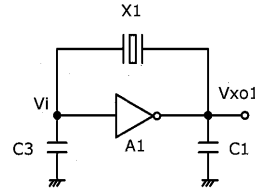
【図8】



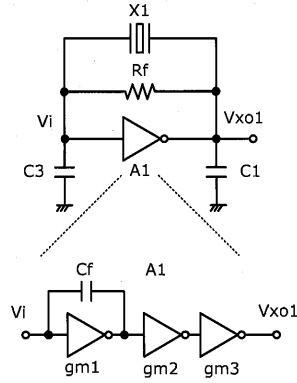
【図9】



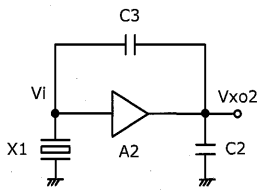
【図10A】



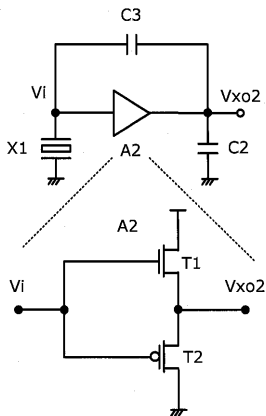
【図10B】



【図11A】



【図11B】



フロントページの続き

(72)発明者 石井 武仁

宮城県仙台市青葉区一番町一丁目4番1号 株式会社Piezo Studio内

(72)発明者 木村 悟利

宮城県仙台市青葉区一番町一丁目4番1号 株式会社Piezo Studio内

Fターム(参考) 5J079 AA04 BA22 BA41 FA14 FB03 FB48 GA10