

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-8675

(P2008-8675A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl.		F I		テーマコード (参考)	
GO 1 T	3/06	(2006.01)	GO 1 T	3/06	2 G O 8 8
GO 1 T	7/00	(2006.01)	GO 1 T	7/00	A
GO 1 T	3/00	(2006.01)	GO 1 T	3/00	H

審査請求 未請求 請求項の数 18 O L (全 64 頁)

(21) 出願番号	特願2006-177083 (P2006-177083)	(71) 出願人	504151365 大学共同利用機関法人 高エネルギー加速器研究機構 茨城県つくば市大穂1番地1
(22) 出願日	平成18年6月27日 (2006.6.27)	(71) 出願人	503359821 独立行政法人理化学研究所 埼玉県和光市広沢2番1号
		(74) 代理人	100137752 弁理士 亀井 岳行
		(72) 発明者	佐藤 節夫 茨城県つくば市大穂1-1 高エネルギー加速器研究機構内
		(72) 発明者	広田 克也 埼玉県和光市広沢2番地1号 理化学研究所内

最終頁に続く

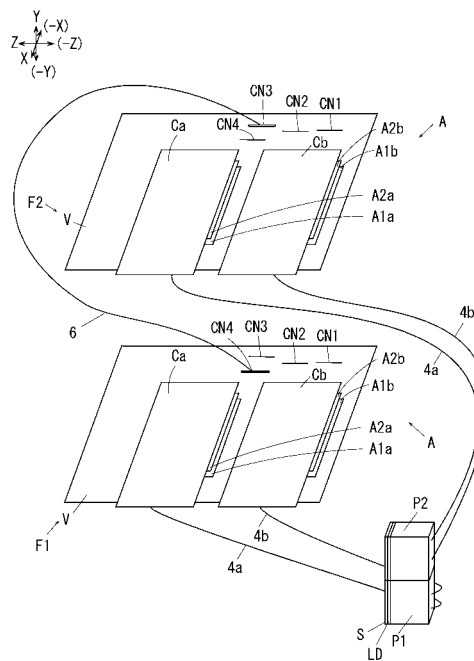
(54) 【発明の名称】 中性子入射位置検出装置

(57) 【要約】 (修正有)

【課題】 複数のフラットパネル型マルチアノード光電子増倍管をXY平面内に複数連結して配置した場合に、中性子入射位置および入射時刻を高精度で演算し記憶する。

【解決手段】 中性子入射位置検出装置は中性子入射位置検出器、および接続チャンネル信号受信記憶手段と隣接チャンネル信号送信手段と隣接チャンネル信号受信記憶手段と中性子入射位置演算記憶手段とを有する複数の中性子入射位置演算記憶回路基板Fとを備える。中性子入射位置検出器は中性子シンチレータSと複数のフラットパネル型マルチアノード光電子増倍管Pとを有する。複数の各フラットパネル型マルチアノード光電子増倍管Pと対応する複数の各中性子入射位置演算記憶回路基板Fとは、それぞれが接続される複数の接続チャンネル信号伝送路4で接続し、隣接チャンネル信号送信路と隣接チャンネル信号受信路とを有する隣接チャンネル信号伝送路6で中性子入射位置演算記憶回路基板Fどうしを接続する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

次の構成要件 (A01) ~ (A05) を備えた中性子入射位置検出装置。

(A01) 中性子が入射する平板状の中性子入射面を有し、前記中性子入射面に中性子が入射した時に光電子を放出する中性子シンチレータと、前記光電子が入射した時に前記入射した光電子量に応じた電流を出力する複数のチャンネルが直交する X 軸および Y 軸を含む X Y 平面内に碁盤目状に並んで密接して配置された長方形の光電子検出領域を有し且つ前記 X Y 平面内に並んで密接して配置された複数のフラットパネル型マルチアノード光電子増倍管とを有する中性子入射位置検出器、

(A02) 前記複数の各フラットパネル型マルチアノード光電子増倍管に対応してそれぞれ設けられ、前記複数の各フラットパネル型マルチアノード光電子増倍管に入射した光電子量に応じて前記中性子の入射位置を演算して記憶する中性子入射位置演算記憶手段を有する複数の各中性子入射位置演算記憶回路基板、

(A03) 前記複数の各フラットパネル型マルチアノード光電子増倍管と前記対応する複数の各中性子入射位置演算記憶回路基板とをそれぞれ接続する複数の各接続チャンネル信号伝送路であって、前記各フラットパネル型マルチアノード光電子増倍管の複数の各チャンネルの出力信号である接続チャンネル信号を前記各中性子入射位置演算記憶回路基板にそれぞれ伝送する前記複数の各接続チャンネル信号伝送路、

(A04) 前記 X Y 平面内に互いに密接して配置された前記複数の各フラットパネル型マルチアノード光電子増倍管に前記各接続チャンネル信号伝送路を介して接続された中性子入射位置演算記憶回路基板どうしを接続する隣接チャンネル信号伝送路であって、一方の中性子入射位置演算記憶回路基板に接続された前記フラットパネル型マルチアノード光電子増倍管の前記接続チャンネル信号のうち他方のフラットパネル型マルチアノード光電子増倍管に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板から前記他方の中性子入射位置演算記憶回路基板に送信する隣接チャンネル信号送信路と、前記他方の中性子入射位置演算記憶回路基板に接続されたフラットパネル型マルチアノード光電子増倍管の前記接続チャンネル信号のうち前記一方のフラットパネル型マルチアノード光電子増倍管に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板が前記他方の中性子入射位置演算記憶回路基板から受信する隣接チャンネル信号受信路とを有する前記隣接チャンネル信号伝送路、

(A05) 前記接続チャンネル信号に対応する前記各接続チャンネル信号伝送路から受信して記憶する接続チャンネル信号受信記憶手段と、前記隣接チャンネル信号送信路から前記隣接チャンネル信号を送信する隣接チャンネル信号送信手段と、前記隣接チャンネル信号受信路から受信した前記隣接チャンネル信号を記憶する隣接チャンネル信号受信記憶手段と、前記接続チャンネル信号と前記隣接チャンネル信号とから、最大の出力信号を出力するチャンネルを特定し、前記特定したチャンネルである最大チャンネルと前記最大チャンネルの周囲に隣接する複数のチャンネルである周囲チャンネルの出力信号から、前記中性子入射面に入射した中性子の入射位置である中性子入射位置信号を演算して記憶する前記中性子入射位置演算記憶手段とを有する前記複数の各中性子入射位置演算記憶回路基板。

## 【請求項 2】

次の構成要件 (A06) ~ (A08) を備えた請求項 1 記載の中性子入射位置検出装置。

(A06) 前記複数の各フラットパネル型マルチアノード光電子増倍管と前記対応する複数の各中性子入射位置演算記憶回路基板とをそれぞれ接続する複数の各ラストダイノード信号伝送路であって、前記各フラットパネル型マルチアノード光電子増倍管の複数の各チャンネルの出力信号の総和であるラストダイノード信号を前記各中性子入射位置演算記憶回路基板にそれぞれ伝送する前記複数の各ラストダイノード信号伝送路、

(A07) 前記一方の中性子入射位置演算記憶回路基板と前記他方の中性子入射位置演算記憶回路基板とを接続する記憶送信指示信号伝送路であって、前記ラストダイノード信号を受信したときに、受信中の前記接続チャンネル信号を記憶し且つ記憶させた前記接続チャンネル信号のうち前記隣接チャンネル信号を送信する指示をするための信号である記憶送信指

示信号を前記一方の中性子入射位置演算記憶回路基板から前記他方の中性子入射位置演算記憶回路基板に送信する記憶送信指示信号送信路と、前記記憶送信指示信号を前記一方の中性子入射位置演算記憶回路基板が前記他方の中性子入射位置演算記憶回路基板から受信する隣接記憶送信指示信号受信路とを有する前記記憶送信指示信号伝送路、

(A08) 前記ラストダイノード信号を対応する前記各ラストダイノード信号伝送路から受信して記憶するラストダイノード信号受信記憶手段と、前記記憶送信指示信号送信路から前記記憶送信指示信号を送信する記憶送信指示信号送信手段と、前記隣接記憶送信指示信号受信路から前記記憶送信指示信号を受信する記憶送信指示信号受信手段と、前記ラストダイノード信号または前記記憶送信指示信号を受信したときに、受信中の前記接続チャンネル信号の記憶を開始する接続チャンネル信号記憶開始手段とを有する前記複数の各中性子入射位置演算記憶回路基板。 10

【請求項3】

次の構成要件(A09)を備えた請求項2記載の中性子入射位置検出装置。

(A09) 対応する前記各ラストダイノード信号伝送路から受信した前記ラストダイノード信号の値のうち、直前の値と直後の値よりも大きい値であるピーク値を検出して一定期間記憶するラストダイノード信号ピーク値検出記憶手段と、予め設定された期間ごとに受信した前記ラストダイノード信号の値のうちの最小値を検出して前記予め設定された期間まで記憶するラストダイノード信号最小値検出記憶手段とを有する前記ラストダイノード信号受信記憶手段であって、前記ピーク値と最小値との差分値が予め設定された閾値よりも大きいときに、前記差分値を前記ラストダイノード信号の値として記憶する前記ラストダイノード信号受信記憶手段と、前記ラストダイノード信号受信記憶手段によって記憶する前記差分値を受信したときに、前記受信中の前記接続チャンネル信号の記憶を開始する前記接続チャンネル信号記憶開始手段。 20

【請求項4】

次の構成要件(A010)を備えた請求項3記載の中性子入射位置検出装置。

(A010) 前記ラストダイノード信号の最小値を検出して予め設定された期間だけラストダイノード信号用第1記憶媒体に記憶する第1ラストダイノード信号最小値検出記憶手段と、前記ラストダイノード信号の最小値を検出して前記予め設定された期間だけラストダイノード信号用第2記憶媒体に記憶する第2ラストダイノード信号最小値検出記憶手段とを有する前記ラストダイノード信号最小値検出記憶手段であって、前記第1ラストダイノード信号最小値検出記憶手段が予め設定された期間が経過して前記検出を再開する時間と前記第2ラストダイノード信号最小値検出記憶手段が予め設定された期間が経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し且つ前記第1ラストダイノード信号最小値検出記憶手段によって検出された前記最小値を第1ラストダイノード信号最小値とし、前記第2ラストダイノード信号最小値検出記憶手段によって検出された前記最小値を第2ラストダイノード信号最小値としたときに、前記第1ラストダイノード信号最小値と前記第2ラストダイノード信号最小値とを比較してより小さい値を前記最小値として検出して記憶する前記ラストダイノード信号最小値検出記憶手段。 30

【請求項5】

次の構成要件(A011)～(A013)を備えた請求項1ないし請求項4のいずれかに記載の中性子入射位置検出装置。 40

(A011) 基本クロックを発振する基本クロック発振回路C15と、前記基本クロックの周期の3以上の整数倍の周期で隣接チャンネル信号伝送用クロックC16を発振する隣接チャンネル信号伝送用クロック発振回路とを有する前記複数の各中性子入射位置演算記憶回路基板、

(A012) 前記一方の中性子入射位置演算記憶回路基板と前記他方の中性子入射位置演算記憶回路基板とを接続する隣接チャンネル信号伝送用クロック伝送路であって、前記隣接チャンネル信号伝送用クロック発振回路が発振する前記隣接チャンネル信号伝送用クロックを前記一方の中性子入射位置演算記憶回路基板から前記他方の中性子入射位置演算記憶回路基 50

板に送信する隣接チャンネル信号伝送用クロック送信路と、前記隣接チャンネル信号伝送用クロックを前記一方の中性子入射位置演算記憶回路基板が前記他方の中性子入射位置演算記憶回路基板から受信する隣接チャンネル信号伝送用クロック受信路とを有する前記隣接チャンネル信号伝送用クロック伝送路、

(A 013) 前記隣接チャンネル信号伝送用クロック送信路から前記隣接チャンネル信号伝送用クロックを送信する隣接チャンネル信号伝送用クロック送信手段と、前記隣接チャンネル信号伝送用クロック受信路から前記隣接チャンネル信号伝送用クロックを受信する隣接チャンネル信号伝送用クロック受信手段と、前記隣接チャンネル信号伝送用クロック送信路から送信する前記隣接チャンネル信号伝送用クロックと前記隣接クロック受信路から受信する前記隣接チャンネル信号伝送用クロックとの同期が可能な範囲の周期で前記隣接チャンネル信号送信路から前記隣接チャンネル信号を送信する前記隣接チャンネル信号送信手段と、前記隣接チャンネル信号伝送用クロック送信路から送信する前記隣接チャンネル信号伝送用クロックと前記隣接クロック受信路から受信する前記隣接チャンネル信号伝送用クロックとの同期が可能な範囲の周期で前記隣接チャンネル信号受信路から前記隣接チャンネル信号を受信して記憶する前記隣接チャンネル信号受信記憶手段とを有する前記複数の各中性子入射位置演算記憶回路基板。

10

【請求項 6】

次の構成要件 (A 014) を備えた請求項 1 ないし請求項 5 のいずれかに記載の中性子入射位置検出装置。

(A 014) 対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号のうちの最大値を検出して予め設定された期間だけ記憶する接続チャンネル信号最大値検出記憶手段と、予め設定された期間内に受信した前記接続チャンネル信号のうちの最小値を検出して予め設定された期間だけ記憶する接続チャンネル信号最小値検出記憶手段とを有する前記接続チャンネル信号受信記憶手段であって、前記接続チャンネル信号の前記最大値と前記最小値との差分値を前記接続チャンネル信号の値として記憶する前記接続チャンネル信号受信記憶手段。

20

【請求項 7】

次の構成要件 (A 015) を備えた請求項 6 記載の中性子入射位置検出装置。

(A 015) 前記接続チャンネル信号の最小値をそれぞれ検出して予め設定された期間だけ接続チャンネル信号用第 1 記憶媒体に記憶する第 1 接続チャンネル信号最小値検出記憶手段と、前記接続チャンネル信号の最小値をそれぞれ検出して前記予め設定された期間だけ各接続チャンネル信号用第 2 記憶媒体に記憶する第 2 接続チャンネル信号最小値検出記憶手段とを有する前記接続チャンネル信号最小値検出記憶手段であって、前記第 1 接続チャンネル信号最小値検出記憶手段が前記予め設定された期間を経過して前記検出を再開する時間と前記第 2 接続チャンネル信号最小値検出記憶手段が前記予め設定された期間を経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し且つ前記第 1 接続チャンネル信号最小値検出記憶手段によって検出された前記最小値を第 1 接続チャンネル信号最小値とし、前記第 2 接続チャンネル信号最小値検出記憶手段によって検出された前記最小値を第 2 接続チャンネル信号最小値としたときに、前記第 1 接続チャンネル信号最小値と前記第 2 接続チャンネル信号最小値とを比較してより小さい値を前記最小値として検出して記憶する前記接続チャンネル信号最小値検出記憶手段。

30

40

【請求項 8】

次の構成要件 (A 016) を備えた請求項 1 ないし請求項 7 のいずれかに記載の中性子入射位置検出装置。

(A 016) 対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号を記憶開始してから、予め設定された時間内に記憶する前記接続チャンネル信号受信記憶手段と、前記隣接チャンネル信号送信路から前記隣接チャンネル信号を予め設定された時間内に送信する前記隣接チャンネル信号送信手段と、前記隣接チャンネル信号受信路から受信した前記隣接チャンネル信号を予め設定された時間内に記憶する前記隣接チャンネル信号受信記憶手段

50

## 【請求項 9】

次の構成要件 (A 017) を備えた請求項 1 ないし請求項 8 のいずれかに記載の中性子入射位置検出装置。

(A 017) 対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号を記憶するときに、前記接続チャンネル信号を補正する接続チャンネル信号補正手段を有する前記接続チャンネル信号受信記憶手段。

## 【請求項 10】

次の構成要件 (A 018) を備えた請求項 1 ないし請求項 9 のいずれかに記載の中性子入射位置検出装置。

(A 018) 対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号を記憶するときに、前記隣接チャンネル信号送信路から前記隣接チャンネル信号を演算し易い状態に再配置してから記憶する前記接続チャンネル信号受信記憶手段。

10

## 【請求項 11】

次の構成要件 (A 019) を備えた請求項 1 ないし請求項 10 記載の中性子入射位置検出装置。

(A 019) 前記接続チャンネル信号と前記隣接チャンネル信号とによって特定した前記最大チャンネルおよび前記周囲チャンネルから前記中性子入射位置信号である重心位置信号を演算して記憶する前記中性子入射位置演算記憶手段であって、前記最大チャンネルを中心に X 方向および - X 方向に隣接する周囲チャンネルを X 方向周囲チャンネルとし、前記最大チャンネルを中心に Y 方向および - Y 方向に隣接する周囲チャンネルを Y 方向周囲チャンネルとし、前記最大チャンネルおよび前記 X 方向周囲チャンネルの各出力信号から重心位置を求めることで得られる X 方向重心位置信号と、前記最大チャンネルおよび前記 Y 方向周囲チャンネルの各出力信号から重心位置を求めることで得られる Y 方向重心位置信号とを有する前記重心位置信号を演算して記憶する前記中性子入射位置演算記憶手段。

20

## 【請求項 12】

次の構成要件 (A 020) , (A 021) を備えた請求項 1 ないし請求項 11 記載の中性子入射位置検出装置。

(A 020) 前記複数の各中性子入射位置演算記憶回路基板と接続された表示制御装置および前記表示制御装置に接続された表示器を有する中性子入射位置表示装置、

(A 021) 前記中性子入射面と前記中性子入射面上の中性子の入射位置とを前記表示器に表示する前記表示制御装置。

30

## 【請求項 13】

次の構成要件 (A 022) を備えた請求項 1 ないし請求項 12 記載の中性子入射位置検出装置。

(A 022) 前記複数の各接続チャンネル信号伝送路を形成する複数の各接続チャンネル信号伝送ケーブル。

## 【請求項 14】

次の構成要件 (A 023) を備えた請求項 1 ないし請求項 13 記載の中性子入射位置検出装置。

(A 023) 前記隣接チャンネル信号伝送路を形成する隣接チャンネル信号伝送ケーブル。

40

## 【請求項 15】

次の構成要件 (A 024) , (A 025) を備えた請求項 2 ないし請求項 14 記載の中性子入射位置検出装置。

(A 024) 前記複数の各ラストダイノード信号伝送路を形成する複数の各ラストダイノード信号伝送ケーブル、

(A 025) 前記記憶送信指示信号伝送路を形成する記憶送信指示信号伝送ケーブル。

## 【請求項 16】

次の構成要件 (A 026) を備えた請求項 4 ないし請求項 15 記載の中性子入射位置検出装置。

(A 026) 前記隣接チャンネル信号伝送用クロック伝送路を形成する隣接チャンネル信号伝送

50

用クロック伝送ケーブル。

【請求項 17】

次の構成要件 (A 027) を備えた請求項 1 ないし請求項 16 記載の中性子入射位置検出装置。

(A 027) 複数の前記中性子シンチレータを有する前記中性子入射位置検出器。

【請求項 18】

次の構成要件 (A 028) を備えた請求項 1 ないし請求項 17 記載の中性子入射位置検出装置。

(A 028) 前記平板状の中性子入射面に入射する中性を発生する中性子発生器。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、中性子が入射したときに光電子を放出する平板状の中性子シンチレータおよび前記光電子量に応じた電流を出力する複数のフラットパネル型マルチアノード光電子増倍管とを有する中性子入射位置検出器と、前記中性子入射位置検出器の検出信号に基づいて前記中性子シンチレータにおける中性子入射位置を演算して中性子入射時刻と共に記憶する中性子入射位置演算記憶装置とを備えた中性子入射位置検出装置に関する。

【背景技術】

【0002】

前記フラットパネル型のマルチアノード光電子増倍管は、光電子増倍管における四角形 (正方形) の各チャンネルが碁盤目状に複数配置されており、前記各チャンネルごとに入射した光電子数に応じた前記電流積分値および前記各チャンネルの前記電流積分値の総和であるラストダイノード信号を出力する機能を有する。前記フラットパネル型のマルチアノード光電子増倍管は広く市販され、小型で且つ高位置分解能 (前記チャンネルの面積が小さく、中性子入射位置の範囲をより詳細に特定できること) や高い検出効率 (前記チャンネル同士が隣接することにより生じるデッドスペースが小さいこと) を持つものが比較的安価で入手することができるようになった。

20

【0003】

また、前記中性子入射位置検出器のフラットパネル型のマルチアノード光電子増倍管に接続された前記中性子入射位置演算記憶装置は、前記ラストダイノード信号を受信した時に、前記中性子シンチレータの中性子入射面に中性子が入射したことを識別し、前記各チャンネルの電流積分値を受信し、前記各チャンネルの電流積分値の大小に応じて、前記中性子入射面に中性子が入射した位置を特定することができる。

30

【0004】

前記フラットパネル型マルチアノード光電子増倍管を使用した中性子入射位置検出装置として、下記の従来技術 (J 01) が従来公知である。

(J 01) 非特許文献 1 記載の技術

従来技術 (J 01) の中性子位置検出装置は、中性子シンチレータと 64 ch FPM T (64 チャンネルフラットパネル型マルチアノード光電子増倍管) との間に光拡散用のガラスを挟んだアンガーカメラ方式を採用している。

40

【0005】

図 23 は従来技術 (J 01) の中性子検出器のアンガーカメラ方式の説明図である。

図 23 において、従来技術 (J 01) の中性子検出器 01 は、平板状の中性子シンチレータ 02 と、前記中性子シンチレータ 02 の下方に配置された平板状の亚克力ガラス 03 と、前記亚克力ガラス 03 の下方に配置された前記 64 ch FPM T 04 とを有している。

中性子 06 を前記中性子シンチレータ 02 に照射すると、前記中性子シンチレータ 02 から放出された光電子のうち、下方向に放出した複数の光電子 06 は、前記亚克力ガラス 03 によって屈折され、拡散される (前記亚克力ガラス 03 内の点線 07 参照)。前記拡散された光電子 06 は、前記 64 ch FPM T 04 の複数のチャンネルで増倍された電

50

流積分値として検出される（前記 64chFPMT04内を下方方向に延びる3本の点線08参照）。なお、前記アクリルガラス03は省略可能であり、前記中性子シンチレータ02を前記64chFPMT04に直接貼り付けることもできる。前記アクリルガラス03を省略したときは、前記光電子06の拡散される度合が小さくなるが、前記光電子06を複数のチャンネルで検出することは可能である。

#### 【0006】

また、従来技術（J01）の中性子位置検出装置は、64chFPMTで前記光電子を検出した時に、読み出し回路（中性子入射位置演算記憶回路基板）は、64ch全体の信号の総和である前記ラストダイノード信号が通知されることによって中性子を検出したことを識別し、前記中性子入射位置演算記憶回路基板に接続された前記64chFPMTの各チャンネルの各電流積分値（以降、接続チャンネル信号と記載する）をそれぞれ読み出す。このとき、前記各接続チャンネル信号および前記ラストダイノード信号は、中性子入射位置演算記憶回路基板のAD変換回路に通知されてデジタル変換され、タイムスタンプ（中性子入射時刻）と共に前記中性子入射位置演算記憶回路基板内に記憶される。前記読み出し回路に記憶されたデータは、接続ケーブルで接続された制御コンピュータに転送されて中性子の入射位置が演算される。また、前記制御コンピュータは、中性子の入射位置を二次元画像化してモニタに表示する。

10

#### 【0007】

さらに、前記従来技術（J01）には、全64個の各チャンネルのうちの前記接続チャンネル信号の値が最大のチャンネルである最大チャンネルおよび前記最大チャンネルに隣接するチャンネルである4隣チャンネル（周囲チャンネル）の前記接続チャンネル信号の値を用いて、制御コンピュータが前記最大チャンネルにおける重心位置を演算することにより、中性子入射位置をさらに高精度に特定できる技術について記載されている。ここで、前記4隣チャンネルとは、直交するX軸およびY軸を含むXY平面上の前記光電子検出領域において、前記最大チャンネルを中心として、X方向、Y方向、-X方向、-Y方向に隣接する4つのチャンネルのことをいう。

20

#### 【0008】

図24は従来技術（J01）記載の重心位置の演算処理の説明図であり、図24Aは64chFPMTが有する全64個の各チャンネルのうち最大チャンネルおよび4隣チャンネルの位置関係を例示する図であり、図24Bは最大チャンネルと4隣チャンネルの接続チャンネル信号の値による最大チャンネルにおける重心位置の演算方法の説明図であり、図24Cは最大チャンネルが外周位置のチャンネルであったときの最大チャンネルに隣接するチャンネルの配置状態の説明図である。

30

図24Aにおいて、従来技術（J01）の前記中性子位置検出装置は、全64個のチャンネルのうち前記接続チャンネル信号の値が最大であったチャンネルである最大チャンネル011を検出したときに、前記最大チャンネル011を中心として、前記4隣チャンネルとしてのY方向隣接チャンネル012と、-Y方向隣接チャンネル013と、X方向隣接チャンネル014と、-X方向隣接チャンネル016とを検出する。

#### 【0009】

図24Bにおいて、前記最大チャンネル21の前記接続チャンネル信号の値を $z_c$ とし、前記Y方向隣接チャンネル012の前記接続チャンネル信号の値を $z_r$ とし、前記-Y方向隣接チャンネル013の前記接続チャンネル信号の値を $z_l$ とし、前記X方向隣接チャンネル014の前記接続チャンネル信号の値を $z_f$ とし、前記-X方向隣接チャンネル016の前記接続チャンネル信号の値を $z_b$ とし、および $\alpha$ は拡大率としての係数であって、出力調整のために予め設定された値としたときに、前記中性子入射位置は、前記最大チャンネル21の重心からY軸方向重心位置 $P_y$ およびX軸方向重心位置 $P_x$ だけ離れた位置を演算することで求めることができる。なお、前記Y軸方向重心位置 $P_y$ とは、 $(z_r - z_l) / (z_l + z_c + z_r)$ の演算結果であり、前記X軸方向重心位置 $P_x$ とは、 $(z_f - z_b) / (z_b + z_c + z_f)$ の演算結果である。

40

#### 【0010】

50

したがって、従来技術（J01）記載の前記中性子位置検出装置は、中性子入射位置の位置分解能をさらに向上させることができる。また、前記重心計算を行うときに使用するデータを前記最大チャンネルおよび前記4隣チャンネルの前記接続チャンネル信号の値に限定することにより、前記中性子位置演算記憶装置は、中性子入射位置演算記憶処理を高速化することができる。

【0011】

【非特許文献1】佐藤節夫著、「中性子検出器の読み出し回路の開発」、日本中性子科学会誌「波紋」、2005年1月、第15巻、第1号、p.78-80

【発明の開示】

【発明が解決しようとする課題】

10

【0012】

（従来技術（J01）の問題点）

前記中性子位置検出装置において、入射する中性子を検出する検出領域の拡大や、様々な用途に合わせた前記検出領域の形状の変更を行うためには、複数の前記フラットパネル型マルチアノード光電子増倍管を直交するX軸およびY軸を含むXY平面内に連結した状態で配置する方法が考えられている。

しかし、前記従来技術（J01）記載の技術では、前記フラットパネル型マルチアノード光電子増倍管の外周位置のチャンネルが前記最大チャンネルとなる場合には、隣接するフラットパネル型マルチアノード光電子増倍管の外周位置のチャンネルの出力信号を使用しなければ、前記重心位置の演算処理（中性子入射位置演算記憶処理）に用いる前記4隣チャンネルの前記接続チャンネル信号の値が全て揃わないため（図24Cの最大チャンネル017参照）、前記外周位置のチャンネルの位置分解能は、外周位置ではないチャンネルの位置分解能よりも低くなるという問題がある。

20

したがって、前記従来技術（J01）を前記複数のフラットパネル型マルチアノード光電子増倍管をXY平面内に碁盤目状に並べて連結した状態で配置する中性子位置検出装置に適用した場合に、前記4隣チャンネルの前記接続チャンネル信号の値を全て揃えて前記重心位置の演算処理（中性子入射位置演算記憶処理）を行わなければ前記フラットパネル型マルチアノード光電子増倍管同士で連結した継ぎ目となる前記外周位置のチャンネル（以降、連結チャンネルと記載する）の中性子入射位置の位置分解能の悪さが目立つことになる。

【0013】

30

前記連結チャンネルの位置分解能を向上させる為には、前記連結チャンネルが前記最大チャンネルとなったときに必要となる他方の前記フラットパネル型マルチアノード光電子増倍管の接続チャンネル信号（以降、隣接チャンネル信号と記載する）を利用しなければならない。しかし、従来技術（J01）の構成では、前記制御コンピュータが前記複数の中性子入射位置演算記憶回路基板から全チャンネルの接続チャンネル信号やタイムスタンプ等の全データを受信してから前記中性子入射位置演算記憶処理を実行しなければならないため、CPUのデータ処理速度やメモリ容量等の制約により、前記フラットパネル型マルチアノード光電子増倍管の台数が増えるほど、前記制御コンピュータの演算負荷が大きくなる。また、前記複数の中性子入射位置演算記憶回路基板から前記全データを受信するため、前記接続ケーブルの転送速度や転送効率等の制約によって、前記フラットパネル型マルチアノード光電子増倍管の台数が増えるほど、前記制御コンピュータと前記複数の中性子入射位置演算記憶回路基板との間の転送負荷が大きくなる。

40

【0014】

したがって、前記従来技術（J01）を前記複数のフラットパネル型マルチアノード光電子増倍管を前記XY平面内に碁盤目状に並べて連結した状態で配置する中性子位置検出装置に適用した場合には、前記複数のフラットパネル型マルチアノード光電子増倍管および対応する前記読み出し回路（中性子入射位置演算記憶回路基板）の台数が増えるほど転送されるデータ量が増大して転送負荷および演算負荷が増加するため、全体としての前記中性子入射位置演算記憶処理の速度が低下し、前記制御コンピュータは、スーパーコンピュータ等の特殊な処理装置でなければ前記中性子入射位置演算記憶処理の速度を維持でき

50



なくなるといった問題があった。

【0015】

本発明は前記事情に鑑み、中性子が入射したときに光電子を放出する平板状の中性子シンチレータおよび前記光電子量に応じた電流を出力する複数のフラットパネル型マルチアノード光電子増倍管とを有する中性子入射位置検出器と、前記中性子入射位置検出器の検出信号に基づいて前記中性子シンチレータにおける中性子入射位置および中性子入射時刻を演算して記憶する中性子入射位置演算記憶装置とを備えた中性子入射位置検出装置において、次の記載内容(001)～(004)を技術的課題とする。

【0016】

(001) 複数のフラットパネル型マルチアノード光電子増倍管をXY平面内に複数連結して配置した場合に(複数密着状態で配置した場合に)、処理速度の高いコンピュータを使用しなくても、中性子入射位置を高精度で演算し中性子入射時刻と共に記憶できるようにすること。

10

(002) XY平面内に複数密着状態で配置したフラットパネル型マルチアノード光電子増倍管にそれぞれ接続された中性子入射位置演算記憶回路基板であって前記密着状態で配置したフラットパネル型マルチアノード光電子増倍管に接続された前記中性子入射位置演算記憶回路基板同士を接続し、接続された前記中性子入射位置演算記憶回路基板間で中性子入射位置および入射時刻を演算するためのデータを伝送することにより、前記中性子入射位置演算記憶回路基板ごとに中性子入射位置を高精度で演算して中性子入射時刻と共に記憶できるようにすること。

20

(003) 複数のフラットパネル型マルチアノード光電子増倍管をXY平面内で連結した状態で配置して、高位置分解能および高い検出効率を維持しつつ、検出領域を自由に変更できる中性子位置検出装置を構築すること。

(004) フラットパネル型マルチアノード光電子増倍管に接続された中性子入射位置演算記憶回路基板の台数が多くなった場合にも、中性子が入射した位置を高速で演算して記憶することができる実用的な中性子位置検出装置を低コストで構築すること。

【課題を解決するための手段】

【0017】

次に、前記課題を解決した本発明を説明するが、本発明の構成要素には、後述の実施例の構成要素との対応を容易にするため、実施例の構成要素の符号をカッコで囲んだものを付記する。

30

なお、本発明を後述の実施例の符号と対応させて説明する理由は、本発明の理解を容易にするためであり、本発明の範囲を実施例に限定するためではない。

【0018】

(本発明)

前記技術的課題を解決するために本発明の中性子入射位置検出装置(U)は、次の構成要件(A01)～(A05)を備えたことを特徴とする。

(A01) 中性子(N)が入射する平板状の中性子入射面(1)を有し、前記中性子入射面(1)に中性子(N)が入射した時に光電子を放出する中性子シンチレータ(S)と、前記光電子が入射した時に前記入射した光電子量に応じた電流を出力する複数のチャンネルが直交するX軸およびY軸を含むXY平面内に碁盤目状に並んで密接して配置された長方形の光電子検出領域(2)を有し且つ前記XY平面内に並んで密接して配置された複数のフラットパネル型マルチアノード光電子増倍管(P1, P2)とを有する中性子入射位置検出器(U1)、

40

(A02) 前記複数の各フラットパネル型マルチアノード光電子増倍管(P1, P2)に対応してそれぞれ設けられ、前記複数の各フラットパネル型マルチアノード光電子増倍管(P1, P2)に入射した光電子量に応じて前記中性子の入射位置を演算して記憶する中性子入射位置演算記憶手段(C12)を有する複数の各中性子入射位置演算記憶回路基板(F1, F2)、

(A03) 前記複数の各フラットパネル型マルチアノード光電子増倍管(P1, P2)と前

50

記対応する複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）とをそれぞれ接続する複数の各接続チャンネル信号伝送路（4 a , 4 b ）であって、前記各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）の複数の各チャンネルの出力信号である接続チャンネル信号を前記各中性子入射位置演算記憶回路基板（F 1 , F 2 ）にそれぞれ伝送する前記複数の各接続チャンネル信号伝送路（4 a , 4 b ） 、

（A 04）前記 X Y 平面内に互いに密接して配置された前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）に前記各接続チャンネル信号伝送路（4 a , 4 b ）を介して接続された中性子入射位置演算記憶回路基板（F 1 , F 2 ）どうしを接続する隣接チャンネル信号伝送路（6 ）であって、一方の中性子入射位置演算記憶回路基板（F 1 ）に接続された前記フラットパネル型マルチアノード光電子増倍管（P 1 ）の前記接続チャンネル信号のうちの他方のフラットパネル型マルチアノード光電子増倍管（P 2 ）に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板（F 1 ）から前記他方の中性子入射位置演算記憶回路基板（F 2 ）に送信する隣接チャンネル信号送信路（6 ）と、前記他方の中性子入射位置演算記憶回路基板（F 2 ）に接続されたフラットパネル型マルチアノード光電子増倍管（P 2 ）の前記接続チャンネル信号のうちの前記一方のフラットパネル型マルチアノード光電子増倍管（P 1 ）に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板（F 1 ）が前記他方の中性子入射位置演算記憶回路基板（F 2 ）から受信する隣接チャンネル信号受信路（6 ）とを有する前記隣接チャンネル信号伝送路（6 ） 、

（A 05）前記接続チャンネル信号を対応する前記各接続チャンネル信号伝送路（4 a , 4 b ）から受信して記憶する接続チャンネル信号受信記憶手段（C 5 ）と、前記隣接チャンネル信号送信路（6 ）から前記隣接チャンネル信号を送信する隣接チャンネル信号送信手段（C 1 0 ）と、前記隣接チャンネル信号受信路（6 ）から受信した前記隣接チャンネル信号を記憶する隣接チャンネル信号受信記憶手段（C 1 1 ）と、前記接続チャンネル信号と前記隣接チャンネル信号とから、最大の出力信号を出力するチャンネルを特定し、前記特定したチャンネルである最大チャンネル（5 1 , 6 1 , 7 1 ）と前記最大チャンネル（5 1 , 6 1 , 7 1 ）の周囲に隣接する複数のチャンネルである周囲チャンネル（5 2 , 5 3 , 5 4 , 5 6 , 6 2 , 6 3 , 6 4 , 6 6 , 7 2 , 7 3 , 7 4 , 7 6 ）の出力信号から、前記中性子入射面（1 ）に入射した中性子の入射位置である中性子入射位置信号を演算して記憶する前記中性子入射位置演算記憶手段（C 1 2 ）とを有する前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ） 。

#### 【 0 0 1 9 】

（本発明の作用）

前記構成要件（A 01）～（A 05）を備えた本発明の中性子入射位置検出装置（U ）では、中性子入射位置検出器（U 1 ）は、中性子シンチレータ（S ）と複数のフラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）とを有する。前記複数のフラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）は、X 軸および Y 軸を含む X Y 平面内に並んで密接して配置されている。前記中性子シンチレータ（S ）は、中性子（N ）が入射する平板状の中性子入射面（1 ）に中性子（N ）が入射した時に光電子を放出する。前記複数のフラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）は、前記光電子が入射した時に前記入射した光電子量に応じた電流を出力する複数のチャンネルが直交する前記 X Y 平面内に碁盤目状に並んで密接して配置された長方形の光電子検出領域（2 ）を有している。

前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）に対応してそれぞれ設けられた複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）の中性子入射位置演算記憶手段（C 1 2 ）は、前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）に入射した光電子量に応じて前記中性子の入射位置を演算して記憶する。

#### 【 0 0 2 0 】

前記複数の各接続チャンネル信号伝送路（4 a , 4 b ）は、前記複数の各フラットパネル

10

20

30

40

50

型マルチアノード光電子増倍管（P 1 , P 2 ）と前記対応する複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）とをそれぞれ接続する。また、前記複数の各接続チャンネル信号伝送路（4 a , 4 b ）は、前記各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）の複数の各チャンネルの出力信号である接続チャンネル信号を前記各中性子入射位置演算記憶回路基板（F 1 , F 2 ）にそれぞれ伝送する。

隣接チャンネル信号送信路（6 ）と隣接チャンネル信号受信路（6 ）とを有する前記隣接チャンネル信号伝送路（6 ）は、前記XY平面内に互いに密接して配置された前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）に前記各接続チャンネル信号伝送路（4 a , 4 b ）を介して接続された中性子入射位置演算記憶回路基板（F 1 , F 2 ）どうしを接続する。前記隣接チャンネル信号送信路（6 ）は、一方の中性子入射位置演算記憶回路基板（F 1 ）に接続された前記フラットパネル型マルチアノード光電子増倍管（P 1 ）の前記接続チャンネル信号のうち他方のフラットパネル型マルチアノード光電子増倍管（P 2 ）に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板（F 1 ）から前記他方の中性子入射位置演算記憶回路基板（F 2 ）に送信する。前記隣接チャンネル信号受信路（6 ）は、前記他方の中性子入射位置演算記憶回路基板（F 2 ）に接続されたフラットパネル型マルチアノード光電子増倍管（P 2 ）の前記接続チャンネル信号のうち前記一方のフラットパネル型マルチアノード光電子増倍管（P 1 ）に隣接するチャンネルが出力する隣接チャンネル信号を前記一方の中性子入射位置演算記憶回路基板（F 1 ）が前記他方の中性子入射位置演算記憶回路基板（F 2 ）から受信する。

10

20

#### 【0021】

前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）の接続チャンネル信号受信記憶手段（C 5 ）は、前記接続チャンネル信号を対応する前記各接続チャンネル信号伝送路（4 a , 4 b ）から受信して記憶する。前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）の隣接チャンネル信号送信手段（C 1 0 ）は、前記隣接チャンネル信号送信路（6 ）から前記隣接チャンネル信号を送信する。前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）の隣接チャンネル信号受信記憶手段（C 1 1 ）は、前記隣接チャンネル信号受信路（6 ）から受信した前記隣接チャンネル信号を記憶する。前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）の前記中性子入射位置演算記憶手段（C 1 2 ）は、前記接続チャンネル信号と前記隣接チャンネル信号とから、最大の出力信号を出力するチャンネルを

30

#### 【0022】

したがって、本発明の中性子位置検出装置（U ）は、前記一方の中性子入射位置演算記憶回路基板（F 1 ）と前記他方の中性子入射位置演算記憶回路基板（F 2 ）との間で、高位置分解能を維持するために必要な前記隣接チャンネル信号を送受信して補完できるため、複数のフラットパネル型マルチアノード光電子増倍管をXY平面内に碁盤目状に並べて連結した状態で配置しても、高位置分解能を維持することができる。

40

また、前記複数のフラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）をXY平面内に碁盤目状に並べて連結した状態で配置し、前記中性子入射面（1 ）の無効な領域を極力小さくするため、前記検出効率を維持することができる。また、前記複数のフラットパネル型マルチアノード光電子増倍管をXY平面内に碁盤目状に並べて連結した状態で配置すればよいため、検出領域を自由に変更することができる。

#### 【0023】

また、前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）は、前記隣接チャンネル信号送信路（6 ）と前記隣接チャンネル信号受信路（6 ）とを有する前記隣接チャンネル信号伝送路（6 ）によって前記隣接チャンネル信号を双方向同時に送受信が可能である。し

50

たがって、前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）は、全て同時に前記中性子入射位置演算記憶処理を実行することが可能である。この結果、同時に複数の前記中性子（N）が前記中性子入射面（1）に入射した時に、前記複数の各中性子入射位置演算記憶回路基板（F 1 ）がそれぞれ前記光電子を検出して中性子入射位置を演算することが可能であり、前記フラットパネル型マルチアノード光電子増倍管と対応する前記中性子入射位置演算記憶回路基板（F 1 , F 2 ）の数が多くなるほど検出できる可能性が高くなる。したがって、本発明の中性子位置検出装置（U）は、フラットパネル型マルチアノード光電子増倍管の連結する台数を増やすことで、前記検出効率をより高めることができる。

#### 【0024】

さらに、前記中性子位置検出装置（U）は、フラットパネル型マルチアノード光電子増倍管（F 1 , F 2 ）に接続された中性子入射位置演算記憶回路基板（F 1 , F 2 ）の数が多くなった場合にも、複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）自体がそれぞれ中性子が入射した位置を高速で演算して記憶することができるため、高性能コンピュータ等の特殊な演算記憶装置が必要とならない。また、前記中性子位置検出装置（U）は、前記中性子入射位置検出器（U 1 ）を拡張する場合（すなわち、フラットパネル型マルチアノード光電子増倍管の連結する台数を増やす場合）には、前記中性子入射位置演算記憶回路基板（F 1 , F 2 ）の数を増やすだけでよい。したがって、本発明の中性子位置検出装置（U）は実用的であり且つ低コストで構築することができる。

#### 【0025】

（本発明の形態 1）

本発明の形態 1 の中性子入射位置検出装置（U）は、前記本発明において次の構成要件（A 06）～（A 08）を備えたことを特徴とする。

（A 06）前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）と前記対応する複数の各中性子入射位置演算記憶回路基板（F 1 , F 2 ）とをそれぞれ接続する複数の各ラストダイノード信号伝送路（4 a , 4 b）であって、前記各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2 ）の複数の各チャンネルの出力信号の総和であるラストダイノード信号（3 1）を前記各中性子入射位置演算記憶回路基板（F 1 , F 2 ）にそれぞれ伝送する前記複数の各ラストダイノード信号伝送路（4 a , 4 b）、

（A 07）前記一方の中性子入射位置演算記憶回路基板（F 1）と前記他方の中性子入射位置演算記憶回路基板（F 2）とを接続する記憶送信指示信号伝送路（6）であって、前記ラストダイノード信号を受信したときに、受信中の前記接続チャンネル信号を記憶し且つ記憶させた前記接続チャンネル信号のうちの前記隣接チャンネル信号を送信する指示をするための信号である記憶送信指示信号（3 5）を前記一方の中性子入射位置演算記憶回路基板（F 1）から前記他方の中性子入射位置演算記憶回路基板（F 2）に送信する記憶送信指示信号伝送路（6）と、前記記憶送信指示信号（3 5）を前記一方の中性子入射位置演算記憶回路基板（F 1）が前記他方の中性子入射位置演算記憶回路基板（F 2）から受信する記憶送信指示信号受信路（6）とを有する前記記憶送信指示信号伝送路（6）、

（A 08）前記ラストダイノード信号（3 1）を対応する前記各ラストダイノード信号伝送路（4 a , 4 b）から受信して記憶するラストダイノード信号受信記憶手段（C 3）と、前記記憶送信指示信号伝送路（6）から前記記憶送信指示信号（3 5）を送信する記憶送信指示信号送信手段（C 6）と、前記記憶送信指示信号受信路（6）から前記記憶送信指示信号（3 5）を受信する記憶送信指示信号受信手段（C 7）と、前記ラストダイノード信号（3 1）または前記記憶送信指示信号（3 5）を受信したときに、受信中の前記接続チャンネル信号の記憶を開始する接続チャンネル信号記憶開始手段（C 4）とを有する前記複数の各中性子入射位置演算記憶回路基板（F 1 , F 2）。

#### 【0026】

（本発明の形態 1 の作用）

前記構成要件（A 06）～（A 08）を備えた本発明の形態 1 では、複数の各ラストダイノード信号伝送路（4 a , 4 b）は、前記複数の各フラットパネル型マルチアノード光電子増倍管（P 1 , P 2）と前記対応する複数の各中性子入射位置演算記憶回路基板（F 1 ,

F 2) とをそれぞれ接続する。また、前記複数の各ラストダイノード信号伝送路(4 a, 4 b)は、前記各フラットパネル型マルチアノード光電子増倍管(P 1, P 2)の複数の各チャンネルの出力信号の総和であるラストダイノード信号(3 1)を前記各中性子入射位置演算記憶回路基板(F 1, F 2)にそれぞれ伝送する。

【0027】

記憶送信指示信号送信路(6)と、記憶送信指示信号受信路(6)とを有する記憶送信指示信号伝送路(6)は、前記一方の中性子入射位置演算記憶回路基板(F 1)と前記他方の中性子入射位置演算記憶回路基板(F 2)とを接続する。前記記憶送信指示信号送信路(6)は、前記ラストダイノード信号を受信したときに、受信中の前記接続チャンネル信号を記憶し且つ記憶させた前記接続チャンネル信号のうちの前記隣接チャンネル信号を送信する指示をするための信号である記憶送信指示信号(3 5)を前記一方の中性子入射位置演算記憶回路基板(F 1)から前記他方の中性子入射位置演算記憶回路基板(F 2)に送信する。前記記憶送信指示信号受信路(6)は、前記記憶送信指示信号(3 5)を前記一方の中性子入射位置演算記憶回路基板(F 1)が前記他方の中性子入射位置演算記憶回路基板(F 2)から受信する。

【0028】

前記複数の各中性子入射位置演算記憶回路基板(F 1, F 2)のラストダイノード信号受信記憶手段(C 3)は、前記ラストダイノード信号(3 1)を対応する前記各ラストダイノード信号伝送路(4 a, 4 b)から受信して記憶する。前記複数の各中性子入射位置演算記憶回路基板(F 1, F 2)の記憶送信指示信号送信手段(C 6)は、前記記憶送信指示信号送信路(6)から前記記憶送信指示信号(3 5)を送信する。前記複数の各中性子入射位置演算記憶回路基板(F 1, F 2)の記憶送信指示信号受信手段(C 7)は、前記記憶送信指示信号受信路(6)から前記記憶送信指示信号(3 5)を受信する。前記複数の各中性子入射位置演算記憶回路基板(F 1, F 2)の接続チャンネル信号記憶開始手段(C 4)は、前記ラストダイノード信号(3 1)または前記記憶送信指示信号(3 5)を受信したときに、受信中の前記接続チャンネル信号の記憶を開始する。

【0029】

したがって、前記一方の中性子入射位置演算記憶回路基板(F 1)は、対応する前記各ラストダイノード信号伝送路(4 a, 4 b)から前記ラストダイノード信号(3 1)を受信したときに、前記他方の中性子入射位置演算記憶回路基板(F 2)に前記記憶送信指示信号(3 5)を送信して、前記一方の中性子入射位置演算記憶回路基板(F 1)と前記他方の中性子入射位置演算記憶回路基板(F 2)とがそれぞれ受信中の前記接続チャンネル信号を記憶開始する。この結果、本発明の形態1の中性子入射位置検出装置(U)では、前記複数の各中性子入射位置演算記憶回路基板(F 1, F 2)は、前記ラストダイノード信号(3 1)の受信を起点として、中性子入射位置演算記憶処理を開始することができるため、効率よく中性子入射位置を演算して記憶することができる。

【0030】

(本発明の形態2)

本発明の形態2の中性子入射位置検出装置(U)は、本発明の形態1において次の構成要件(A 09)を備えたことを特徴とする。

(A 09)対応する前記各ラストダイノード信号伝送路(4 a, 4 b)から受信した前記ラストダイノード信号(3 1)の値のうち、直前の値と直後の値よりも大きい値であるピーク値を検出して一定期間記憶するラストダイノード信号ピーク値検出記憶手段(C 3 A)と、予め設定された期間ごとに受信した前記ラストダイノード信号の値のうちの最小値を検出して前記予め設定された期間まで記憶するラストダイノード信号最小値検出記憶手段(C 3 B)とを有する前記ラストダイノード信号受信記憶手段(C 3)であって、前記ピーク値と最小値との差分値が予め設定された閾値(S K)よりも大きいときに、前記差分値を前記ラストダイノード信号(3 1)の値として記憶する前記ラストダイノード信号受信記憶手段(C 3)と、前記ラストダイノード信号受信記憶手段(C 3)によって記憶する前記差分値を受信したときに、前記受信中の前記接続チャンネル信号の記憶を開始する前

10

20

30

40

50

記接続チャンネル信号記憶開始手段（C4）。

【0031】

（本発明の形態2の作用）

前記構成要件（A09）を備えた本発明の形態2では、ラストダイノード信号ピーク値検出記憶手段（C3A）は、対応する前記各ラストダイノード信号伝送路（4a, 4b）から受信した前記ラストダイノード信号（31）の値のうち、直前の値と直後の値よりも大きい値であるピーク値を検出して一定期間記憶する。ラストダイノード信号最小値検出記憶手段（C3B）は、予め設定された期間ごとに受信した前記ラストダイノード信号の値のうちの最小値を検出して前記予め設定された期間まで記憶する。前記ラストダイノード信号受信記憶手段（C3）は、前記ラストダイノード信号ピーク値検出記憶手段（C3A）と、前記ラストダイノード信号最小値検出記憶手段（C3B）とを有し、前記ピーク値と最小値との差分値が予め設定された閾値（SK）よりも大きいときに、前記差分値を前記ラストダイノード信号（31）の値として記憶する。前記接続チャンネル信号記憶開始手段（C4）は、前記ラストダイノード信号受信記憶手段（C3）によって記憶する前記差分値を受信したときに、前記受信中の前記接続チャンネル信号の記憶を開始する。

10

【0032】

したがって、本発明の形態2の中性子入射位置検出装置（U）では、前記複数の各中性子入射位置演算記憶回路基板（F1, F2）は、前記閾値（SK）を超える前記ラストダイノード信号の値を受信しなければ、受信中の前記接続チャンネル信号の記憶を開始せず、前記中性子入射位置演算記憶処理を開始しない。この結果、前記中性子入射位置検出装置（U）は、前記複数の各中性子入射位置演算記憶回路基板（F1, F2）が精度の高い中性子入射位置のみ演算して記憶することができる。

20

【0033】

（本発明の形態3）

本発明の形態3の中性子入射位置検出装置（U）は、本発明の形態2において次の構成要件（A010）を備えたことを特徴とする。

（A010）前記ラストダイノード信号の最小値を検出して予め設定された期間だけラストダイノード信号用第1記憶媒体（VL R1）に記憶する第1ラストダイノード信号最小値検出記憶手段（C3B1）と、前記ラストダイノード信号の最小値を検出して前記予め設定された期間だけラストダイノード信号用第2記憶媒体（VL R2）に記憶する第2ラストダイノード信号最小値検出記憶手段（C3B2）とを有する前記ラストダイノード信号最小値検出記憶手段（C3B）であって、前記第1ラストダイノード信号最小値検出記憶手段（C3B1）が予め設定された期間が経過して前記検出を再開する時間と前記第2ラストダイノード信号最小値検出記憶手段（C3B2）が予め設定された期間が経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し且つ前記第1ラストダイノード信号最小値検出記憶手段（C3B1）によって検出された前記最小値を第1ラストダイノード信号最小値とし、前記第2ラストダイノード信号最小値検出記憶手段（C3B2）によって検出された前記最小値を第2ラストダイノード信号最小値としたときに、前記第1ラストダイノード信号最小値と前記第2ラストダイノード信号最小値とを比較してより小さい値を前記最小値として検出して記憶する前記ラストダイノード信号最小値検出記憶手段（C3B）。

30

40

【0034】

（本発明の形態3の作用）

前記構成要件（A010）を備えた本発明の形態3では、第1ラストダイノード信号最小値検出記憶手段（C3B1）は、前記ラストダイノード信号の最小値を検出して予め設定された期間だけラストダイノード信号用第1記憶媒体（VL R1）に記憶する。第2ラストダイノード信号最小値検出記憶手段（C3B2）は、前記ラストダイノード信号の最小値を検出して前記予め設定された期間だけラストダイノード信号用第2記憶媒体（VL R2）に記憶する。前記ラストダイノード信号最小値検出記憶手段（C3B）は、前記第1ラストダイノード信号最小値検出記憶手段（C3B1）と、前記第2ラストダイノード信号最小値検

50

出記憶手段（C 3 B2）とを有しており、前記第 1 ラストダイノード信号最小値検出記憶手段（C 3 B1）が予め設定された期間が経過して前記検出を再開する時間と前記第 2 ラストダイノード信号最小値検出記憶手段（C 3 B2）が予め設定された期間が経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施する。また、前記ラストダイノード信号最小値検出記憶手段（C 3 B）は、前記第 1 ラストダイノード信号最小値検出記憶手段（C 3 B1）によって検出された前記最小値を第 1 ラストダイノード信号最小値とし、前記第 2 ラストダイノード信号最小値検出記憶手段（C 3 B2）によって検出された前記最小値を第 2 ラストダイノード信号最小値としたときに、前記第 1 ラストダイノード信号最小値と前記第 2 ラストダイノード信号最小値とを比較してより小さい値を前記最小値として検出して記憶する。

10

#### 【0035】

したがって、本発明の形態 3 の中性子入射位置検出装置（U）では、前記複数の各中性子入射位置演算記憶回路基板（F 1）は、前記第 1 ラストダイノード信号最小値検出記憶手段（C 3 B1）の再開の時点と前記第 2 ラストダイノード信号最小値検出記憶手段（C 3 B2）の再開の時点との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し、いずれかの最小値を採用することにより、前記ラストダイノード信号の最小値の精度をより高くすることができる。この結果、前記中性子入射位置検出装置（U）は、前記複数の各中性子入射位置演算記憶回路基板（F 1, F 2）における中性子入射位置の演算結果の精度を高くすることができる。

#### 【0036】

20

（本発明の形態 4）

本発明の形態 4 の中性子入射位置検出装置（U）は、本発明および本発明の形態 1 ないし 3 のいずれかにおいて次の構成要件（A 011）～（A 013）を備えたことを特徴とする。

（A 011）基本クロック（4 1, 4 3）を発振する基本クロック発振回路（C 1 5）と、前記基本クロック（4 1, 4 3）の周期の 3 以上の整数倍の周期で隣接チャネル信号伝送用クロック（4 2, 4 4）を発振する隣接チャネル信号伝送用クロック発振回路（C 1 6）とを有する前記複数の各中性子入射位置演算記憶回路基板（F 1, F 2）、

（A 012）前記一方の中性子入射位置演算記憶回路基板（F 1）と前記他方の中性子入射位置演算記憶回路基板（F 2）とを接続する隣接チャネル信号伝送用クロック伝送路（6）であって、前記隣接チャネル信号伝送用クロック発振回路が発振する前記隣接チャネル信号伝送用クロック（4 2）を前記一方の中性子入射位置演算記憶回路基板（F 1）から前記他方の中性子入射位置演算記憶回路基板（F 2）に送信する隣接チャネル信号伝送用クロック送信路（6）と、前記隣接チャネル信号伝送用クロック（4 4）を前記一方の中性子入射位置演算記憶回路基板（F 1）が前記他方の中性子入射位置演算記憶回路基板（F 2）から受信する隣接チャネル信号伝送用クロック受信路（6）とを有する前記隣接チャネル信号伝送用クロック伝送路（6）、

30

（A 013）前記隣接チャネル信号伝送用クロック送信路（6）から前記隣接チャネル信号伝送用クロック（4 2）を送信する隣接チャネル信号伝送用クロック送信手段（C 8）と、前記隣接チャネル信号伝送用クロック受信路（6）から前記隣接チャネル信号伝送用クロック（4 4）を受信する隣接チャネル信号伝送用クロック受信手段（C 9）と、前記隣接チャネル信号伝送用クロック送信路（6）から送信する前記隣接チャネル信号伝送用クロック（4 2）と前記隣接クロック受信路（6）から受信する前記隣接チャネル信号伝送用クロック（4 4）との同期が可能な範囲（4 8）の周期で前記隣接チャネル信号送信路（6）から前記隣接チャネル信号を送信する前記隣接チャネル信号送信手段（C 1 0）と、前記隣接チャネル信号伝送用クロック送信路（6）から送信する前記隣接チャネル信号伝送用クロック（4 2）と前記隣接クロック受信路（6）から受信する前記隣接チャネル信号伝送用クロック（4 4）との同期が可能な範囲（4 8）の周期で前記隣接チャネル信号受信路（6）から前記隣接チャネル信号を受信して記憶する前記隣接チャネル信号受信記憶手段（C 1 1）とを有する前記複数の各中性子入射位置演算記憶回路基板（F 1, F 2）。

40

50

## 【 0 0 3 7 】

(本発明の形態 4 の作用)

前記構成要件 (A 011) ~ (A 013) を備えた本発明の形態 4 では、前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の基本クロック発振回路 (C 1 5) は、基本クロック (4 1, 4 3) を発振する。前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の隣接チャンネル信号伝送用クロック発振回路 (C 1 6) は、前記基本クロック (4 1, 4 3) の周期の 3 以上の整数倍の周期で隣接チャンネル信号伝送用クロック (4 2, 4 4) を発振する。

## 【 0 0 3 8 】

隣接チャンネル信号伝送用クロック送信路 (6) と、隣接チャンネル信号伝送用クロック受信路 (6) とを有する隣接チャンネル信号伝送用クロック伝送路 (6) は、前記一方の中性子入射位置演算記憶回路基板 (F 1) と前記他方の中性子入射位置演算記憶回路基板 (F 2) とを接続する。前記隣接チャンネル信号伝送用クロック送信路 (6) は、前記隣接チャンネル信号伝送用クロック発振回路 (C 1 6) が発振する前記隣接チャンネル信号伝送用クロック (4 2) を前記一方の中性子入射位置演算記憶回路基板 (F 1) から前記他方の中性子入射位置演算記憶回路基板 (F 2) に送信する。前記隣接チャンネル信号伝送用クロック受信路 (6) は、前記隣接チャンネル信号伝送用クロック (4 4) を前記一方の中性子入射位置演算記憶回路基板 (F 1) が前記他方の中性子入射位置演算記憶回路基板 (F 2) から受信する。

## 【 0 0 3 9 】

また、前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の隣接チャンネル信号伝送用クロック送信手段 (C 8) は、前記隣接チャンネル信号伝送用クロック送信路 (6) から前記隣接チャンネル信号伝送用クロック (4 2) を送信する。前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の隣接チャンネル信号伝送用クロック受信手段 (C 9) は、前記隣接チャンネル信号伝送用クロック受信路 (6) から前記隣接チャンネル信号伝送用クロック (4 4) を受信する。前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の前記隣接チャンネル信号送信手段 (C 1 0) は、前記隣接チャンネル信号伝送用クロック送信路 (6) から送信する前記隣接チャンネル信号伝送用クロック (4 2) と前記隣接クロック受信路 (6) から受信する前記隣接チャンネル信号伝送用クロック (4 4) との同期が可能な範囲 (4 8) の周期で前記隣接チャンネル信号送信路 (6) から前記隣接チャンネル信号を送信する。前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) の前記隣接チャンネル信号受信記憶手段 (C 1 1) は、前記隣接チャンネル信号伝送用クロック送信路 (6) から送信する前記隣接チャンネル信号伝送用クロック (4 2) と前記隣接クロック受信路 (6) から受信する前記隣接チャンネル信号伝送用クロック (4 4) との同期が可能な範囲 (4 8) の周期で前記隣接チャンネル信号受信路 (6) から前記隣接チャンネル信号を受信して記憶する。

## 【 0 0 4 0 】

したがって、前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) は、前記隣接チャンネル信号を送受信するときに、前記同期が可能な範囲 (4 8) の周期で前記隣接チャンネル信号伝送路 (6) から前記隣接チャンネル信号を送受信するため、1 周期あたりの前記隣接チャンネル信号を受信する時間間隔が長くなる。この結果、本発明の形態 4 の中性子入射位置検出装置 (U) は、前記複数の各中性子入射位置演算記憶回路基板 (F 1, F 2) における前記隣接チャンネル信号の送受信をより確実にを行うことができる。

## 【 0 0 4 1 】

(本発明の形態 5)

本発明の形態 5 の中性子入射位置検出装置 (U) は、本発明および本発明の形態 1 ないし 4 のいずれかにおいて次の構成要件 (A 014) を備えたことを特徴とする。

(A 014) 対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号のうちの最大値を検出して予め設定された期間だけ記憶する接続チャンネル信号最大値検出記憶手段 (C 5 A) と、予め設定された期間内に受信した前記接続チャンネル信号のうちの最



小値を検出して予め設定された期間だけ記憶する接続チャンネル信号最小値検出記憶手段（C5B）とを有する前記接続チャンネル信号受信記憶手段（C5）であって、前記接続チャンネル信号の前記最大値と前記最小値との差分値を前記接続チャンネル信号の値として記憶する前記接続チャンネル信号受信記憶手段（C5）。

【0042】

（本発明の形態5の作用）

前記構成要件（A014）を備えた本発明の形態5では、接続チャンネル信号最大値検出記憶手段（C5A）は、対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号のうちの最大値を検出して予め設定された期間だけ記憶する。接続チャンネル信号最小値検出記憶手段（C5B）は、予め設定された期間内に受信した前記接続チャンネル信号のうちの最小値を検出して予め設定された期間だけ記憶する。前記接続チャンネル信号受信記憶手段（C5）は、前記接続チャンネル信号最大値検出記憶手段（C5A）と、前記接続チャンネル信号最小値検出記憶手段（C5B）とを有し、前記接続チャンネル信号の前記最大値と前記最小値との差分値を前記接続チャンネル信号の値として記憶する。

10

したがって、本発明の形態5の中性子入射位置検出装置（U）は、前記複数の各中性子入射位置演算記憶回路基板（F1, F2）が前記接続チャンネル信号の値（前記差分値）を用いて中性子入射位置を演算して精度の高い前記演算結果を記憶することができる。

【0043】

（本発明の形態6）

本発明の形態6の中性子入射位置検出装置（U）は、本発明の形態5において次の構成要件（A015）を備えたことを特徴とする。

20

（A015）前記接続チャンネル信号の最小値をそれぞれ検出して予め設定された期間だけ接続チャンネル信号用第1記憶媒体（VR1）に記憶する第1接続チャンネル信号最小値検出記憶手段（C5B1）と、前記接続チャンネル信号の最小値をそれぞれ検出して前記予め設定された期間だけ各接続チャンネル信号用第2記憶媒体（VR2）に記憶する第2接続チャンネル信号最小値検出記憶手段（C5B2）とを有する前記接続チャンネル信号最小値検出記憶手段（C5B）であって、前記第1接続チャンネル信号最小値検出記憶手段（C5B1）が前記予め設定された期間を経過して前記検出を再開する時間と前記第2接続チャンネル信号最小値検出記憶手段（C5B2）が前記予め設定された期間を経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し且つ前記第1接続チャンネル信号最小値検出記憶手段（C5B1）によって検出された前記最小値を第1接続チャンネル信号最小値とし、前記第2接続チャンネル信号最小値検出記憶手段（C5B2）によって検出された前記最小値を第2接続チャンネル信号最小値としたときに、前記第1接続チャンネル信号最小値と前記第2接続チャンネル信号最小値とを比較してより小さい値を前記最小値として検出して記憶する前記接続チャンネル信号最小値検出記憶手段（C5B）。

30

【0044】

（本発明の形態6の作用）

前記構成要件（A015）を備えた本発明の形態6では、第1接続チャンネル信号最小値検出記憶手段（C5B1）は、前記接続チャンネル信号の最小値をそれぞれ検出して予め設定された期間だけ接続チャンネル信号用第1記憶媒体（VR1）に記憶する。第2接続チャンネル信号最小値検出記憶手段（C5B2）は、前記接続チャンネル信号の最小値をそれぞれ検出して前記予め設定された期間だけ各接続チャンネル信号用第2記憶媒体（VR2）に記憶する。前記接続チャンネル信号最小値検出記憶手段（C5B）は、前記第1接続チャンネル信号最小値検出記憶手段（C5B1）と、前記第2接続チャンネル信号最小値検出記憶手段（C5B2）とを有しており、前記第1接続チャンネル信号最小値検出記憶手段（C5B1）が前記予め設定された期間を経過して前記検出を再開する時間と前記第2接続チャンネル信号最小値検出記憶手段（C5B2）が前記予め設定された期間を経過して前記検出を再開する時間との差が常に前記予め設定された期間の半分の時間である状態で並列に実施する。また、前記接続チャンネル信号最小値検出記憶手段（C5B）は、前記第1接続チャンネル信号最小値検出記憶手段（C5B1）によって検出された前記最小値を第1接続チャンネル信号最小値とし

40

50

、前記第2接続チャンネル信号最小値検出記憶手段(C5B2)によって検出された前記最小値を第2接続チャンネル信号最小値としたときに、前記第1接続チャンネル信号最小値と前記第2接続チャンネル信号最小値とを比較してより小さい値を前記最小値として検出して記憶する。

【0045】

したがって、本発明の形態6の中性子入射位置検出装置(U)では、前記複数の各中性子入射位置演算記憶回路基板(F1, F2)は、前記第1接続チャンネル信号最小値検出記憶手段(C5B1)の再開の時点と前記第2接続チャンネル信号最小値検出記憶手段(C5B2)の再開の時点との差が常に前記予め設定された期間の半分の時間である状態で並列に実施し、いずれかの最小値を採用することにより、前記ラストダイノード信号の最小値の精度をより高くすることができる。この結果、前記中性子入射位置検出装置(U)は、前記複数の各中性子入射位置演算記憶回路基板(F1, F2)における中性子入射位置の演算結果の精度を高くすることができる。

10

【0046】

(本発明の形態7)

本発明の形態7の中性子入射位置検出装置(U)は、本発明および本発明の形態1ないし6のいずれかにおいて次の構成要件(A016)を備えたことを特徴とする。

(A016)対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号を記憶開始してから、予め設定された時間内に記憶する前記接続チャンネル信号受信記憶手段(C5)と、前記隣接チャンネル信号送信路(6)から前記隣接チャンネル信号を予め設定された時間内に送信する前記隣接チャンネル信号送信手段(C10)と、前記隣接チャンネル信号受信路(6)から受信した前記隣接チャンネル信号を予め設定された時間内に記憶する前記隣接チャンネル信号受信記憶手段(C11)。

20

【0047】

(本発明の形態7の作用)

前記構成要件(A016)を備えた本発明の形態7では、前記接続チャンネル信号受信記憶手段(C5)は、対応する前記各接続チャンネル信号伝送路から受信した前記接続チャンネル信号を記憶開始してから、予め設定された時間内に記憶する。前記隣接チャンネル信号送信手段(C10)は、前記隣接チャンネル信号送信路(6)から前記隣接チャンネル信号を予め設定された時間内に送信する。

30

前記隣接チャンネル信号受信記憶手段(C11)は、前記隣接チャンネル信号受信路(6)から受信した前記隣接チャンネル信号を予め設定された時間内に記憶する。

【0048】

したがって、本発明の形態7の中性子入射位置検出装置(U)では、前記複数の各中性子入射位置演算記憶回路基板(F1, F2)は、前記接続チャンネル信号を予め設定された時間内に記憶し、前記隣接チャンネル信号を予め設定された時間内に送受信して記憶する。この結果、前記中性子入射位置検出装置(U)は、前記複数の各中性子入射位置演算記憶回路基板(F1, F2)における中性子入射位置演算記憶処理を連続で実行してから次の中性子入射位置演算記憶処理までのデッドタイムを前記予め設定された時間に対応した期間に設定することができる。

40

【0049】

(本発明の形態8)

本発明の形態8の中性子入射位置検出装置(U)は、本発明および本発明の形態1ないし7のいずれかにおいて次の構成要件(A017)を備えたことを特徴とする。

(A017)対応する前記各接続チャンネル信号伝送路(4a, 4b)から受信した前記接続チャンネル信号を記憶するときに、前記接続チャンネル信号を補正する接続チャンネル信号補正手段(C5C)を有する前記接続チャンネル信号受信記憶手段(C5)。

【0050】

(本発明の形態8の作用)

前記構成要件(A017)を備えた本発明の形態8では、前記接続チャンネル信号受信記憶

50

手段 ( C 5 ) の接続チャンネル信号補正手段 ( C 5 C ) は、対応する前記各接続チャンネル信号伝送路 ( 4 a , 4 b ) から受信した前記接続チャンネル信号を記憶するときに、前記接続チャンネル信号を補正する。

したがって、本発明の形態 8 の中性子入射位置検出装置 ( U ) では、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) は、対応する前記複数の各フラットパネル型マルチアノード光電子増倍管 ( P 1 , P 2 ) の各チャンネル毎の光電子の増倍率に誤差がある場合、前記各チャンネルが出力する前記接続チャンネル信号をそれぞれ補正してから記憶することができる。この結果、前記中性子入射位置検出装置 ( U ) は、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) における中性子入射位置の演算結果の精度を高くすることができる。

10

#### 【 0 0 5 1 】

( 本発明の形態 9 )

本発明の形態 9 の中性子入射位置検出装置 ( U ) は、本発明および本発明の形態 1 ないし 8 のいずれかにおいて次の構成要件 ( A 018 ) を備えたことを特徴とする。

( A 018 ) 対応する前記各接続チャンネル信号伝送路 ( 4 a , 4 b ) から受信した前記接続チャンネル信号を記憶するときに、前記隣接チャンネル信号送信路 ( 6 ) から前記隣接チャンネル信号を演算し易い状態に再配置してから記憶する前記接続チャンネル信号受信記憶手段 ( C 5 ) 。

#### 【 0 0 5 2 】

( 本発明の形態 9 の作用 )

前記構成要件 ( A 018 ) を備えた本発明の形態 9 では、前記接続チャンネル信号受信記憶手段 ( C 5 ) は、対応する前記各接続チャンネル信号伝送路 ( 4 a , 4 b ) から受信した前記接続チャンネル信号を記憶するときに、前記隣接チャンネル信号送信路 ( 6 ) から前記隣接チャンネル信号を演算し易い状態に再配置してから記憶する。

20

したがって、本発明の形態 9 の中性子入射位置検出装置 ( U ) では、前記一方の中性子入射位置演算記憶回路基板 ( F 1 ) は、前記他方の中性子入射位置演算記憶回路基板 ( F 2 ) に対して前記隣接チャンネル信号をそれぞれ演算し易い状態に再配置してから記憶するため、前記隣接チャンネル信号をすぐに演算できる正しい配置に並べることができる。また、前記他方の中性子入射位置演算記憶回路基板 ( F 2 ) についても同様に、前記一方の中性子入射位置演算記憶回路基板 ( F 1 ) に対して前記隣接チャンネル信号をそれぞれ演算し易い状態に再配置してから記憶するため、前記隣接チャンネル信号をすぐに演算できる正しい配置に並べることができる。この結果、前記中性子入射位置検出装置 ( U ) は、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) における中性子入射位置演算記憶処理を高速化することができる。

30

#### 【 0 0 5 3 】

( 本発明の形態 1 0 )

本発明の形態 1 0 の中性子入射位置検出装置 ( U ) は、本発明および本発明の形態 1 ないし 9 のいずれかにおいて次の構成要件 ( A 019 ) を備えたことを特徴とする。

( A 019 ) 前記接続チャンネル信号と前記隣接チャンネル信号とによって特定した前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記周囲チャンネル ( 5 2 , 5 3 , 5 4 , 5 6 , 6 2 , 6 3 , 6 4 , 6 6 , 7 2 , 7 3 , 7 4 , 7 6 ) から前記中性子入射位置信号である重心位置信号 ( P x , P y ) を演算して記憶する前記中性子入射位置演算記憶手段 ( C 1 2 ) であって、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) を中心に X 方向および - X 方向に隣接する周囲チャンネルを X 方向周囲チャンネル ( 5 2 , 5 3 , 6 2 , 6 3 , 7 2 , 7 3 ) とし、前記最大チャンネルを中心に Y 方向および - Y 方向に隣接する周囲チャンネルを Y 方向周囲チャンネル ( 5 4 , 5 6 , 6 4 , 6 6 , 7 4 , 7 6 ) とし、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記 X 方向周囲チャンネル ( 5 2 , 5 3 , 6 2 , 6 3 , 7 2 , 7 3 ) の各出力信号から重心位置を求めることで得られる X 方向重心位置信号 ( P x ) と、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記 Y 方向周囲チャンネル ( 5 4 , 5 6 , 6 4 , 6 6 , 7 4 , 7 6 ) の各出力信号から重心位置を求めることで得られる Y 方向重心位置信号 ( P y )

40

50

とを有する前記重心位置信号 (  $P_x$  ,  $P_y$  ) を演算して記憶する前記中性子入射位置演算記憶手段 ( C 1 2 ) 。

【 0 0 5 4 】

( 本発明の形態 1 0 の作用 )

前記構成要件 ( A 019 ) を備えた本発明の形態 1 0 では、前記中性子入射位置演算記憶手段 ( C 1 2 ) は、前記接続チャンネル信号と前記隣接チャンネル信号とによって特定した前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記周囲チャンネル ( 5 2 , 5 3 , 5 4 , 5 6 , 6 2 , 6 3 , 6 4 , 6 6 , 7 2 , 7 3 , 7 4 , 7 6 ) から前記中性子入射位置信号である重心位置信号 (  $P_x$  ,  $P_y$  ) を演算して記憶する。また、前記中性子入射位置演算記憶手段 ( C 1 2 ) は、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) を中心に X 方向および - X 方向に隣接する周囲チャンネルを X 方向周囲チャンネル ( 5 2 , 5 3 , 6 2 , 6 3 , 7 2 , 7 3 ) とし、前記最大チャンネルを中心に Y 方向および - Y 方向に隣接する周囲チャンネルを Y 方向周囲チャンネル ( 5 4 , 5 6 , 6 4 , 6 6 , 7 4 , 7 6 ) とし、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記 X 方向周囲チャンネル ( 5 2 , 5 3 , 6 2 , 6 3 , 7 2 , 7 3 ) の各出力信号から重心位置を求めることで得られる X 方向重心位置信号 (  $P_x$  ) と、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) および前記 Y 方向周囲チャンネル ( 5 4 , 5 6 , 6 4 , 6 6 , 7 4 , 7 6 ) の各出力信号から重心位置を求めることで得られる Y 方向重心位置信号 (  $P_y$  ) とを有する前記重心位置信号 (  $P_x$  ,  $P_y$  ) を演算して記憶する。

10

【 0 0 5 5 】

したがって、本発明の形態 1 0 の中性子入射位置検出装置 ( U ) では、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) は、図 2 4 A および図 2 4 B に示す前記重心位置の演算処理によって中性子入射位置演算記憶処理をそれぞれ実行することができる。また、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) は、前記隣接チャンネル信号を受信して記憶するため、前記最大チャンネル ( 5 1 , 6 1 , 7 1 ) の位置が前記周囲チャンネル ( 5 2 , 5 3 , 5 4 , 5 6 , 6 2 , 6 3 , 6 4 , 6 6 , 7 2 , 7 3 , 7 4 , 7 6 ) が全て揃わない位置であった場合でも、補完して精度の高い前記中性子入射位置を演算して記憶することができる。したがって、本発明の形態 1 0 の中性子入射位置検出装置 ( U ) は、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) における中性子入射位置の演算結果の精度を高くすることができる。

20

【 0 0 5 6 】

( 本発明の形態 1 1 )

本発明の形態 1 1 の中性子入射位置検出装置 ( U ) は、本発明および本発明の形態 1 ないし 1 0 のいずれかにおいて次の構成要件 ( A 020 ) , ( A 021 ) を備えたことを特徴とする。

30

( A 020 ) 前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) と接続された表示制御装置 ( U 3 a ) および前記表示制御装置 ( U 3 a ) に接続された表示器 ( U 3 b ) を有する中性子入射位置表示装置 ( U 3 ) 、

( A 021 ) 前記中性子入射面 ( 1 ) と前記中性子入射面上の中性子の入射位置とを前記表示器 ( U 3 b ) に表示する前記表示制御装置 ( U 3 a ) 。

【 0 0 5 7 】

( 本発明の形態 1 1 の作用 )

前記構成要件 ( A 020 ) , ( A 021 ) を備えた本発明の形態 1 1 では、中性子入射位置表示装置 ( U 3 ) は、表示制御装置 ( U 3 a ) および前記表示制御装置 ( U 3 a ) に接続された表示器 ( U 3 b ) を有し、前記中性子入射位置表示装置 ( U 3 ) の表示制御装置 ( U 3 a ) は、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) と接続されている。

40

また、前記表示制御装置 ( U 3 a ) は、前記中性子入射面 ( 1 ) と前記中性子入射面上の中性子の入射位置とを前記表示器 ( U 3 b ) に表示する。

したがって、本発明の形態 1 1 の中性子入射位置検出装置 ( U ) は、前記複数の各中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) の前記中性子入射位置演算記憶処理の演算結

50

果を中性子入射位置表示装置（U3）の表示制御装置（U3a）で制御して、前記中性子入射面（1）と前記中性子入射面上の中性子の入射位置とを前記表示器（U3b）に表示することができる。

【0058】

（本発明の形態12）

本発明の形態12の中性子入射位置検出装置（U）は、本発明および本発明の形態1ないし11のいずれかにおいて次の構成要件（A22）を備えたことを特徴とする。

（A22）前記複数の各接続チャンネル信号伝送路（4a, 4b）を形成する複数の各接続チャンネル信号伝送ケーブル（4a, 4b）。

【0059】

（本発明の形態12の作用）

前記構成要件（A22）を備えた本発明の形態12では、複数の各接続チャンネル信号伝送ケーブル（4a, 4b）は、前記複数の各接続チャンネル信号伝送路（4a, 4b）を形成する。

【0060】

（本発明の形態13）

本発明の形態13の中性子入射位置検出装置（U）は、本発明および本発明の形態1ないし12のいずれかにおいて次の構成要件（A23）を備えたことを特徴とする。

（A23）前記隣接チャンネル信号伝送路（6）を形成する隣接チャンネル信号伝送ケーブル（6）。

【0061】

（本発明の形態13の作用）

前記構成要件（A23）を備えた本発明の形態13では、隣接チャンネル信号伝送ケーブル（6）は、前記隣接チャンネル信号伝送路（6）を形成する。

【0062】

（本発明の形態14）

本発明の形態14の中性子入射位置検出装置（U）は、本発明の形態1ないし13において次の構成要件（A24）,（A25）を備えたことを特徴とする。

（A24）前記複数の各ラストダイノード信号伝送路（4a, 4b）を形成する複数の各ラストダイノード信号伝送ケーブル（4a, 4b）、

（A25）前記記憶送信指示信号伝送路（6）を形成する記憶送信指示信号伝送ケーブル（6）。

【0063】

（本発明の形態14の作用）

前記構成要件（A24）,（A25）を備えた本発明の形態14では、複数の各ラストダイノード信号伝送ケーブル（4a, 4b）は、前記複数の各ラストダイノード信号伝送路（4a, 4b）を形成する。

記憶送信指示信号伝送ケーブル（6）は、前記記憶送信指示信号伝送路（6）を形成する。

【0064】

（本発明の形態15）

本発明の形態15の中性子入射位置検出装置（U）は、本発明の形態3ないし14において次の構成要件（A26）を備えたことを特徴とする。

（A26）前記隣接チャンネル信号伝送用クロック伝送路（6）を形成する隣接チャンネル信号伝送用クロック伝送ケーブル（6）。

【0065】

（本発明の形態15の作用）

前記構成要件（A26）を備えた本発明の形態15では、隣接チャンネル信号伝送用クロック伝送ケーブル（6）は、前記隣接チャンネル信号伝送用クロック伝送路（6）を形成する。

10

20

30

40

50

**【 0 0 6 6 】**

(本発明の形態 1 6 )

本発明の形態 1 6 の中性子入射位置検出装置 ( U ) は、本発明および本発明の形態 1 ないし 1 5 において次の構成要件 ( A 041 ) を備えたことを特徴とする。

( A 027 ) 複数の前記中性子シンチレータ ( S ) を有する前記中性子入射位置検出器 ( U 1 ) 。

**【 0 0 6 7 】**

(本発明の形態 1 6 の作用)

前記構成要件 ( A 027 ) を備えた本発明の形態 1 6 では、前記中性子入射位置検出器 ( U 1 ) は、複数の前記中性子シンチレータ ( S ) を有する。

したがって、前記中性子入射位置検出器 ( U 1 ) を拡張する時に、必ずしも 1 つの前記中性子シンチレータを使用する必要がない。したがって、本発明の形態 1 0 の中性子入射位置検出装置 ( U ) は、前記中性子入射位置検出器 ( U 1 ) を容易に拡張することができる。

**【 0 0 6 8 】**

(本発明の形態 1 7 )

本発明の形態 1 6 の中性子入射位置検出装置 ( U ) は、本発明および本発明の形態 1 ないし 1 6 において次の構成要件 ( A 028 ) を備えたことを特徴とする。

( A 028 ) 前記平板状の中性子入射面 ( 1 ) に入射する中性子を発生する中性子発生器 ( U 4 ) 。

**【 0 0 6 9 】**

(本発明の形態 1 7 の作用)

前記構成要件 ( A 028 ) を備えた本発明の形態 1 7 では、中性子発生器 ( U 4 ) は、前記平板状の中性子入射面 ( 1 ) に入射する中性子を発生する。

**【 発明の効果 】****【 0 0 7 0 】**

前述の本発明は、下記の効果 ( E 01 ) ~ ( E 05 ) を奏する。

( E 01 ) 複数のフラットパネル型マルチアノード光電子増倍管を X Y 平面内に複数連結して配置した場合に ( 複数密着状態で配置した場合に ) 、処理速度の高いコンピュータを使用しなくても、中性子入射位置を高精度で演算し中性子入射時刻と共に記憶できるようにすることができる。

( E 02 ) X Y 平面内に複数密着状態で配置したフラットパネル型マルチアノード光電子増倍管にそれぞれ接続された中性子入射位置演算記憶回路基板であって前記密着状態で配置したフラットパネル型マルチアノード光電子増倍管に接続された前記中性子入射位置演算記憶回路基板同士を接続し、接続された前記中性子入射位置演算記憶回路基板間で中性子入射位置および入射時刻を演算するためのデータを伝送することにより、前記中性子入射位置演算記憶回路基板ごとに中性子入射位置を高精度で演算して中性子入射時刻と共に記憶できるようにすることができる。

( E 03 ) 複数のフラットパネル型マルチアノード光電子増倍管を X Y 平面内で連結した状態で配置して、高位置分解能および高い検出効率を維持しつつ、検出領域を自由に変更できる中性子位置検出装置を構築することができる。

( E 04 ) フラットパネル型マルチアノード光電子増倍管に接続された中性子入射位置演算記憶回路基板の台数が増えた場合にも、中性子が入射した位置を高速で演算して記憶することができる実用的な中性子位置検出装置を低コストで構築することができる。

( E 05 ) 中性子入射位置検出器の台数を多くするほど、同時に入射した複数の中性子を検出する可能性を高くすることができる。

**【 発明を実施するための最良の形態 】****【 0 0 7 1 】**

次に図面を参照しながら、本発明の実施の形態の具体例 ( 実施例 ) を説明するが、本発明は以下の実施例に限定されるものではない。

10





20

30

40

50

なお、以後の説明の理解を容易にするために、図面において、前後方向をX軸方向、左右方向をY軸方向、上下方向をZ軸方向とし、矢印X, -X, Y, -Y, Z, -Zで示す方向または示す側をそれぞれ、前方、後方、右方、左方、上方、下方、または、前側、後側、右側、左側、上側、下側とする。

また、図中、「」の中に「」が記載されたものは紙面の裏から表に向かう矢印を意味し、「」の中に「」が記載されたものは紙面の表から裏に向かう矢印を意味するものとする。

なお、以下の図面を使用した説明において、理解の容易のために説明に必要な部材以外の図示は適宜省略されている。

#### 【実施例1】

10

#### 【0072】

図1は本発明の実施例1の中性子入射位置検出装置の全体説明図である。

図1において、中性子入射位置検出装置Uは、中性子検出器U1（中性子入射位置検出器）と、前記中性子検出器U1に接続された中性子入射位置演算記憶装置U2と、前記中性子入射位置演算記憶装置U2に接続された中性子入射位置表示用の制御コンピュータU3（中性子入射位置表示装置）および中性子発生器U4とを有している。

#### 【0073】

前記中性子検出器U1は、リチウムを含む硫化亜鉛（ $ZnS/{}^6Li$ ）によって形成された0.25mm厚の平板状の中性子シンチレータSと、前記中性子シンチレータの後方に配置された平板状の亚克力ガラスLDと、前記亚克力ガラスLDの後方に左右に並んだ状態で互いに密着して配置された64chフラットパネル型マルチアノード光電子増倍管である左側増倍管P1（一方のフラットパネル型マルチアノード光電子増倍管）と右側増倍管P2（他方のフラットパネル型マルチアノード光電子増倍管）とを有している。

20

前記中性子シンチレータSの前面には、中性子入射面1が形成されている。また、前記左側増倍管P1および前記右側増倍管P2の上面には、それぞれが64個のチャンネルを有しており、前記左側増倍管P1および前記右側増倍管P2の各64個のチャンネルをあわせた合計128個のチャンネルによって光電子検出領域2が形成されている。

#### 【0074】

前記中性子入射位置演算記憶装置U2は、FA64モジュール（中性子入射位置演算記憶回路基板）である左側演算記憶回路基板F1（一方の中性子入射位置演算記憶回路基板）および右側演算記憶回路基板F2（他方の中性子入射位置演算記憶回路基板）とを有している。前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、収容フレーム（VME電源クレート）FLに収容されている。前記基板収容フレームFLは、VMEコントローラFCを有している。また、前記基板収容フレームFLは、最大で20枚の前記FA64モジュールを収容するスロットを有しており、前記VMEコントローラFCによって収容された前記FA64モジュールの電源等を管理する。

30

前記制御コンピュータU3は、前記制御コンピュータU3本体としての表示制御装置U3aおよび前記表示制御装置U3aに接続されたディスプレイ（表示器）U3bを有している。前記表示制御装置U3aは、USBケーブル3によって前記基板収容フレームFLと接続されている。また、前記中性子発生器U4は、中性子発生信号伝送用ケーブル5によって前記基板収容フレームFLと接続されている。よって、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、前記基板収容フレームFLの前記VMEコントローラFCを経由して前記制御コンピュータU3および前記中性子発生器U4に接続されている。

40

#### 【0075】

図2は2枚のFA64モジュールの接続を説明する拡大図である。

なお、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2において、前記左側演算記憶回路基板F1の構成要素に対応する前記右側演算記憶回路基板F2の構成要素には同一の符号を付して、以降については、その詳細な説明を省略する。

図2において、前記左側演算記憶回路基板F1は、前記左側演算記憶回路基板F1本体

50

としてのVMEバス規格のFA-VME基板Vを有している。前記FA-VME基板Vの右面には、16個の信号の同時処理が可能なアナログデジタル変換回路を有するアナログデジタル変換器である第1層上側AD変換基板A1aと第1層下側AD変換基板A1bとが上下方向(Z軸方向)に並んで積載されている。前記第1層上側AD変換基板A1aおよび前記第1層下側AD変換基板A1bの右面には、それぞれ第2層上側AD変換基板A2aおよび第2層下側AD変換基板A2bが上下方向(Z軸方向)に並んで積載されている。前記第2層上側AD変換基板A2aおよび前記第2層下側AD変換基板A2bの右面には、それぞれ33個の信号の同時処理が可能なチャージアンプ(電荷型アンプ)としての機能を有する上側FAMP33基板Caおよび下側FAMP33基板Cbが上下方向(Z軸方向)に並んで積載されている。

10

## 【0076】

また、前記FA-VME基板Vの後部には、前方向接続用ケーブル挿入口CN1と、後方向接続用ケーブル挿入口CN2と、左方向接続用ケーブル挿入口CN3と、右方向接続用ケーブル挿入口CN4とが配置されている。

前記第1層上側AD変換基板A1a、前記第1層下側AD変換基板A1b、前記第2層上側AD変換基板A2aおよび第2層下側AD変換基板A2bによってAD変換基板A(A1a+A1b+A2a+A2b)が構成されている。

## 【0077】

図3は実施例1の中性子入射位置検出装置のブロック線図であり、2枚のFA64モジュールの構成の説明図である。

20

図3において、前記左側演算記憶回路基板F1の前記FA-VME基板Vは、中性子入射位置演算記憶処理用のコントローラCと、メモリ容量が64MバイトのメモリM(中性子入射位置記憶用メモリ)と、AD変換回路素子A3とを有している。前記コントローラCは、全体の制御処理を行うメインFPGA(Field Programmable Gate Array)11と、前記中性子入射位置演算記憶処理を行う上側FPGA12aと下側FPGA12bとを有している。

## 【0078】

前記上側FPGA12aは、前記第1層上側AD変換基板A1aおよび前記第2層上側AD変換基板A2aと接続されており、前記下側FPGA12bは、前記第1層下側AD変換基板A1bおよび前記第2層下側AD変換基板A2bと接続されている。また、前記AD変換回路素子A3は、前記上側FAMP33基板Caと接続されている。

30

また、前記上側FAMP33基板Caは、前記第1層上側AD変換基板A1aおよび前記第2層上側AD変換基板A2aと接続されており、前記下側FAMP33基板Cbは、前記第1層下側AD変換基板A1bおよび前記第2層下側AD変換基板A2bと接続されている。

## 【0079】

図1および図2において、前記上側FAMP33基板Caおよび前記下側FAMP33基板Cbには、上側接続用ケーブル4aおよび下側接続用ケーブル4b(接続チャンネル信号伝送路、ラストダイノード信号伝送路、接続チャンネル信号伝送ケーブル、ラストダイノード信号伝送ケーブル)が接続されており、前記上側接続用ケーブル4aおよび前記下側接続用ケーブル4bは前記左側増倍管P1に接続されている。したがって、前記左側増倍管P1と前記左側演算記憶回路基板F1とは互いに接続されている(同様に、前記右側増倍管P2と前記右側演算記憶回路基板F2とは互いに接続されている)。

40

## 【0080】

また、図2において、前記左側演算記憶回路基板F1の右方向接続用ケーブル挿入口CN4と前記右側演算記憶回路基板F2の左方向接続用ケーブル挿入口CN3とは隣接基板間接続用ケーブル6(隣接チャンネル信号伝送路、隣接チャンネル信号送信路、隣接チャンネル信号受信路、記憶送信指示信号伝送路、記憶送信指示信号送信路、記憶送信指示信号受信路、隣接チャンネル信号伝送用クロック伝送路、隣接チャンネル信号伝送用クロック送信路、隣接チャンネル信号伝送用クロック受信路、隣接チャンネル信号伝送ケーブル、記憶送信指示信号伝送ケーブル、隣接チャンネル信号伝送用クロック伝送ケーブル)によって接続さ

50



れている。したがって、前記左側演算記憶回路基板 F 1 と前記右側演算記憶回路基板 F 2 とは互いに接続されている。

#### 【 0 0 8 1 】

図 1 ~ 図 3 において、前記左側増倍管 P 1 から出力される（送信される）の各チャンネルの電流積分値である全 6 4 個の接続チャンネル信号および全 6 4 チャンネルの総和の電流積分値であるラストダイノード信号は、前記上側接続用ケーブル 4 a および前記下側接続用ケーブル 4 b によって並列に送信される。すなわち、前記上側接続用ケーブル 4 a および下側接続用ケーブル 4 b はそれぞれ少なくとも 3 3 本の信号伝送路を有しており、前記左側増倍管 P 1 は、図示しない上側ケーブル用接続孔および下側ケーブル用接続孔のピン配置で全 6 5 個の信号を分割することにより、前記上側接続用ケーブル 4 a にはラストダイノード信号を含む全 3 3 個の出力信号を並列に送信し、前記下側接続用ケーブル 4 a には全 3 2 個の出力信号を並列に送信する。

10

#### 【 0 0 8 2 】

また、前記左側演算記憶回路基板 F 1 に受信された前記全 6 4 個の接続チャンネル信号および前記ラストダイノード信号についても、前記上側 F A M P 3 3 基板 C a および前記下側 F A M P 3 3 基板 C b は、前記 A D 変換基板 A ( A 1 a + A 1 b + A 2 a + A 2 b ) の各基板を識別して各信号を振り分けており、本体の前記 F A - V M E 基板 V と各基板の接続路についても、前記 A D 変換基板 A との接続路には V M E バス規格を用いて、各信号の経路は前記コントローラ C の前記上側 F P G A 1 2 a および前記下側 F P G A 1 2 b がそれぞれ内臓している経路セレクタによって決められている。

20

したがって、前記左側増倍管 P 1 から前記左側演算記憶回路基板 F 1 の前記コントローラ C まで、全 6 5 個の各信号の経路は、全 6 5 本の信号伝送路によって全て予め設定されているため、前記コントローラ C は、全 6 5 個の出力信号をそれぞれを並列に処理することができる。

#### 【 0 0 8 3 】

図 4 はラストダイノード信号のピーク値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間をとり、縦軸に電圧値を取ったグラフであり、図 4 A はラストダイノード信号のピーク値の検出結果の説明図であり、図 4 B はラストダイノード信号用の第 1 レジスタに記録された最小値の検出結果の説明図であり、図 4 C はラストダイノード信号用の第 2 レジスタに記録された最小値の検出結果の説明図である。

30

図 5 はラストダイノード信号のピーク値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間をとり、縦軸に電圧値を取ったグラフであり、図 5 A はラストダイノード信号のペDESTALの検出結果の説明図であり、図 5 B はラストダイノード信号の値である最大値とペDESTALの差分値の説明図である。

#### 【 0 0 8 4 】

実施例 1 の前記中性子入射位置検出装置 U において、図 4 A の様な特徴を有する前記ラストダイノード信号および前記接続チャンネル信号を送信する（出力する）のは、特に記載がない限り、前記左側増倍管 P 1 のみの場合を説明する。なお、実施例 1 の前記中性子入射位置検出装置 U では、図 4 A の様な特徴を有する前記ラストダイノード信号が前記左側増倍管 P 1 および前記右側増倍管 P 2 の両方で同時に送信される場合もあるが、その場合の詳細な説明は省略する。

40

#### 【 0 0 8 5 】

図 4 A において、前記中性子検出器 U 1 が中性子の入射を検出した時に、前記左側増倍管 P 1 が出力するラストダイノード信号は、3 マイクロ秒程度のパルス幅で山型のパルス波 2 1 , 2 2 を含む電流積分値のアナログ信号である。

図 3 において、前記ラストダイノード信号は、前記上側 F A M P 3 3 基板 C a で受信されて出力調節された後、電圧値（すなわち、前記電流積分値に比例した値）として前記 F A - V M E 基板 V に設けた A D 変換回路素子 A 3 に送信される。

#### 【 0 0 8 6 】

前記 A D 変換回路素子 A 3 は、前記ラストダイノード信号を含む前記上側 F A M P 3 3

50

基板 C a からの入力信号を電源投入時から常時アナログデジタル変換しており、前記入力信号は、サンプリング周波数 32 MHz、データ長 14 ビットでサンプリングされて順次読み出されている。すなわち、前記 AD 変換回路素子 A 3 は、1 マイクロ秒間に 32 回の頻度で前記入力信号の電圧値を 14 ビットのサンプリング値としてアナログデジタル変換し続けている。

図 4 A において、前記パルス波 2 1, 2 2 を含むラストダイノード信号を前記 AD 変換回路素子 A 3 が受信した時に、前記 AD 変換回路素子 A 3 では、前記コントローラ C のメイン FPGA 1 1 は、前記サンプリング値がその前後に読み出したサンプリング値よりも大きい値であるピーク値を検出し、ラストダイノード信号用の第 3 レジスタ V L R 3 に記憶する（詳細は後述の図 2 0 のフローチャート参照）。

10

したがって、前記 AD 変換回路素子 A 3 が読み出したサンプリング値から得られる前記パルス波 2 1, 2 2 の第 1 頂点 2 3 a と、第 2 頂点 2 3 b と、第 3 頂点 2 3 c とが前記ピーク値となる可能性がある。

#### 【0087】

図 4 B, 図 4 C および図 5 A において、前記 AD 変換回路素子 A 3 で前記コントローラ C のメイン FPGA 1 1 が前記上側 F A M P 3 3 基板 C a から読み出した前記ラストダイノード信号のサンプリング値から前記パルス波 2 1, 2 2 を受信していないときの電圧値であるペDESTAL を検出して記憶する時に、前記メイン FPGA 1 1 は、読み出し開始から 2 マイクロ秒間隔で順次検出した最小値を記憶して第 1 レジスタ V L R 1 (ラストダイノード信号用第 1 記憶媒体) に記憶し且つ 2 マイクロ秒が経過した時点ごとに前記第 1 レジスタ V L R 1 に記憶した値をリセットする処理と、前記読み出し開始から順次検出した最小値を第 2 レジスタ V L R 2 (ラストダイノード信号用第 2 記憶媒体) に記憶して、1 マイクロ秒経過した時点で前記第 2 レジスタ V L R 2 に記憶した値を一旦リセットした後、2 マイクロ秒間隔で順次検出した最小値を前記第 2 レジスタ V L R 2 に記憶し且つ 2 マイクロ秒が経過した時点ごとに前記第 2 レジスタ V L R 2 に記憶した値をリセットする処理とを並列に実行して、読み出しタイミングごとに前記第 1 レジスタ V L R 1 に記憶した値と、前記第 2 レジスタ V L R 2 に記憶した値とを比較して、小さい値を前記ペDESTAL として採用している（詳細は後述の図 1 9 および図 2 0 のフローチャート参照）。

20

#### 【0088】

したがって、前記パルス波 2 1, 2 2 を含むラストダイノード信号を前記 AD 変換回路素子 A 3 が受信した時に、読み出し開始から前記第 1 レジスタ V L R 1 に記憶した値は、2 点鎖線で示す値 2 4 a, 2 4 b, 2 4 c が設定される（図 4 B 参照）。また、読み出し開始から前記第 2 レジスタ V L R 2 に記憶した値は、1 点鎖線で示す値 2 4 d, 2 4 e, 2 4 f, 2 4 g, 2 4 h が設定される（図 4 C 参照）。

30

この結果、前記ペDESTAL として検出される値は、前記 2 点鎖線で示す値 2 4 a および前記 1 点鎖線で示す値 2 4 f, 2 4 g, 2 4 h となる（図 5 A の太い実線参照）。

#### 【0089】

また、図 4 A および図 5 B において、前記ピーク値を検出した時に、前記ピーク値と前記ペDESTAL との差分値を前記ピーク値を検出した時に、前記ピーク値と前記ペDESTAL との差分値を演算した結果をラストダイノード信号用の第 4 レジスタ V L R 4 に記憶する。前記差分値が予め設定された閾値 S K よりも大きい場合、前記差分値を前記コントローラ C の前記メイン FPGA 1 1 に送信し、3 マイクロ秒間経過した後で、前記第 3 レジスタ V L R 3 に記憶した値をリセットする。前記差分値が前記閾値 S K よりも小さい場合、3 マイクロ秒間経過するのを待たずに次のピーク値を検出する処理を行う（詳細は後述の図 2 0 のフローチャート参照）。

40

#### 【0090】

図 5 B において、前記ピーク値が前記第 1 頂点 2 3 a、前記第 2 頂点 2 3 b、前記第 3 頂点 2 3 c であった場合、前記差分値は、それぞれ第 1 差分値 2 5 a, 第 2 差分値 2 5 b, 第 3 差分値 2 5 c となる。ここで、前記差分値のうち、最小の値となる前記第 3 差分値 2 5 c が前記閾値 S K を超えるラストダイノード信号の値として検出される時には、前記

50

第 1 最小値 2 5 a が前記閾値 S K を超えるラストダイノード信号の値として検出され且つ 3 マイクロ秒間は前記ピーク値の検出処理を実行しないため、前記第 2 最小値 2 5 b が前記閾値 S K を超えるラストダイノード信号の値として検出されないことになる（図 4 A 参照）。また、逆に、前記第 2 差分値 2 5 b が前記閾値 S K を超えるラストダイノード信号の値として検出される時には、前記第 3 差分値 2 5 c より大きい前記第 1 差分値 2 5 a が前記閾値 S K を超えないため、前記第 3 差分値 2 5 c が前記閾値 S K を超えるラストダイノード信号の値として検出されないことになる。

#### 【 0 0 9 1 】

図 6 は接続チャンネル信号の最大値およびペDESTAL の検出方法の説明図として、横軸に読み出しを開始してからの時間をとり、縦軸に電圧値を取ったグラフであり、図 6 A は接続チャンネル信号の説明図であり、図 6 B は接続チャンネル信号の最大値の検出結果の説明図である。

10

図 7 は接続チャンネル信号の最大値およびペDESTAL の検出方法の説明図として、横軸に読み出しを開始してからの時間をとり、縦軸に電圧値を取ったグラフであり、図 7 A は接続チャンネル信号のペDESTAL の検出結果の説明図であり、図 7 B は接続チャンネル信号の値である最大値とペDESTAL の差分値の説明図である。

#### 【 0 0 9 2 】

図 6 A において、前記中性子検出器 U 1 が中性子の入射を検出した時に、前記左側増倍管 P 1 が出力する全 6 4 個の接続チャンネル信号のうち、光電子を検出した各チャンネルがそれぞれ出力する（送信する）前記接続チャンネル信号は、3 マイクロ秒程度のパルス幅で山型のパルス波 2 1 , 2 2 を含む電流積分値のアナログ信号である（すなわち、前記光電子を検出した各チャンネル以外が出力する前記接続チャンネル信号は、前記パルス波 2 1 , 2 2 を含まない）。

20

図 3 において、前記左側増倍管 P 1 および前記右側増倍管 P 2 がそれぞれ出力する全 6 4 個の前記接続チャンネル信号は、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 の前記上側 F A M P 3 3 基板 C a または前記下側 F A M P 3 3 基板 C b にそれぞれ受信されて出力調節された後、電圧値として前記 A D 変換基板 A ( A 1 a + A 1 b + A 2 a + A 2 b ) のいずれかにそれぞれ送信される。

#### 【 0 0 9 3 】

前記 A D 変換基板 A ( A 1 a + A 1 b + A 2 a + A 2 b ) は、受信した前記接続チャンネル信号を含む前記上側 F A M P 3 3 基板 C a および前記下側 F A M P 3 3 基板 C b からの全 6 4 個の入力信号を同時に電源投入時から常時アナログデジタル変換しており、前記入力信号は、サンプリング周波数 1 6 M H z 、データ長 1 2 ビットでサンプリングされて順次読み出される。すなわち、前記 A D 変換基板 A は、1 マイクロ秒間に 1 6 回の頻度で全 6 4 個の前記入力信号の電圧値をそれぞれ 1 2 ビットのサンプリング値としてアナログデジタル変換し続けている。

30

図 6 B において、前記 A D 変換基板 A が前記上側 F A M P 3 3 基板 C a および前記下側 F A M P 3 3 基板 C b から読み出した前記接続チャンネル信号のサンプリング値から最大値を検出して記憶する時に、前記 A D 変換基板 A は、読み出し開始から順次検出した最大値を第 3 レジスタ V R 3 に記憶し、同じ最大値を保持したまま 1 マイクロ秒間経過すると、前記第 3 レジスタ V R 3 に記憶した値をリセットする処理を繰り返している（詳細は後述の図 2 2 のフローチャート参照）。

40

したがって、前記パルス波 2 1 , 2 2 を含む前記接続チャンネル信号を前記 A D 変換基板 A が受信した時に、読み出し開始から前記第 3 レジスタ V R 3 に記憶した値は、太い実線で示す値 2 6 a , 2 6 b , 2 6 c , 2 6 d が設定される。

#### 【 0 0 9 4 】

図 7 A において、前記 A D 変換基板 A が前記接続チャンネル信号のサンプリング値から前記ペDESTAL を検出して記憶する時に、前記 A D 変換基板 A において、前記コントローラ C のメイン F P G A 1 1 は、前記ラストダイノード信号の前記ペDESTAL を検出する処理（図 4 B , 図 4 C および図 5 A 参照）のときと同様の処理を行う。すなわち、読み出し開始か

50

ら 2 マイクロ秒間隔で順次検出した最小値を記憶して第 1 レジスタ V R 1 ( 接続チャンネル信号用第 1 記憶媒体 ) に記憶し且つ 2 マイクロ秒が経過した時点ごとに前記第 1 レジスタ V R 1 に記憶した値をリセットする処理と、前記読み出し開始から順次検出した最小値を第 2 レジスタ V R 2 ( 接続チャンネル信号用第 2 記憶媒体 ) に記憶して、1 マイクロ秒経過した時点で前記第 2 レジスタ V R 2 に記憶した値を一旦リセットした後、2 マイクロ秒間隔で順次検出した最小値を前記第 2 レジスタ V R 2 に記憶し且つ 2 マイクロ秒が経過した時点ごとに前記第 2 レジスタ V R 2 に記憶した値をリセットする処理とを並列に実行して、読み出しタイミングごとに前記第 1 レジスタ V R 1 に記憶した値と、前記第 2 レジスタ V R 2 に記憶した値とを比較して、小さい値を前記ペDESTALとして採用している ( 詳細は後述の図 2 1 および図 2 2 のフローチャート参照 ) 。

10

#### 【 0 0 9 5 】

したがって、前記パルス波 2 1 , 2 2 を含む接続チャンネル信号を前記 A D 変換基板 A が受信した時に、読み出し開始から前記第 1 レジスタ V R 1 に記憶した値は、2 点鎖線で示す値 2 4 a , 2 4 b , 2 4 c が設定される。また、読み出し開始から前記第 2 レジスタ V R 2 に記憶した値は、1 点鎖線で示す値 2 4 d , 2 4 e , 2 4 f , 2 4 g , 2 4 h ( 2 4 d については図示せず ) が設定される。

この結果、前記ペDESTALとして検出される値は、前記 2 点鎖線で示す値 2 4 a および前記 1 点鎖線で示す値 2 4 f , 2 4 g , 2 4 h となる ( 図 5 A の太い実線参照 ) 。

#### 【 0 0 9 6 】

また、図 7 B において、前記 A D 変換基板 A ( A 1 a + A 1 b + A 2 a + A 2 b ) は、前記コントローラ C に送信する前記接続チャンネル信号の値として、前記最大値と前記ペDESTALとの差分値を演算した結果を接続チャンネル信号用の第 4 レジスタ V L R 4 に記憶する ( 詳細は後述の図 2 2 のフローチャート参照 ) 。

20

したがって、前記第 4 レジスタ V L R 4 に記憶する前記差分値は、例えば、第 1 差分値 2 7 a、第 2 差分値 2 7 b などが設定される。なお、前記差分値は、前記コントローラ C が送信を要求する ( 受信する ) タイミングによって異なるため、前記コントローラ C が要求するタイミングに応じた前記第 1 差分値 2 7 a および前記第 2 差分値 2 7 b が送信される。

#### 【 0 0 9 7 】

図 8 はラストダイノード信号を検出した中性子入射位置演算記憶回路基板が出力する L S Y N C 信号と前記ラストダイノード信号との相関関係の説明図である。

30

図 9 は中性子入射位置演算記憶回路基板が接続チャンネル信号を各 A D 変換基板から読み出してコントローラのレジスタに記憶するときの処理の説明図である。

図 1 0 は非同期で動作する左側演算記憶回路基板 ( 互いに接続された一方の中性子入射位置演算記憶回路基板 ) と右側演算記憶回路基板 ( 他方の中性子入射位置演算記憶回路基板 ) における基本クロックと隣接チャンネル信号伝送用クロックとの関係を示す図であり、左側演算記憶回路基板が右側演算記憶回路基板から隣接チャンネル信号を受信して記憶する処理の説明図である。

#### 【 0 0 9 8 】

図 8 において、前記中性子検出器 U 1 が中性子の入射を検出した時に、前記左側演算記憶回路基板 F 1 は、3 マイクロ秒程度のパルス幅で山型のラストダイノード信号 3 1 を受信する。

40

また、前記左側演算記憶回路基板 F 1 の前記上側 FPGA 1 2 a および前記下側 FPGA 1 2 b が前記右側演算記憶回路基板 F 2 の前記上側 FPGA 1 2 a および前記下側 FPGA 1 2 b に送信する同期信号としての L S Y N C 信号 3 5 ( 記憶送信指示信号 ) は、オン・オフの状態を示すデジタル信号であり、通常オフの状態で送信されている。

#### 【 0 0 9 9 】

前記左側演算記憶回路基板 F 1 の前記 A D 変換回路素子 A 3 が受信した前記ラストダイノード信号 3 1 において、前記コントローラ C のメイン FPGA 1 1 がピーク値 3 2 ( 図 8 参

50

照)を読み出したときに(検出したときに)、前記ピーク値32とペDESTAL33との差分値が予め設定された閾値SKを超えていれば、前記左側演算記憶回路基板F1の前記AD変換回路素子A3は、前記左側演算記憶回路基板F1の前記メインFPGA11に前記差分値を送信する。なお、図8における、前記最大値32および前記ペDESTAL33は、図4A~図4Cおよび図5Aにおける前記ラストダイノード信号のピーク値およびペDESTALの検出処理で取得した値である。

#### 【0100】

前記差分値を受信した前記左側演算記憶回路基板F1のメインFPGA11は、ラストダイノード信号の値(前記差分値)の発生頻度をラストダイノード信号発生頻度記憶用レジスタR1に記憶する。また、前記左側演算記憶回路基板F1のメインFPGA11は、前記左側演算記憶回路基板F1の前記上側FPGA12aおよび前記下側FPGA12bに対して、前記中性子入射位置演算記憶処理を開始するよう指示する(図8の矢印34参照)。

前記左側演算記憶回路基板F1の前記上側FPGA12aおよび前記下側FPGA12bは、それぞれが前記左側演算記憶回路基板F1の前記メインFPGA11から指示された時点であるトリガー受信時点36から1マイクロ秒が経過した時点である同期開始時点37(図8参照)まで待機した後、前記右側演算記憶回路基板F2の前記上側FPGA12aおよび前記下側FPGA12bに対して、前記同期開始時点37から1マイクロ秒後の時点である同期中間時点38を経過して、さらに1マイクロ秒が経過した時点である同期終了時点39まで前記LSYNC信号35をオンの状態にして送信する。したがって、前記左側演算記憶回路基板F1の前記上側FPGA12aおよび前記下側FPGA12bは、前記同期開始時点37から前記同期終了時点39までの2マイクロ秒間だけ前記LSYNC信号35をオンの状態にして、前記同期終了時点39から前記LSYNC信号35を再びオフの状態にする(詳細は後述の図13および図14のフローチャート参照)。

#### 【0101】

前記トリガー受信時点36から前記同期開始時点37までの1マイクロ秒が経過するまで、前記左側演算記憶回路基板F1のコントローラC(図3参照)は、前記AD変換基板Aが前記接続チャンネル信号の値を最新の状態に更新するのを促すために待機する(図4Aおよび図4B参照)。なお、このとき、前記左側演算記憶回路基板F1の前記AD変換基板Aが前記コントローラCに送信する全64個の前記接続チャンネル信号の値を最新の状態に更新すると同時に、前記右側演算記憶回路基板F2の前記AD変換基板Aも全64個の前記接続チャンネル信号の値を最新の状態に更新することになる。

また、前記同期開始時点37から前記同期中間時点38までの1マイクロ秒が経過するまでに、前記左側演算記憶回路基板F1のコントローラCは、前記左側演算記憶回路基板F1の前記AD変換基板Aから全64個の接続チャンネル信号の値を受信して記憶すると同時に、前記LSYNC信号をオンの状態にすることで前記右側演算記憶回路基板F2のコントローラCにも前記右側演算記憶回路基板F2の前記AD変換基板Aから全64個の接続チャンネル信号を1マイクロ秒間で受信して記憶することを指示して待機する。

さらに、前記同期中間時点38から前記同期終了時点39までの1マイクロ秒が経過するまでに、前記左側演算記憶回路基板F1のコントローラCは、前記右側演算記憶回路基板F2から8個の隣接チャンネル信号(前記右側演算記憶回路基板F2が記憶する全64個の接続チャンネル信号のうち、前記左側演算記憶回路基板F1と隣接する8個のチャンネルの接続チャンネル信号)の値を受信して記憶する(詳細は後述の図13~図18のフローチャート参照)。

#### 【0102】

前記同期終了時点39から、前記左側演算記憶回路基板F1のコントローラCは、全64個の接続チャンネル信号と8個の隣接チャンネル信号との値から中性子入射位置を演算する(詳細は後述の図18のフローチャート参照)。

なお、本発明の実施例1では、前記同期終了時点39までは(前記トリガー受信時点36から3マイクロ秒が経過するまでは)、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のコントローラCは、次の中性子が検出されても中性子入射位置を

演算しないことになっている。また、前記同期終了時点 39 から、前記左側演算記憶回路基板 F 1 のコントローラ C は、前記中性子入射位置を演算すると同時に並列で閾値 S K を超える次のラストダイノード信号を受信することができる。したがって、本発明の実施例 1 の中性子入射位置検出装置 U の中性子入射位置の演算間隔は最短で 3 マイクロ秒である。すなわち、中性子入射位置検出装置 U の中性子入射位置演算記憶処理を開始してから、次の中性子入射位置演算記憶処理が実行可能となるまでの時間（デッドタイム）は 3 マイクロ秒である。

#### 【0103】

図 9 において、前記 A D 変換基板 A は、12 ビットの前記各接続チャンネル信号の値（すなわち、図 6 B および図 7 A における接続チャンネル信号の最大値とペDESTAL の検出処理によって得られた前記最大値と前記ペDESTAL の差分値（図 7 B の前記第 1 差分値 27 a および前記第 2 差分値 27 b を参照）を記憶するレジスタである各接続チャンネル信号用の前記第 4 レジスタ V R 4 を有している。前記第 4 レジスタ V R 4 に保持された値は、前記各チャンネルごとに発生する前記光電子の増倍率の誤差を修正するために、全 64 個の各チャンネルそれぞれに予め設定された 8 ビットの A D C 補正係数 H を乗算して、前記コントローラ C の 16 ビットのバッファ B に保存される（詳細は後述の図 16 のフローチャート参照）。なお、実施例 1 の前記 A D C 補正係数 H は前記第 4 レジスタ V R 4 に保持された値を乗算した結果が前記バッファ B の 16 ビットを超えないよう（桁溢れしないよう）予め設定されている。

#### 【0104】

前記接続チャンネル信号の補正值記憶処理は次のように行う。すなわち、図 6 の (1) ~ (3) において次の処理を行う。

(1) 前記コントローラ C の上側 FPGA 12 a および下側 FPGA 12 b において、前記 A D 変換基板 A の前記第 4 レジスタ V R 4 の値は、最上位ビットから 1 ビットずつ読み出す。

(2) 前記読み出した 1 ビットの値が '1' であれば、前記バッファ B に前記 A D C 補正係数 H を加算して、前記バッファ B の値を 1 ビット左に論理シフトし、前記読み出した 1 ビットの値が '0' であれば、前記バッファ B を 1 ビット左に論理シフトのみ行う。

(3) 前記コントローラ C の上側 FPGA 12 a および下側 FPGA 12 b は、前記 (1) および (2) の処理を前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 がそれぞれ有する基本クロック発振回路 (C 15) が発振する基本クロック 1 回ごとに行い、合計 8 回繰り返した後で、前記バッファ B の上位 8 ビットに記憶された値だけを前記接続チャンネル信号の値（補正值）として、レジスタ V C R にそれぞれ記憶される。

#### 【0105】

なお、前記接続チャンネル信号の補正值記憶処理は前記 A D 変換基板 A に記憶された全 64 個の前記各接続チャンネル信号でそれぞれ実施され、前記 A D C 補正係数 H は全 64 個の前記各接続チャンネル信号に対応する値が予め設定されている。また、前記 A D 変換基板 A の前記第 4 レジスタ V R 4 は、前記接続チャンネル信号の最大値とペDESTAL との差分値である 12 ビットの値を記憶しており、実施例 1 のコントローラ C では、前記 12 ビットの値のうち、下位 4 ビットを切り捨てた上位 8 ビットのみ受信して記憶している。

#### 【0106】

図 10 において、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 は、クロック周波数が 32 MHz の前記基本クロック発振回路 C 15 と、前記基本クロック発振回路 C 15 と同期し且つクロック周波数を 8 MHz まで低くした隣接チャンネル信号用クロック発振回路 C 16 とをそれぞれ有している。前記左側演算記憶回路基板 F 1 では、前記基本クロック発振回路（左側基本クロック発振回路）C 15 が左側基本クロック 41 を発振し、前記隣接チャンネル信号伝送用クロック発振回路（左側隣接チャンネル信号伝送用クロック発振回路）C 16 が隣接チャンネル信号伝送用クロックである左側隣接チャンネル信号伝送用クロック 42 を発振している。前記左側演算記憶回路基板 F 1 は、前記右側演算記憶回路基板 F 2 に前記左側隣接チャンネル信号伝送用クロック 42 を常に送信している。

10

20

30

40

50

## 【 0 1 0 7 】

また、前記右側演算記憶回路基板 F 2 では、前記基本クロック発振回路（右側基本クロック発振回路）C 1 5 が右側基本クロック 4 3（図 1 0 参照）を発振し、隣接チャンネル信号伝送用クロック発振回路（右側隣接チャンネル信号伝送用クロック発振回路）C 1 6 が前記隣接チャンネル信号伝送用クロックである右側隣接チャンネル信号伝送用クロック 4 4 を発振している。前記右側演算記憶回路基板 F 2 は、前記左側演算記憶回路基板 F 1 に前記右側隣接チャンネル信号伝送用クロック 4 4 を常に送信している。

## 【 0 1 0 8 】

実施例 1 の前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 は、それぞれが非同期で動作しているため、前記左側基本クロック 4 1 と前記右側基本クロック 4 3 との立上りに時間差 4 6（図 1 0 参照）が生じることがある。したがって、前記時間差 4 6 がある時に、前記左側基本クロック 4 1 と前記右側基本クロック 4 3 とが共に立ち上がった状態の基本クロック同期タイミング 4 7 と、前記左側隣接チャンネル信号伝送用クロック 4 2 と前記右側隣接チャンネル信号伝送用クロック 4 4 とが共に立ち上がった状態の隣接チャンネル信号伝送用クロック同期タイミング 4 8（同期が可能な範囲）とが周期的に発生する。

## 【 0 1 0 9 】

図 8 および図 1 0 において、前記同期開始時点 3 7 から前記同期中間時点 3 8 までの 1 マイクロ秒が経過するまでに（すなわち、1 マイクロ秒間で前記隣接チャンネル信号伝送用クロックが 8 回発振したときに）、前記右側演算記憶回路基板 F 2 のコントローラ C は、前記 L S Y N C 信号 3 5 をオンの状態を受信し、前記右側演算記憶回路基板 F 2 の前記 A D 変換基板 A から全 6 4 個の接続チャンネル信号の値を受信して記憶する（図 8 および図 9 参照）。

よって、前記同期中間時点 3 8 から前記同期終了時点 3 9 までの 1 マイクロ秒が経過するまでに、前記右側演算記憶回路基板 F 2 では、8 回の前記左側隣接チャンネル信号伝送用クロック 4 2 を受信するため、8 回の前記隣接チャンネル信号伝送用クロック同期時間 4 8（図 1 0 参照）が発生する。この結果、前記左側演算記憶回路基板 F 1 は、前記 8 回の隣接チャンネル信号伝送用クロック同期時間 4 8 の間に、前記右側演算記憶回路基板 F 2 から 8 個の前記隣接チャンネル信号の値を受信することができる。

## 【 0 1 1 0 】

すなわち、前記同期中間時点 3 8 から前記同期終了時点 3 9 までの 1 マイクロ秒が経過するまでに、前記右側演算記憶回路基板 F 2 は前記左側演算記憶回路基板 F 1 に対して前記隣接チャンネル信号伝送用クロック同期タイミング 4 8 ごとに 8 個の隣接チャンネル信号の値をそれぞれ 1 ビットずつ送信する。したがって、前記左側演算記憶回路基板 F 1 は、前記隣接チャンネル信号伝送用クロックが 8 回分の発振間隔で（1 マイクロ秒間で）前記右側演算記憶回路基板 F 2 からそれぞれ 8 ビットの値である 8 個の前記隣接チャンネル信号を全て受信することができる。

## 【 0 1 1 1 】

図 2 ~ 図 1 0 において、前記左側演算記憶回路基板 F 1 は、少なくとも前記 L S Y N C 信号 3 5、前記左側隣接チャンネル信号伝送用クロック 4 2 および 8 個の前記隣接チャンネル信号の合計 1 0 個の信号を同時に送受信可能でなければならない。また、前記右側演算記憶回路基板 F 2 も同時に前記ラストダイノード信号 3 1 を受信していたときは、前記左側演算記憶回路基板 F 1 と同様の動作を、前記左側演算記憶回路基板 F 1 と同時に実行できなければならない。したがって、前記左側演算記憶回路基板 F 1 と前記右側演算記憶回路基板 F 2 とを接続する前記隣接基板間接続用ケーブル 6（図 2 参照）は、少なくとも 2 0 本の信号伝送路を有していなければならない。よって、実施例 1 の前記隣接基板間接続用ケーブル 6 は 3 0 本のシールド付き超小型フラットケーブルによって構成されている。

## 【 0 1 1 2 】

図 1 1 は中性子入射位置の演算を行うときの左側増倍管および右側増倍管の各チャンネルに対する接続チャンネル信号の値の位置関係についての説明図であり、図 1 1 A は左側増倍

10

20

30

40

50

管に全128チャンネルのうち、接続チャンネル信号の最大値が検出されたときの図であり、図11Bは全128チャンネルのうち、接続チャンネル信号の最大値が検出されたのが左側増倍管の外周位置にあるチャンネルであり且つ右側増倍管と接するチャンネルであったときの図であり、図11Cは全128チャンネルのうち、接続チャンネル信号の最大値が検出されたのが右側増倍管の外周位置にあるチャンネルであり且つ左側増倍管と接するチャンネルであったときの図である。

#### 【0113】

前記左側演算記憶回路基板F1は、前記左側増倍管P1から出力される全64個の前記各接続チャンネル信号を受信し、前記コントローラCの前記上側FPGA12aおよび前記下側FPGA12bの各レジスタに全64個の接続チャンネル信号の値を記憶するとき、全64個の各チャンネルの位置関係(図11A~図11Cに示す位置関係)が把握可能となるように、前記上側FPGA12aと前記下側FPGA12bとが互いに受信した前記接続チャンネル信号の値を互いに交換して(送受信して)、再配置しながら記憶する。また、前記左側演算記憶回路基板F1は、全64個の前記接続チャンネル信号を記憶するとき、前記8個の隣接チャンネル信号を含む延べ32個の外周位置にあるチャンネルの接続チャンネル信号については、前記経路セレクタの割り当てを予め適切に設定して、前記右側演算記憶回路基板F2が直接読み出し易いように記憶している(また、前記左側演算記憶回路基板F2についても同様の処理を実行してから記憶している)。例えば、前記上側FPGA12aおよび前記上側FPGA12bの制御で全64個の前記各レジスタVCRのアドレス番号に対する前記経路セレクタの割り当てを予め設定することにより、前記左側演算記憶回路基板F1は、前記右側演算記憶回路基板F2(X軸方向およびY軸方向の最大4枚の他方の中性子入射位置演算記憶回路基板のときにも対応可能である)が前記隣接チャンネル信号を読み出すための8本の隣接チャンネル信号伝送路(前記隣接チャンネル信号伝送ケーブル6内の信号伝送路も含む)から読み出す時に、各隣接チャンネル信号伝送路(VMEバス)に対応する各経路セレクタに割り当てられたアドレス番号の前記レジスタVCRに記憶された値を速やかに送信できる。

#### 【0114】

前記左側演算記憶回路基板F1のコントローラCは、前記同期終了時点39以降から(図8参照)、中性子入射位置を重心計算により演算する(図24Aおよび図24B参照)。まず、前記コントローラCは、全64個のチャンネルのうち、前記接続チャンネル信号の値が最大であった最大チャンネルを検出する。前記最大チャンネルを検出するとき、前記コントローラCは、全64個のチャンネルを互いが隣接する4個のチャンネルごとに16ブロックに分割する(図11A~図11Cの太線枠参照)。前記コントローラCは、16個の各ブロックを並列に操作することができるため、前記16分割した各ブロックについて前記接続チャンネル信号の値が最大であった代表チャンネルを検出した後で、16個の前記代表チャンネルから前記最大チャンネルを検出する。したがって、前記コントローラCは、前記最大チャンネルを効率よく検出することができる(詳細は後述の図18のフローチャート参照)。

#### 【0115】

次に、前記コントローラCは、前記最大チャンネルと、前記最大チャンネルのX軸方向(前方向および後方向)およびY軸方向(右方向および左方向)に隣接するチャンネルである4隣チャンネル(周囲チャンネル)の前記各接続チャンネル信号の値が有効であるか(予め設定された許容範囲の値であるか)否かを判定する。また、前記コントローラCは、前記最大チャンネルの前記接続チャンネル信号の値が前記4隣チャンネルの前記各接続チャンネル信号のいずれの値よりも大きいか否かを判定する(詳細は後述の図18のフローチャート参照)。

#### 【0116】

さらに、前記コントローラCは、前記最大チャンネルと前記4隣チャンネルの前記各接続チャンネル信号の値の合計値が予め設定された閾値Zを超えているかどうかを確認する。前記最大チャンネルと前記4隣チャンネルの前記接続チャンネルの合計値が閾値Zを超えていれば、前記コントローラCは、前記合計値の発生頻度を接続チャンネル信号発生頻度記憶用レジスタR2に記憶する。また、前記コントローラCは、前記重心計算によって前記最大チャンネル

10

20

30

40

50



および前記 4 隣チャンネルの前記接続チャンネル信号の値から前記中性子入射位置演算記憶処理を実行する。なお、前記中性子入射位置演算記憶処理の演算結果である中性子入射位置は、前記中性子発生器が中性子を発生させたときから計測している演算タイミング T と共に前記メモリ M に記憶される（詳細は後述の図 1 7 および図 1 8 のフローチャート参照）。

前記最大チャンネルと前記 4 隣チャンネルの前記各接続チャンネル信号の値が上記の条件を満たさない場合、前記中性子入射位置を演算しない。したがって、前記閾値 Z は、実際に中性子が入射したときの前記合計値を検出することができる適切な値が予め設定されている。

#### 【 0 1 1 7 】

図 1 1 A において、前記左側演算記憶回路基板 F 1 では、前記最大チャンネル 5 1 と、前記最大チャンネル 5 1 に隣接する前記 4 隣チャンネル 5 2 , 5 3 , 5 4 , 5 6 とが検出されている。よって、前記左側演算記憶回路基板 F 1 は、前記閾値 S K を超える前記ラストダイノード信号の値を受信していることになる。

また、前記最大チャンネル 5 1 および前記 4 隣チャンネル 5 2 , 5 3 , 5 4 , 5 6 の前記各接続チャンネル信号の値が全て有効な値であり、前記最大チャンネル信号 5 1 の前記接続チャンネル信号の値が前記 4 隣チャンネル 5 2 , 5 3 , 5 4 , 5 6 の前記各接続チャンネル信号のいずれの値よりも大きく、前記最大チャンネル 5 1 および前記 4 隣チャンネル 5 2 , 5 3 , 5 4 , 5 6 の前記各接続チャンネル信号の合計値が前記閾値 Z を超える場合には、前記中性子入射位置演算記憶処理（重心位置の演算処理）が実行される。

また、図 1 1 A において、前記右側演算記憶回路基板 F 2 では、特に目立った前記接続チャンネル信号の値がないため、前記閾値 S K を越える前記ラストダイノード信号の値を受信していない。

#### 【 0 1 1 8 】

図 1 1 B において、前記左側演算記憶回路基板 F 1 では、前記最大チャンネル 6 1 と、前記 4 隣チャンネルのうち、前記最大チャンネル 6 1 の前方向（+ X 方向）に隣接する前方向 4 隣チャンネル 6 2 と、前記最大チャンネル 6 1 の後方向（- X 方向）に隣接する後方向 4 隣チャンネル 6 3 と、前記最大チャンネル 6 1 の左方向（- Y 方向）に隣接する左方向 4 隣チャンネル 6 4 とが検出されている。また、前記右側演算記憶回路基板 F 2 では、前記 4 隣チャンネルのうち、前記最大チャンネル 6 1 の右方向（+ Y 方向）に隣接する右方向 4 隣チャンネル 6 6 が検出されている。

#### 【 0 1 1 9 】

前記閾値 S K が小さい場合、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 が共に前記閾値 S K を超えるラストダイノード信号の値を受信したものと動作することがある。前記左側演算記憶回路基板 F 1 は、前記右側演算記憶回路基板 F 2 から前記右方向 4 隣チャンネル 6 6 の前記接続チャンネル信号の値を前記隣接チャンネル信号の値として受信するため、前記最大チャンネル 6 1 および前記 4 隣チャンネル 6 2 , 6 3 , 6 4 , 6 6 の前記各接続チャンネル信号の値が揃うことになる。したがって、前記左側演算記憶回路基板 F 1 は、前記中性子入射位置演算記憶処理を実行する。一方、前記右側演算記憶回路基板 F 2 は、前記左側演算記憶回路基板 F 1 から前記最大チャンネル 6 1 の前記接続チャンネル信号の値を前記隣接チャンネル信号の値として受信するため、前記右側演算記憶回路基板 F 2 の受信した全 6 4 個のうちの最大チャンネルである前記右方向 4 隣チャンネル 6 6 の前記接続チャンネル信号の値が前記隣接チャンネル信号の値（前記最大チャンネル 6 1 の前記接続チャンネル信号の値）よりも小さいことになる。したがって、前記右側演算記憶回路基板 F 2 は、前記中性子入射位置演算記憶処理を実行しない（詳細は後述の図 1 8 のフローチャート参照）。

#### 【 0 1 2 0 】

図 1 1 C において、前記右側演算記憶回路基板 F 2 では、前記最大チャンネル 7 1 と、前記 4 隣チャンネルのうち、前記最大チャンネル 7 1 の前方向（+ X 方向）に隣接する前方向 4 隣チャンネル 7 2 と、前記最大チャンネル 7 1 の後方向（- X 方向）に隣接する後方向 4 隣チ

10

20

30

40

50

チャンネル 73 と、前記最大チャンネル 71 の右方向 (+Y 方向) に隣接する右方向 4 隣チャンネル 74 とが検出されている。また、前記左側演算記憶回路基板 F1 では、前記 4 隣チャンネルのうち、前記最大チャンネル 71 の右方向 (-Y 方向) に隣接する左方向 4 隣チャンネル 76 が検出されている。

#### 【0121】

図 11C においても図 11B と同様に、前記閾値 SK が小さい場合、前記左側演算記憶回路基板 F1 および前記右側演算記憶回路基板 F2 が共に前記閾値 SK を超えるラストダイノード信号の値を受信したものと動作することがある。このとき、図 11B のときと同様の内容であるため詳細な説明は省略するが、前記右側演算記憶回路基板 F2 は、前記最大チャンネル 71 および前記 4 隣チャンネル 72, 73, 74, 76 の前記各接続チャンネル信号の値を用いて、前記中性子入射位置演算記憶処理を実行する。また、前記左側演算記憶回路基板 F1 は、前記中性子入射位置演算記憶処理を実行しない。

#### 【0122】

したがって、前記左側演算記憶回路基板 F1 と前記右側演算記憶回路基板 F2 とが前記閾値 SK を超えるラストダイノード信号の値を受信したものと動作することがあっても、前記中性子入射位置演算記憶処理を適切に行うことができる。なお、前記閾値 SK が適切に設定されている場合、図 11B および図 11C においても、前記左側演算記憶回路基板 F1 と前記右側演算記憶回路基板 F2 とが共に前記閾値 SK を超えるラストダイノード信号の値を受信したものと前記中性子入射位置演算記憶処理を実行することはない。

#### 【0123】

図 12 は実施例 1 の中性子入射位置検出装置のブロック線図 (機能ブロック図) である。

図 12 において、前記中性子入射位置演算記憶装置 U2 の前記左側演算記憶回路基板 F1 および前記右側演算記憶回路基板 F2 は、本体である前記 FA-VME 基板 V のコントローラ C および前記 AD 変換回路素子 A3、並びに前記 AD 変換基板 A によって、外部との信号の入出力および入出力信号レベルの調節等を行う I/O (入出力インタフェース)、必要な処理を行うためのプログラムおよびデータ等が記憶された ROM (リードオンリーメモリ)、必要なデータを一時的に記憶するための RAM (ランダムアクセスメモリ) およびレジスタ (前記バッファ B 等を含む)、前記 ROM に記憶されたプログラムに応じた処理を行う FPGA (前記メイン FPGA 11, 前記上側 FPGA 12a, 前記下側 FPGA 12b)、ならびに前記基本クロック発振回路 C15 および前記隣接チャンネル信号伝送用クロック発振回路 C16 等を有するコンピュータにより構成されており、前記 ROM に記憶されたプログラムを実行することにより種々の機能を実現することができる。

#### 【0124】

(前記中性子入射位置演算記憶装置 U2 に接続された信号入力要素)

前記中性子入射位置演算記憶装置 U2 には、前記中性子検出器 U1 および前記中性子発生器 U4 の出力信号が入力されている。

U1 : 中性子検出器

中性子検出器 U1 は、前記左側増倍管 P1 および前記右側増倍管 P2 を有しており、前記ラストダイノード信号と前記接続チャンネル信号とを出力する。

U3 : 制御コンピュータ

制御コンピュータ U3 は、前記中性子入射位置演算記憶装置 U2 に対して、演算記憶開始信号および演算記憶終了信号を出力する。また、前記中性子入射位置演算記憶装置 U2 に記憶された演算結果 (前記中性子入射位置等) の転送を要求する演算結果要求信号を送信する。

U4 : 中性子発生器

中性子発生器 U4 は、前記中性子検出器 U1 の前記中性子入射面 1 に中性子 N を入射させ (図 1 参照)、前記中性子入射位置演算記憶装置 U2 には中性子発生を知らせる信号を前記中性子発生信号伝送用ケーブル 5 (図 1 参照) から出力する。

10

20

30

40

50

## 【 0 1 2 5 】

(前記中性子入射位置演算記憶装置 U 2 に接続された信号出力要素)

U 3 : 制御コンピュータ

制御コンピュータ U 3 は、前記表示制御装置 U 3 a および前記ディスプレイ U 3 b を有しており、前記中性子入射位置演算記憶装置 U 2 に記憶された演算結果(前記中性子入射位置等)を受信して、前記表示制御装置 U 3 a によって前記演算結果を制御して前記ディスプレイ U 3 b に表示する。

## 【 0 1 2 6 】

(前記中性子入射位置演算記憶装置 U 2 の機能)

前記中性子入射位置演算記憶装置 U 2 は、前記各信号入力要素からの出力信号に応じた中性子入射位置演算記憶処理を実行して、前記信号出力要素に演算結果を出力する機能を実現するプログラム(機能実現手段)を有している。前記中性子入射位置演算記憶装置 U 2 の前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 が有する各種機能を実現するプログラム(機能実現手段)を次に説明する。なお、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 とは同一の機能を有することから、前記左側演算記憶回路基板 F 1 の機能についてのみ説明し、前記右側演算記憶回路基板 F 2 の機能についての説明は省略する。

## 【 0 1 2 7 】

C 1 : 中性子発生信号受信手段

中性子発生信号受信手段 C 1 は、前記中性子発生器 U 4 から前記中性子発生信号伝送用ケーブル 5 (図 1 参照)を経由して送信される中性子発生を知らせる信号を受信する。なお、前記中性子発生を知らせる信号とは、前記中性子発生器 U 4 において、陽子ビームを重金属(パルス中性子源)に照射した時に、前記重金属の核破砕によりそれぞれ異なるエネルギーの複数の中性子が同時発生したことを知らせる信号であり、実施例 1 の中性子発生器 U 4 では、50 ミリ秒ごとに送信される。

C 2 : 演算タイミング設定記憶手段

演算タイミング設定記憶手段 C 2 は、前記中性子発生を知らせる信号を受信したときに、演算タイミング T を 0 に設定して記憶した後、タイミング更新間隔  $t_0$  ごとにカウントした値を前記演算タイミング T (0 ~ 1023) に設定して記憶する。なお、前記中性子発生器 U 4 から前記中性子発生を知らせる信号が 50 ミリ秒ごとに送信されるため、前記タイミング更新間隔  $t_0$  には、前記演算タイミング T の値を 0 から 1023 までカウント可能なタイミングとして適当な値(例えば 50 / 1024 秒)が予め設定されている。

## 【 0 1 2 8 】

C 3 : ラストダイノード信号受信記憶手段

ラストダイノード信号受信記憶手段 C 3 は、ラストダイノード信号ピーク値検出記憶手段 C 3 A と、ラストダイノード信号最小値検出記憶手段 C 3 B と、ラストダイノード信号用度数分布情報記憶手段 C 3 B とを有しており、前記ラストダイノード信号を受信して記憶する。

C 3 A : ラストダイノード信号ピーク値検出記憶手段

ラストダイノード信号ピーク値検出記憶手段 C 3 A は、前記ラストダイノード信号の最大値を検出して前記ラストダイノード信号用の第 3 レジスタ V L R3 に記憶する(図 4 C 参照)。

C 3 B : ラストダイノード信号最小値検出記憶手段

ラストダイノード信号最小値検出記憶手段 C 3 B は、第 1 ラストダイノード信号最小値検出記憶手段 C 3 B1 と、第 2 ラストダイノード信号最小値検出記憶手段とを有しており、前記ラストダイノード信号の最小値を検出して記憶する(図 4 A 参照)。

## 【 0 1 2 9 】

C 3 B1 : 第 1 ラストダイノード信号最小値検出記憶手段

第 1 ラストダイノード信号最小値検出記憶手段 C 3 B1 は、前記ラストダイノード信号の最小値を検出して前記ラストダイノード信号用の第 1 レジスタ V L R1 に記憶する。

10

20

30

40

50

### C 3 B2：第 2 ラストダイノード信号最小値検出記憶手段

第 2 ラストダイノード信号最小値検出記憶手段 C 3 B2は、前記ラストダイノード信号の最小値を検出して前記ラストダイノード信号用の第 2 レジスタ V L R2に記憶する。

### C 3 C：ラストダイノード信号用度数分布情報記憶手段

ラストダイノード信号用度数分布情報記憶手段は C 3 Cは、受信した前記ラストダイノード信号の値の発生頻度を前記ラストダイノード信号発生頻度記憶用レジスタ R 1 に記憶する。

#### 【 0 1 3 0 】

### C 4：接続チャネル信号記憶開始手段

接続チャネル信号記憶開始手段 C 4は、前記コントローラ C のメイン FPGA 1 1 がラストダイノード信号を受信したときに、前記メイン FPGA 1 1 が前記上側 FPGA 1 2 および前記下側 FPGA 1 2 b に対して、前記 A D 変換基板 A が受信して記憶した全 6 4 個の前記各接続チャネル信号の値の記憶を開始させる（図 8 の矢印 3 4 参照）。また、前記隣接基板間接続ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）に対しても前記 L S Y N C 信号を送信することにより同時に全 6 4 個の前記各接続チャネル信号の値の記憶を開始させる。

### C 5：接続チャネル信号受信記憶手段

接続チャネル信号受信記憶手段 C 5は、接続チャネル信号最大値検出記憶手段 C 5 A と、接続チャネル信号最小値検出記憶手段 C 5 B と、接続チャネル信号補正手段 C 5 C と、最大値用度数分布情報記憶手段 C 5 D とを有しており、全 6 4 個の前記各接続チャネル信号をそれぞれ同時に（並列に）受信して記憶する。

#### 【 0 1 3 1 】

### C 5 A：接続チャネル信号最大値検出記憶手段

接続チャネル信号最大値検出記憶手段 C 5 Aは、全 6 4 個の前記各接続チャネル信号の最小値をそれぞれ同時に（並列に）受信して記憶する（図 4 B 参照）

### C 5 B：接続チャネル信号最小値検出記憶手段

接続チャネル信号最小値検出記憶手段 C 5 Bは、第 1 接続チャネル信号最小値検出記憶手段 C 5 B1と、第 2 接続チャネル信号最小値検出記憶手段 C 5 B2とを有しており、全 6 4 個の前記各接続チャネル信号の最小値をそれぞれ同時に（並列に）受信して記憶する（図 4 A 参照）。

#### 【 0 1 3 2 】

### C 5 B1：第 1 接続チャネル信号最小値検出記憶手段

第 1 接続チャネル信号最小値検出記憶手段 C 5 B1は、全 6 4 個の前記各接続チャネル信号の最小値をそれぞれ検出して前記各接続チャネル信号用の第 1 レジスタ V R 1 に記憶する（6 4 個の第 1 レジスタ V R 1 にそれぞれ記憶する）。

### C 5 B2：第 2 接続チャネル信号最小値検出記憶手段

第 2 接続チャネル信号最小値検出記憶手段 C 5 B2は、全 6 4 個の前記各接続チャネル信号の最小値をそれぞれ検出して前記各接続チャネル信号用の第 2 レジスタ V R 2 に記憶する（6 4 個の第 2 レジスタ V R 2 にそれぞれ記憶する）。

#### 【 0 1 3 3 】

### C 5 C：接続チャネル信号補正手段

接続チャネル信号補正手段 C 5 Cは、前記 A D 変換基板 A に記憶された全 6 4 個の前記各接続チャネル信号の値を前記コントローラ C が読み出して記憶するときに、全 6 4 個の前記各接続チャネル信号の値ごとに予め設定された前記 A D C 補正係数 H によって、全 6 4 個の前記各接続チャネル信号の値をそれぞれ補正する（図 9 参照）。

### C 5 D：最大値用度数分布情報記憶手段

最大値用度数分布情報記憶手段 C 5 Dは、前記最大チャネルおよび前記 4 隣チャネル（図 1 1 A ~ 図 1 1 C 参照）の前記各接続チャネル信号の合計値の発生頻度を前記接続チャネル信号発生頻度記憶用レジスタ R 2 に記憶する。

#### 【 0 1 3 4 】

10

20

30

40

50

## C 6 : 記憶送信指示信号送信手段

記憶送信指示信号送信手段 C 6 は、前記左側演算記憶回路基板 F 1 が前記閾値 S K を超える前記ラストダイノード信号を受信して記憶したときに、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）に対して前記 L S Y N C 信号を送信する（図 8 参照）。

## C 7 : 記憶送信指示信号受信手段

記憶送信指示信号受信手段 C 7 は、前記右側演算記憶回路基板 F 2 が前記閾値 S K を超える前記ラストダイノード信号を受信して記憶したときに、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）から前記 L S Y N C 信号を受信する。

## 【 0 1 3 5 】

## C 8 : 隣接チャンネル信号伝送用クロック送信手段

隣接チャンネル信号伝送用クロック送信手段 C 8 は、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）に対して前記隣接チャンネル信号伝送用クロックを送信する。

## C 9 : 隣接チャンネル信号伝送用クロック受信手段

隣接チャンネル信号伝送用クロック受信手段 C 9 は、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）から前記隣接チャンネル信号伝送用クロックを受信する。

## C 1 0 : 隣接チャンネル信号送信手段

隣接チャンネル信号送信手段 C 1 0 は、前記右側演算記憶回路基板 F 2 が前記閾値 S K を超える前記ラストダイノード信号を受信して記憶したときに、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）に対してそれぞれ 8 個の前記隣接チャンネル信号を送信する（図 1 0 参照）。

## 【 0 1 3 6 】

## C 1 1 : 隣接チャンネル信号受信記憶手段

隣接チャンネル信号受信記憶手段 C 1 1 は、前記左側演算記憶回路基板 F 1 が前記閾値 S K を超える前記ラストダイノード信号を受信して記憶したときに、前記隣接基板間接続用ケーブル 6 で接続された他方の中性子入射位置演算記憶回路基板（前記右側演算記憶回路基板 F 2 を含む）からそれぞれ 8 個の前記隣接チャンネル信号を受信して記憶する。

## C 1 2 : 中性子入射位置演算記憶手段

中性子入射位置演算記憶手段 C 1 2 は、全 6 4 個の接続チャンネル信号および 8 個の前記隣接チャンネル信号から前記中性子入射位置を演算する（図 1 1 A ~ 図 1 1 C および図 2 4 A , 図 2 4 B 参照）。また、前記中性子入射位置演算記憶手段 C 1 2 は、前記メモリ M に演算結果である前記中性子入射位置および前記演算タイミング T の発生頻度を記憶する。

## C 1 3 : 演算結果要求信号受信手段

演算結果要求信号受信手段 C 1 3 は、前記制御コンピュータ U 3 から前記演算結果要求信号を受信する。

## C 1 4 : 演算結果送信手段

演算結果送信手段 C 1 4 は、前記制御コンピュータ U 3 から前記演算結果要求信号を受信したときに、前記ラストダイノード信号発生頻度記憶用レジスタ R 1 と、前記接続チャンネル信号発生頻度記憶用レジスタ R 2 と、前記メモリ M とに記憶された演算結果を前記制御コンピュータ U 3 に送信する。

## 【 0 1 3 7 】

## C 1 5 : 基本クロック発振回路

基本クロック発振回路 C 1 5 は前記基本クロックを発振する。

## C 1 6 : 隣接チャンネル信号伝送用クロック発振回路

隣接チャンネル信号伝送用クロック発振回路 C 1 6 は前記隣接チャンネル信号伝送用クロックを発振する。

## C 1 7 : 演算記憶開始信号受信手段

	10
	20
	30
	40
	50

演算記憶開始信号受信手段 C 1 7 は、前記制御コンピュータ U 3 から演算記憶開始信号を受信する（詳細な説明は図 1 3 のフローチャート参照）。

C 1 8 : 演算記憶開始手段

演算記憶開始手段 C 1 8 は、前記制御コンピュータ U 3 から演算記憶開始信号を受信したときに、中性子入射位置演算記憶処理を実行するためのメイン処理を開始する（詳細な説明は図 1 3 のフローチャート参照）。

C 1 9 : 演算記憶終了信号受信手段

演算記憶終了信号受信手段 C 1 9 は、前記制御コンピュータ U 3 から演算記憶終了信号を受信する（詳細な説明は図 1 3 のフローチャート参照）。

C 2 0 : 演算記憶終了手段

演算記憶終了手段 C 2 0 は、前記制御コンピュータ U 3 から演算記憶終了信号を受信したときに、中性子入射位置演算記憶処理を実行するためのメイン処理を終了する（詳細な説明は図 1 3 のフローチャート参照）。

【 0 1 3 8 】

（実施例 1 の FA-VME 基板のコントローラにおけるメイン処理のフローチャートの説明）

図 1 3 は実施例 1 の FA-VME 基板のコントローラにおけるメイン処理のフローチャートである。

図 1 3 のフローチャートの各 S T（ステップ）の処理は、前記コントローラ C の R O M 等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置演算記憶装置 U 2 の他の各種処理と並行してマルチタスクで実行される。

図 1 3 に示すフローチャートは中性子入射位置検出装置 U の電源投入時に開始される。

【 0 1 3 9 】

図 1 3 の S T 1 において、制御コンピュータ U 3 から U S B ケーブル 3 および V M E コントローラ F C を経由して演算記憶開始信号を受信したか否かを判定する。イエス（ Y ）の場合は S T 2 に進み、ノー（ N ）の場合は S T 1 を繰り返す。

S T 2 において、次の値を設定して、 S T 3 に進む。

（ 1 ）前記 6 4 M バイトのメモリ M の値を 0 で初期化する（ M = 0 ）。

（ 2 ）前記ラストダイノード信号発生頻度記憶用レジスタ R 1 の値を 0 で初期化する（ R 1 = 0 ）。

（ 3 ）前記接続チャンネル信号発生頻度記憶用レジスタ R 2 の値を 0 で初期化する（ R 2 = 0 ）。

S T 3 において、 A D 変換回路素子 A 3 から閾値 S K を超えるラストダイノード信号を受信したか否かを判別する。イエス（ Y ）の場合は S T 4 に進み、ノー（ N ）の場合は S T 5 に進む。

【 0 1 4 0 】

S T 4 において、ラストダイノード信号受信時の処理を実行して、前記 S T 1 に戻る。

S T 5 において、 L S Y N C 信号がオンの状態を隣接基板間接続用ケーブル 6 から受信したか否かを判別する。イエス（ Y ）の場合は S T 6 に進み、ノー（ N ）の場合は前記 S T 7 に進む。

S T 6 において、 L S Y N C 信号受信時の処理を実行して、前記 S T 7 に進む。

S T 7 において、制御コンピュータ U 3 から U S B ケーブル 3 および V M E コントローラ F C を経由して演算記憶終了信号を受信したか否かを判定する。イエス（ Y ）の場合は S T 1 に戻り、ノー（ N ）の場合は S T 3 に戻る。

【 0 1 4 1 】

（実施例 1 の FA-VME 基板のコントローラにおけるラストダイノード信号受信時の処理のフローチャートの説明）

図 1 4 は実施例 1 の FA-VME 基板のコントローラにおけるラストダイノード信号受信時の処理のフローチャートであり、図 1 3 の S T 4 のサブルーチンである。

図 1 4 の S T 1 1 において、 R 1（ V L R 4 ）を前記ラストダイノード信号発生頻度記憶用レジスタ R 1 における前記ラストダイノード信号の値（前記第 4 レジスタ V L R 4 に記憶

10

20

30

40

50

された値)に対応するアドレス番号で記憶する値としたときに、 $R1(VLR4)$ の値を+1だけ加算する( $R1(VLR4) = R1(VLR4) + 1$ )。次にST12に進む。

【0142】

ST12において、タイマTMに1マイクロ秒をセットする。次にST13に進む。

ST13において、タイマTMがタイムアップしたか否かを判別する。イエス(Y)の場合はST14に進み、ノー(N)の場合はST13を繰り返す。

ST14において、LSYNC信号をオンの状態にして隣接基板間接続用ケーブル6に送信する。次にST15に進む。

【0143】

ST15において、タイマTMに1マイクロ秒をセットする。次にST16に進む。 10

ST16において、全64個の接続チャンネル信号補正值記憶処理を実行する。次にST17に進む。

ST17において、タイマTMがタイムアップしたか否かを判別する。イエス(Y)の場合はST18に進み、ノー(N)の場合はST17を繰り返す。

【0144】

ST18において、タイマTMに1マイクロ秒をセットする。次にST19に進む。

ST19において、LSYNC信号がオンの状態を隣接基板間接続用ケーブル6から受信したか否かを判別する。イエス(Y)の場合はST21に進み、ノー(N)の場合はST20に進む。

ST20において、8個の隣接チャンネル信号を隣接基板間接続用ケーブル6から受信して記憶する。次にST22に進む。 20

ST21において、次の処理を同時に実行する。次にST23に進む。

(1) 8個の隣接チャンネル信号を隣接基板間接続用ケーブル6から受信して記憶する。

(2) 8個の隣接チャンネル信号(前記他方のFA-VME基板からみた隣接チャンネル信号)を隣接基板間接続用ケーブル6に送信する

【0145】

ST22において、タイマTMがタイムアップしたか否かを判別する。イエス(Y)の場合はST24に進み、ノー(N)の場合はST22を繰り返す。

ST23において、タイマTMがタイムアップしたか否かを判別する。イエス(Y)の場合はST24に進み、ノー(N)の場合はST23を繰り返す。 30

ST24において、LSYNC信号をオフの状態にして隣接基板間接続用ケーブル6に送信して図14のラストダイノード信号受信時の処理を終了して、図13のメイン処理に戻る。

【0146】

(実施例1のFA-VME基板のコントローラにおけるLSYNC信号受信時の処理のフローチャートの説明)

図15は実施例1のFA-VME基板のコントローラにおけるLSYNC信号受信時の処理のフローチャートであり、図13のST6のサブルーチンである。

図15のST31において、タイマTMに1マイクロ秒をセットする。次にST32に進む。 40

ST32において全64個の接続チャンネル信号補正值記憶処理を実行する。次にST33に進む。

ST33において、タイマTMがタイムアップしたか否かを判別する。イエス(Y)の場合はST34に進み、ノー(N)の場合はST33を繰り返す。

【0147】

ST34において、タイマTMに1マイクロ秒をセットする。次にST35に進む。

ST35において、8個の隣接チャンネル信号を隣接基板間接続用ケーブル6に送信する。次にST36に進む。

ST36において、タイマTMがタイムアップしたか否かを判別する。ノー(N)の場合はST36を繰り返し、イエス(Y)の場合は図15のLSYNC信号受信時の処理を 50

終了して、図 13 のメイン処理に戻る。

【0148】

(実施例 1 の FA-VME 基板のコントローラにおける全 64 個の各接続チャンネル信号補正值記憶処理のフローチャートの説明)

図 16 は実施例 1 の FA-VME 基板のコントローラにおける全 64 個の各接続チャンネル信号補正值記憶処理のフローチャートであり、図 14 の ST16 および図 15 の ST32 のサブルーチンである。なお、図 16 に示すフローチャートは、前記 AD 変換基板 A に設定された (記憶された) 全 64 個の各接続チャンネル信号のうち 1 個の接続チャンネル信号補正值記憶処理のみ示しているが、前記接続チャンネル信号補正值記憶処理は、全 64 個についても同様に、並行してマルチタスクで実行されているものとする。

10

【0149】

図 16 の ST41 において、B を前記コントローラ C の 16 ビット長バッファとし、r を 8 ビットシフト用カウンタとしたときに、次の値を設定して、ST32 に進む。

(1) 8 ビットシフト用カウンタ r の値を 1 で初期化する ( $r = 1$ )

(2) バッファ B の値を 0 で初期化する ( $B = 0$ )

ST42 において、前記 AD 変換基板 A の前記第 4 レジスタ VR4 (12 ビット) の上位 r ビット目の値を読み出す。次に ST43 に進む。

【0150】

ST43 において、前記第 4 レジスタ VR4 の上位 r ビット目の値は '1' であったか否かを判定する。イエス (Y) の場合は ST44 に進み、ノー (N) の場合は ST45 に進む。

20

ST44 において、前記バッファ B に各接続チャンネル信号ごとに設定された前記 ADC 補正係数 H を加算する ( $B = B + H$ )。次に ST45 に進む。

ST45 において、前記バッファ B を左に 1 ビット論理シフトする。次に ST46 に進む。

ST46 において、8 ビットシフト用カウンタ r の値が 8 であるか否かを判定する ( $r = 8$ )。イエス (Y) の場合は ST48 に進み、ノー (N) の場合は ST47 に進む。

【0151】

ST47 において、前記 8 ビットシフト用カウンタ r の値を +1 だけ加算する ( $r = r + 1$ )。次に前記 ST42 に戻る。

30

ST48 において、前記コントローラ C の各接続チャンネル信号用のレジスタをレジスタ VCR (8 ビット) としたときに、レジスタ VCR に B の上位 8 ビットだけ記憶して図 16 の接続チャンネル信号補正值記憶処理を終了して、図 14 および図 15 の各処理に戻る。なお、図 16 のフローチャートが終了した時には、全 64 個の各接続チャンネル信号の補正值が全て前記コントローラ C に記憶されている。

【0152】

(実施例 1 の FA-VME 基板のコントローラにおける演算タイミング設定処理のフローチャートの説明)

図 17 は実施例 1 の FA-VME 基板のコントローラにおける演算タイミング設定処理のフローチャートである。

40

図 17 のフローチャートの各 ST (ステップ) の処理は、前記コントローラ C の ROM やハードディスク等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置検出装置 U の他の各種処理と並行してマルチタスクで実行される。

図 17 に示すフローチャートは中性子入射位置検出装置 U の電源投入時に開始される。

【0153】

図 17 の ST51 において、演算タイミング T の値を 0 で初期化する ( $T = 0$ )。次に ST52 に進む。

ST52 において、中性子発生器 U4 から中性子発生信号伝送用ケーブル 5 および VME コントローラ FC 経由で中性子発生を知らせる信号を受信したか否かを判定する。イエス (Y) の場合は ST53 に進み、ノー (N) の場合は ST52 を繰り返す。

50



ST53において、タイマTM0に予め設定された前記タイミング更新間隔 $t_0$ （例えば50/1024ミリ秒）をセットする。次にST54に進む。

ST54において、タイマTM0がタイムアップしたか否かを判定する。イエス（Y）の場合はST55に進み、ノー（N）の場合はST54を繰り返す。

#### 【0154】

ST55において、演算タイミングTの値が演算タイミングTの最大値である1023であるか否かを判定する（ $T = 1023$ ）。ノー（N）の場合はST56に進み、イエス（Y）の場合はST51に戻る。

ST56において、演算タイミングTの値を+1だけ加算する（ $T = T + 1$ ）。次にST57に進む。

ST57において、中性子発生器U4から中性子発生信号伝送用ケーブル5およびVMEコントローラFC経由で新たに中性子発生を知らせる信号を受信したか否かを判定する。イエス（Y）の場合はST58に進み、ノー（N）の場合はST53に戻り、演算タイミングTの値のカウントアップ処理を繰り返す。

ST58において、演算タイミングTの値を0にリセットする（ $T = 0$ ）。次にST53に戻り、演算タイミングTの値のカウントアップ処理を繰り返す。

#### 【0155】

（実施例1のFA-VME基板のコントローラにおける中性子入射位置演算記憶処理のフローチャートの説明）

図18は実施例1のFA-VME基板のコントローラにおける中性子入射位置演算記憶処理のフローチャートである。

図18のフローチャートの各ST（ステップ）の処理は、前記コントローラCのROM等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置検出装置Uの他の各種処理と並行してマルチタスクで実行される。

図18に示すフローチャートは中性子入射位置検出装置Uの電源投入時に開始される。

#### 【0156】

図18のST101において、LSYNC信号をオンの状態からオフの状態に変更したか否かを判定する。イエス（Y）の場合はST102に進み、ノー（N）の場合はST101を繰り返す。

ST102において、全64個の接続チャンネル信号を16個の前記ブロックに分割する（図11A～図11C参照）。次にST103に進む。

ST103において、前記各ブロックごとのチャンネルのうち接続チャンネル信号の最大値をもつチャンネルを代表チャンネルとし、全64個のチャンネルにおける各代表チャンネルの位置を示す値を代表チャンネル番号とし、周り4チャンネルを前記代表チャンネルの前方向（+X方向）後方向（-X方向）左方向（-Y方向）右方向（+Y方向）に隣接したチャンネル（とした時に、各ブロックごとに代表チャンネル番号を検出し、代表チャンネル番号と代表チャンネルおよびその周り4チャンネルの接続チャンネル信号の値とをそれぞれ記憶する。次にST104に進む。

#### 【0157】

ST104において、全64個のチャンネルにおける最大チャンネルの位置を示す値を最大チャンネル番号Pとし、 $z_c$ を最大チャンネルの接続チャンネル信号の値とし、 $z_f$ を最大チャンネルの前方向（+X方向）に隣接するチャンネルの接続チャンネル信号の値とし、 $z_b$ を最大チャンネルの後方向（-X方向）に隣接するチャンネルの接続チャンネル信号の値とし、 $z_l$ を最大チャンネルの左方向（-Y方向）に隣接するチャンネルの接続チャンネル信号の値とし、 $z_r$ を最大チャンネルの右方向（+Y方向）に隣接するチャンネルの接続チャンネル信号の値とした時に、全16ブロックの各代表チャンネルとその周り4チャンネルの接続チャンネル信号の合計値から最大チャンネルを検出し、最大チャンネル番号Pと $z_c$ 、 $z_f$ 、 $z_b$ 、 $z_l$ 、 $z_r$ とを記憶する。次にST105に進む。

#### 【0158】

ST105において、 $z_c$ 、 $z_f$ 、 $z_b$ 、 $z_r$ のうち値が有効なもの（例えば、0以外

10

20

30

40

50

の値であるもの)が3つ以上あるか否かを判定する。イエス(Y)の場合はST106に進み、ノー(N)の場合はST101に戻る。

ST106において、zcがzf, zb, zl, zrのいずれよりも大きいか否かを判定する(zc > zfかつ、zc > zbかつ、zc > zlかつ、zc > zr)。イエス(Y)の場合はST107に進み、ノー(N)の場合はST101に戻る。

ST107において、zc, zf, zb, zl, zrの合計値は前記閾値Zより大きいか否かを判別する((zc + zf + zb + zl + zr) < Z)。イエス(Y)の場合はST108に進み、ノー(N)の場合はST101に戻る。

#### 【0159】

ST108において、R2(zc + zf + zb + zl + zr)を前記接続チャンネル信号発生頻度記憶用レジスタR2における前記合計値に対応するアドレス番号で記憶する値としたときに、R2(zc + zf + zb + zl + zr)の値を+1だけ加算する(R2(zc + zf + zb + zl + zr) = R2(zc + zf + zb + zl + zr) + 1)。次にST109に進む。 10

ST109において、Pxを最大チャンネルにおけるX方向重心位置(X方向重心位置信号)とし、Pyを最大チャンネルにおけるY方向重心位置(Y方向重心位置信号)とし、およびを予め設定された拡大率としての定数(なお、各チャンネルの形状が正方形のときは = で問題ない)としたときに、次の演算処理を実行する。次にST107に進む。

$$(1) P_x = (z_r - z_l) / (z_l + z_c + z_r)$$

$$(2) P_y = (z_f - z_b) / (z_b + z_c + z_f)$$

20

#### 【0160】

ST110において、Qxを全64個のチャンネル全体についてX軸方向に128分割したときのX方向重心位置PxのX軸方向座標位置とし、Qyを全64個のチャンネル全体でY軸方向を128分割したときのY方向重心位置PyのY軸方向座標位置としたときに、最大チャンネルの位置Pと、X方向重心位置Pxと、Y方向重心位置PyからX軸方向座標位置QxおよびY軸方向座標位置Qyを演算する。次にST111に進む。

ST111において、M(T, Qx, Qy)をメモリMにおける前記演算タイミングT(0~1023の10ビットの値)と、前記X軸方向座標位置Qx(0~127の7ビットの値)と、Y軸方向座標位置Qy(0~127の7ビットの値)との値を同時に示すことができる合計24ビットの値に対応するアドレス番号で記憶する値としたときに、M(T, Qx, Qy)の値を+1だけ加算する(M(T, Qx, Qy) = M(T, Qx, Qy) + 1)。次にST101に戻る。 30

#### 【0161】

(実施例1のFA-VME基板のAD変換回路素子におけるラストダイノード信号のペDESTAL(最小値)検出処理のフローチャートの説明)

図19は実施例1のFA-VME基板のAD変換回路素子におけるラストダイノード信号のペDESTAL(最小値)設定処理のフローチャートである。

図19のフローチャートの各ST(ステップ)の処理は、前記コントローラCのROM等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置演算記憶装置U2の他の各種処理と並行してマルチタスクで実行される。 40

図19に示すフローチャートは中性子入射位置検出装置Uの電源投入時に開始される。

#### 【0162】

図19のST201において、iをラストダイノード信号の第1レジスタ用カウンタとし、jをラストダイノード信号の第2レジスタ用のカウンタとしたときに、次の値を設定し、次にST202に進む。

$$(1) \text{第1レジスタ用カウンタ } i \text{ の値を } 1 \text{ で初期化する ( } i = 1 \text{ )}$$

$$(2) \text{第1レジスタ用カウンタ } j \text{ の値を } i + 32 \text{ で初期化する ( } j = i + 32 \text{ )}$$

$$(3) \text{ラストダイノード信号用の第1レジスタ } V L R 1 \text{ の値を } 0 \text{ で初期化する ( } V L R 1 = 0 \text{ )}$$

$$(4) \text{ラストダイノード信号用の第2レジスタ } V L R 2 \text{ の値を } 0 \text{ で初期化する ( } V L R 2 = 0 \text{ )}$$

50

)

## 【0163】

ST202において、ラストダイノード信号のサンプリング値VLを読み出す。次にST203に進む。なお、サンプリング値VLは0以上の符号なし整数値(14ビット)である。

ST203において、第1レジスタVL R1の値が初期値ではないか否かを0より大きいか否かにより判定する( $VL R1 > 0$ )。イエス(Y)の場合はST204に進み、ノー(N)の場合はST205に進む。

ST204において、サンプリング値VLが第1レジスタVL R1の値より小さいか否かを判定する( $VL < VL R1$ )。イエス(Y)の場合はST205に進み、ノー(N)の場合はST206に進む。

ST205において、第1レジスタVL R1の値にサンプリング値VLを設定する( $VL R1 = VL$ )。次にST206に進む。

## 【0164】

ST206において、第2レジスタVL R2の値が初期値ではないか否かを0より大きいか否かにより判定する( $VL R2 > 0$ )。イエス(Y)の場合はST207に進み、ノー(N)の場合はST208に進む。

ST207において、サンプリング値VLが第2レジスタVL R2の値より小さいか否かを判定する( $VL < VL R2$ )。イエス(Y)の場合はST208に進み、ノー(N)の場合はST209に進む。

ST208において、第2レジスタVL R2の値にサンプリング値VLを設定する( $VL R2 = VL$ )。次にST209に進む。

ST209において、第1レジスタ用カウンタiが最大値である64(サンプリング値VLを2マイクロ秒間読み出したときの値)であるか否かを判定する( $i = 64$ )。イエス(Y)の場合はST211に進み、ノー(N)の場合はST210に進む。

ST210において、第2レジスタ用カウンタjが最大値である64であるか否かを判定する( $j = 64$ )。イエス(Y)の場合はST212に進み、ノー(N)の場合はST213に進む。

## 【0165】

ST211において、次の値を設定して、次にST213に進む。

(1) 第1レジスタ用カウンタiの値を初期値である0にリセットする( $i = 0$ )

(2) 第1レジスタVL R1の値を初期値である0にリセットする( $VL R1 = 0$ )

ST212において、次の値を設定して、次にST213に進む。

(1) 第2レジスタ用カウンタjの値を0にリセットする( $j = 0$ )

(2) 第2レジスタVL R2の値を0にリセットする( $VL R2 = 0$ )

ST213において、次の値を設定して、次にST202に戻る。

(1) 第1レジスタ用カウンタiの値を+1だけ加算する( $i = i + 1$ )

(2) 第2レジスタ用カウンタjの値を+1だけ加算する( $j = j + 1$ )

## 【0166】

(実施例1のFA-VME基板のAD変換回路素子におけるラストダイノード信号の閾値を超える値(ピーク値とペDESTALとの差分値)検出処理のフローチャートの説明)

図20は実施例1のFA-VME基板のAD変換回路素子におけるラストダイノード信号の閾値を超える値(ピーク値とペDESTALとの差分値)検出処理のフローチャートである。

図20のフローチャートの各ST(ステップ)の処理は、前記コントローラCのROM等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置演算記憶装置U2の他の各種処理と並行してマルチタスクで実行される。

図20に示すフローチャートは中性子入射位置検出装置Uの電源投入時に開始される。

## 【0167】

図20のST251において、次の値を設定する。次にST252に進む。

(1) ラストダイノード信号用の第3レジスタVL R3の値を0で初期化する( $VL R3 = 0$ )

10

20

30

40

50

)

(2) ラストダイノード信号用の第4レジスタVLR4の値を0で初期化する( $VLR4 = 0$ )

(3) ピーク値連続更新回数用カウンタcntの値を0で初期化する( $cnt = 0$ )

## 【0168】

ST252において、サンプリング値VLを読み出す。次にST253に進む。

ST253において、第3レジスタVLR3の値が初期値ではないか否かを0より大きい  
か否かにより判定する( $VLR3 > 0$ )。イエス(Y)の場合はST254に進み、ノー(N)  
の場合はST256に進む。

ST254において、サンプリング値VLが第3レジスタVLR3の値より大きい  
か否かを判定する( $VL > VLR3$ )。イエス(Y)の場合はST255に進み、ノー(N)の  
場合はST256に進む。 10

ST255において、ピーク値連続更新回数用カウンタcntはピーク値連続更新回数  
の閾値ZK(例えば8回)より大きい  
か否かを判定する。イエス(Y)の場合はST258  
に進み、ノー(N)の場合はST257に進む。

ST256において、次の値を設定する。次にST252に戻る。

(1) 第3レジスタVLR3の値をサンプリング値VLに設定する( $VLR3 = VL$ )。

(2) ピーク値連続更新回数用カウンタcntの値を+1だけ加算する( $cnt = cnt + 1$ )

## 【0169】

ST257において、ピーク値連続更新回数用カウンタcntの値を0でリセットする  
( $cnt = 0$ )。次にST258に進む。 20

ST258において、第1レジスタVLR1の値が初期値ではないか否かを0より大きい  
か否かにより判定する( $VLR1 > 0$ )。イエス(Y)の場合はST259に進み、ノー(N)  
の場合はST262に進む。

ST259において、第2レジスタVLR2の値が初期値ではないか否かを0より大きい  
か否かにより判定する( $VLR2 > 0$ )。イエス(Y)の場合はST260に進み、ノー(N)  
の場合はST261に進む。

ST260において、第1レジスタVLR1の値が第2レジスタVLR2の値よりも小さい  
か否かを判定する( $VLR1 < VLR2$ )。イエス(Y)の場合はST261に進み、ノー(N)  
の場合はST262に進む。 30

ST261において、第4レジスタVLR4の値に最大値である第3レジスタVLR3の値  
からペDESTALとして採用された最小値である第1レジスタVLR1の値を減算した値を設  
定する( $VLR4 = VLR3 - VLR1$ )。次にST263に進む。

## 【0170】

ST262において、第4レジスタVLR4の値に最大値である第3レジスタVLR3の値  
からペDESTALとして採用された最小値である第2レジスタVLR2の値を減算した値を設  
定する( $VLR4 = VLR3 - VLR2$ )。次にST263に進む。

ST263において、第4レジスタVLR4の値が閾値SKより大きい  
か否かを判定する。イエス(Y)の場合はST264に進み、ノー(N)の場合はST265に進む。 40

ST264において、閾値SKを超えるラストダイノード信号の値である第4レジスタ  
VLR4の値をコントローラCのメインFPGA11に通知する。次にST265に進む。

ST265において、タイマTM2に3マイクロ秒をセットする。次にST266に進  
む。

ST266において、タイマTM2がタイムアップしたか否かを判定する。イエス(Y)  
の場合はST252に戻り、ノー(N)の場合はST266を繰り返す。

## 【0171】

(実施例1の各AD変換基板における全64個の各接続チャンネル信号ごとのペDESTAL(最  
小値)設定処理のフローチャートの説明)

図21は実施例1の各AD変換基板における全64個の各接続チャンネル信号ごとのペ 50

スタル（最小値）検出処理のフローチャートである。

図 2 1 のフローチャートの各 S T（ステップ）の処理は、前記 A D 変換基板 A（A 1 a + A 1 b + A 2 a + A 2 b）の R O M 等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置演算記憶装置 U 2 の他の各種処理と並行してマルチタスクで実行される。

図 2 1 に示すフローチャートは中性子入射位置検出装置 U の電源投入時に開始される。なお、図 2 1 に示すフローチャートは、前記 A D 変換基板 A に設定される（記憶される）全 6 4 個の各接続チャンネル信号のうち 1 個の接続チャンネル信号のペDESTAL 設定処理のみ示しているが、前記接続チャンネル信号のペDESTAL 設定処理は、全 6 4 個についても同様に、並行してマルチタスクで実行されているものとする。

10

【 0 1 7 2 】

図 2 1 の S T 3 0 1 において、n を接続チャンネル信号の第 1 レジスタ用カウンタとし、m を接続チャンネル信号の第 2 レジスタ用カウンタとしたときに、次の値を設定する。次に S T 3 0 2 に進む。

- ( 1 ) 第 1 レジスタ用カウンタ n の値を 1 で初期化する (  $n = 1$  )
- ( 2 ) 第 2 レジスタ用カウンタ m の値を  $n + 1 6$  で初期化する (  $m = n + 1 6$  )
- ( 3 ) 各接続チャンネル信号用の第 1 レジスタ V R 1 の値を 0 で初期化する (  $V R 1 = 0$  )
- ( 4 ) 各接続チャンネル信号用の第 2 レジスタ V R 2 の値を 0 で初期化する (  $V R 2 = 0$  )

【 0 1 7 3 】

S T 3 0 2 において、接続チャンネル信号のサンプリング値  $V_s$  を読み出す。次に S T 3 0 3 に進む。なお、サンプリング値  $V_s$  は 0 以上の符号なし整数値（12 ビット）である。

20

S T 3 0 3 において、第 1 レジスタ V R 1 の値が初期値ではないか否かを 0 より大きいかが否かにより判定する (  $V R 1 > 0$  )。イエス ( Y ) の場合は S T 3 0 4 に進み、ノー ( N ) の場合は S T 3 0 5 に進む。

S T 3 0 4 において、サンプリング値  $V_s$  が第 1 レジスタ V R 1 の値よりも小さいか否かを判定する (  $V_s < V R 1$  )。イエス ( Y ) の場合は S T 3 0 5 に進み、ノー ( N ) の場合は S T 3 0 6 に進む。

S T 3 0 5 において、第 1 レジスタ V R 1 の値にサンプリング値  $V_s$  を設定する (  $V R 1 = V_s$  )。次に S T 3 0 6 に進む。

30

【 0 1 7 4 】

S T 3 0 6 において、第 2 レジスタ V R 2 の値が初期値ではないか否かを 0 より大きいかが否かにより判定する (  $V R 2 > 0$  )。イエス ( Y ) の場合は S T 3 0 7 に進み、ノー ( N ) の場合は S T 3 0 8 に進む。

S T 3 0 7 において、サンプリング値  $V_s$  が第 2 レジスタ V R 2 の値よりも小さいか否かを判定する (  $V_s < V R 2$  ) であるか否かを判定する。イエス ( Y ) の場合は S T 3 0 8 に進み、ノー ( N ) の場合は S T 3 0 9 に進む。

S T 3 0 8 において、第 2 レジスタ V R 2 の値にサンプリング値  $V_s$  を設定する (  $V R 2 = V_s$  )。次に S T 3 0 9 に進む。

S T 3 0 9 において、第 1 レジスタ用カウンタ n の値が最大値である 3 2（サンプリング値  $V_s$  を 2 マイクロ秒間読み出したときの値）であるか否かを判定する (  $n = 3 2$  )。イエス ( Y ) の場合は S T 3 1 1 に進み、ノー ( N ) の場合は S T 3 1 0 に進む。

40

S T 3 1 0 において、第 2 レジスタ用カウンタ m の値が最大値である 3 2 であるか否かを判定する (  $m = 3 2$  )。イエス ( Y ) の場合は S T 3 1 2 に進み、ノー ( N ) の場合は S T 3 1 3 に進む。

【 0 1 7 5 】

S T 3 1 1 において、次の値を設定する。次に S T 3 1 3 に進む。

- ( 1 ) 第 1 レジスタ用カウンタ n の値を 0 にリセットする (  $n = 0$  )
- ( 2 ) 第 1 レジスタ V R 1 の値を初期値である 0 にリセットする (  $V R 1 = 0$  )

S T 3 1 2 において、次の値を設定する。次に S T 3 1 3 に進む。

50

- ( 1 ) 第 2 レジスタ用カウンタ  $m$  の値を 0 にリセットする (  $m = 0$  )
- ( 2 ) 第 2 レジスタ  $VR2$  の値を初期値である 0 にリセットする (  $VR2 = 0$  )

ST313 において、次の値を設定する。次に ST302 に戻る。

- ( 1 ) 第 1 レジスタ用カウンタ  $n$  の値を + 1 だけ加算する (  $n = n + 1$  )
- ( 2 ) 第 2 レジスタ用カウンタ  $m$  の値を + 1 だけ加算する (  $m = m + 1$  )

#### 【 0 1 7 6 】

( 実施例 1 の各 AD 変換基板における全 64 個の各接続チャンネル信号ごとの値 ( 最大値とペDESTAL との差分値 ) 設定処理のフローチャートの説明 )

図 22 は実施例 1 の各 AD 変換基板における全 64 個の各接続チャンネル信号ごとの値 ( 最大値とペDESTAL との差分値 ) 設定処理のフローチャートである。

10

図 22 のフローチャートの各 ST ( ステップ ) の処理は、前記 AD 変換基板 A (  $A1a + A1b + A2a + A2b$  ) それぞれの ROM 等に記憶されたプログラムに従って行われる。また、この処理は中性子入射位置演算記憶装置 U2 の他の各種処理と並行してマルチタスクで実行される。

図 22 に示すフローチャートは中性子入射位置検出装置 U の電源投入時に開始される。なお、図 22 に示すフローチャートは、前記 AD 変換基板 A に設定される ( 記憶される ) 全 64 個の各接続チャンネル信号のうち 1 個の接続チャンネル信号の値設定処理のみ示しているが、前記接続チャンネル信号の値設定処理は、全 64 個についても同様に、並行してマルチタスクで実行されているものとする。

#### 【 0 1 7 7 】

20

図 22 の ST351 において、 $k$  を接続チャンネル信号の第 3 レジスタ用カウンタとしたときに、次の値を設定する。次に ST352 に進む。

- ( 1 ) 第 3 レジスタ用カウンタ  $k$  の値を 1 で初期化する (  $k = 1$  )
- ( 2 ) 接続チャンネル信号用の第 3 レジスタ  $VR3$  の値を 0 で初期化する (  $VR3 = 0$  )
- ( 3 ) 接続チャンネル信号用の第 4 レジスタ  $VR4$  の値を 0 で初期化する (  $VR4 = 0$  )

ST352 において、サンプリング値  $Vs$  を読み出す。次に ST353 に進む。

ST353 において、第 3 レジスタ  $VR3$  の値が初期値ではないか否かを 0 より大きいかが否かにより判定する (  $VR3 > 0$  )。イエス ( Y ) の場合は ST354 に進み、ノー ( N ) の場合は ST355 に進む。

#### 【 0 1 7 8 】

30

ST354 において、サンプリング値  $Vs$  が第 3 レジスタ  $VR3$  の値より大きいかが否かを判定する (  $Vs > VR3$  )。イエス ( Y ) の場合は ST355 に進み、ノー ( N ) の場合は ST356 に進む。

ST355 において、次の値を設定する。次に ST356 に進む。

- ( 1 ) 第 3 レジスタ用カウンタ  $k$  の値を 1 にリセットする (  $k = 1$  )
- ( 2 ) 第 3 レジスタ  $VR3$  の値をサンプリング値  $Vs$  に設定する (  $VR3 = Vs$  )

ST356 において、第 1 レジスタ  $VR1$  の値が初期値ではないか否かを 0 より大きいかが否かにより判定する (  $VR1 > 0$  )。イエス ( Y ) の場合は ST357 に進み、ノー ( N ) の場合は ST360 に進む。

#### 【 0 1 7 9 】

40

ST357 において、第 2 レジスタ  $VR2$  の値が初期値ではないか否かを 0 より大きいかが否かにより判定する (  $VR2 > 0$  )。イエス ( Y ) の場合は ST358 に進み、ノー ( N ) の場合は ST359 に進む。

ST358 において、第 1 レジスタ  $VR1$  の値が第 2 レジスタ  $VR2$  の値より小さいかが否かを判定する (  $VR1 < VR2$  )。イエス ( Y ) の場合は ST359 に進み、ノー ( N ) の場合は ST360 に進む。

ST359 において、第 4 レジスタ  $VR4$  の値に最大値である第 3 レジスタ  $VR3$  の値からペDESTAL として採用された最小値である第 1 レジスタ  $VR1$  の値を減算した値を設定する (  $VR4 = VR3 - VR1$  )。次に ST361 に進む。

ST360 において、第 4 レジスタ  $VR4$  の値に最大値である第 3 レジスタ  $VR3$  の値

50

からペDESTALとして採用された最小値である第2レジスタVR2の値を減算した値を設定する( $VR4 = VR3 - VR2$ )。次にST361に進む。

【0180】

ST361において、第1レジスタ用カウンタkが最大値である16(同じサンプリング値Vsを最大値として1マイクロ秒間設定し続けたときの値)であるか否かを判定する( $k = 16$ )。イエス(Y)の場合はST362に進み、ノー(N)の場合はST363に進む。

ST362において、次の値を設定する。次にST363に進む。

(1) 第3レジスタ用カウンタkの値を0にリセットする( $k = 0$ )

(2) 第3レジスタVR3の値を0にリセットする( $VR3 = 0$ )

10

ST363において、第3レジスタ用カウンタkの値を+1だけ加算する( $k = k + 1$ )。次にST352に戻る。

【0181】

(実施例1の作用)

前述の構成を備えた本発明の実施例1の中性子入射位置検出装置Uでは、前記中性子発生器U4で発生した中性子N(図1参照)が前記中性子検出器U1の前記中性子入射面1に入射したときに、前記中性子検出器U1は、前記パルス波21, 22の様な波形を有する前記ラストダイノード信号31および接続チャンネル信号を出力する(図4A~図4C参照)。前記中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1が前記ラストダイノード信号31を受信した時に、前記左側演算記憶回路基板F1は、前記右側演算記憶回路基板F2に対して前記L S Y N C信号35を送信した後で、前記コントローラCに全64個の前記各接続チャンネル信号の値と、前記右側演算記憶回路基板F2が送信する8個の隣接チャンネル信号とを記憶する(図8~図10参照)。

20

【0182】

また、前記左側演算記憶回路基板F1は、記憶した全64個の前記各接続チャンネル信号の値から、前記最大チャンネルを検出して、前記最大チャンネル信号および前記4隣チャンネルの前記接続チャンネル信号の値から前記中性子入射位置演算記憶処理(重心位置の演算処理)することにより、前記中性子入射面1に入射した位置(前記中性子入射位置)を演算して記憶する(図11A~図11Cおよび図24A, 図24B参照)。前記左側演算記憶回路基板F1で中性子入射位置を演算する時に、検出した前記最大チャンネルが前記右側演算記憶回路基板F2と連結した位置(密接して配置された位置、隣接した位置)のチャンネル(連結チャンネル)であった場合(図11Bおよび図11C参照)、前記右側演算記憶回路基板F2から8個の前記隣接チャンネル信号を受信しているため、前記左側演算記憶回路基板F1は、前記連結チャンネルも前記外周位置ではないチャンネルと同等の位置分解能で中性子入射位置を演算することができる。

30

さらに、前記中性子入射位置演算記憶装置U2は、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2に記憶した前記演算結果を前記制御コンピュータU3に送信し、前記制御コンピュータU3は前記演算結果を制御して表示する。

【0183】

よって、実施例1の前記中性子入射位置検出装置Uは、前記中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2自体がそれぞれ前記中性子入射位置を演算して記憶することができる。また、前記中性子入射位置検出装置Uは、前記中性子入射位置演算記憶装置U2が前記制御コンピュータU3に対して前記各接続チャンネル信号および前記演算タイミングT等の大容量の中間情報を送信しなくても前記中性子入射位置を演算することができる。したがって、前記中性子入射位置検出装置Uは、複数の前記フラットパネル型マルチアノード光電子増倍管を連結しても、中性子入射位置を高位置分解能を維持しつつ、高速で演算して記憶することができる。

40

【0184】

また、実施例1の前記中性子入射位置演算記憶装置U2では、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2が前記閾値SKを超えるラストダイノード信

50

号の値を受信しても動作することができる。したがって、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 が同時にそれぞれ 1 つの前記中性子を検出して中性子入射位置演算記憶処理をすることができる。この結果、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 とに同時に且つ別々に入射した 2 つの中性子を検出することができるため、前記中性子入射位置検出装置 U は、前記中性子の検出効率を向上させることができる。

**【0185】**

図 2 において、前記 FA-VME 基板の上部には、前記前方向接続用ケーブル挿入口 CN 1 と、前記後方向接続用ケーブル挿入口 CN 2 と、前記左方向接続用ケーブル挿入口 CN 3 と、前記右方向接続用ケーブル挿入口 CN 4 とが配置されている。実施例 1 において、Y 軸方向に連結している前記左側演算記憶回路基板 F 1 と前記右側演算記憶回路基板 F 2 とを接続する場合には、前記隣接基板間接続用ケーブル 6 で前記左側演算記憶回路基板 F 1 の前記右方向接続用ケーブル挿入口 CN 4 と、前記右側演算記憶回路基板 F 2 の前記左方向接続用ケーブル挿入口 CN 3 とを接続する。また、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 には、合計 6 個の空き状態のケーブル挿入口がある。

10

**【0186】**

前記空き状態のケーブル挿入口は、新たな前記フラットパネル型マルチアノード光電子増倍管を連結する時のために予約されている。例えば、前記右側増倍管 P 1 の前方向 (+ X 方向) に新たに前記フラットパネル型マルチアノード光電子増倍管を連結したい場合には、前記フラットパネル型マルチアノード光電子増倍管に接続された前記 FA64 モジュールの前記後方向接続用ケーブル挿入口 CN 2 と前記右側演算記憶回路基板 F 1 の前記前方向接続用ケーブル挿入口 CN 1 とを隣接基板間接続用ケーブルで接続することにより、前記追加されたフラットパネル型マルチアノード光電子増倍管と前記右側増倍管 P 1 との間においても前記隣接チャンネル信号の送受信が可能となる。

20

**【0187】**

なお、図 1 3 ~ 図 1 8 に示した実施例 1 の前記 FA-VME 基板の前記コントローラ C の各種処理は、前方向 (+ X 方向)、後方向 (- X 方向)、左方向 (- Y 方向) および右方向 (+ Y 方向) の最大 4 台の前記 FA-VME 基板が接続された場合でも、並列で同時に実行することが可能である。すなわち、互いが接続された前記 FA64 モジュール (中性子入射位置演算記憶回路基板) 同士で、図 1 3 ~ 図 1 8 に示した全ての処理がそれぞれ同時に実行される。

30

**【0188】**

したがって、前記中性子入射位置検出装置 U は、複数の前記フラットパネル型マルチアノード光電子増倍管を X 軸方向または Y 軸方向、若しくは X 軸方向および Y 軸方向に密接した状態で配置して前記中性子検出器 U 1 を拡張し、対応する複数の前記 FA64 モジュールを適切に接続して前記中性子入射位置演算記憶装置 U 2 を拡張することによって、前記中性子入射面 1 の形状および面積を自由に拡張したり、変更したりすることができる。

**【0189】**

また、実施例 1 の前記中性子入射位置演算記憶装置 U 2 では、複数の前記 FA64 モジュールが同時に前記中性子入射位置演算記憶処理を実行することが可能である。したがって、前記中性子検出器 U 1 および前記中性子入射位置演算記憶装置 U 2 を拡張するほど、複数の中性子が同時に入射した時に多くの数を検出する可能性が高くなる。この結果、前記中性子検出器 U 1 および前記中性子入射位置演算記憶装置 U 2 を拡張することで、前記中性子入射位置検出装置 U としての検出効率をさらに向上させることができる。

40

**【0190】**

図 3 において、前記 FA64 モジュールである左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 は、本体である前記 FA-VME 基板と、4 枚の AD 変換基板と、2 枚の FA-M-P 3 3 基板とによって構成されており、従来の中性子入射位置演算記憶装置と比較しても特殊な装置等の構成要素を用いておらず且つ構成がシンプルである。したがって、前記中性子入射位置検出装置 U は、前記中性子入射位置演算記憶装置 U 2 を実用的な前記各

50



基板で構成することにより、低コストで構築することができる。

【0191】

図4B、図4C、図5Aにおいて、前記AD変換回路素子A3では、前記コントローラCのメインFPGA11が不定期に発生する3マイクロ秒幅程度のパルス幅の前記パルス波21, 22について、それぞれ異なる前記ペDESTALを検出しなければならない。よって、前記ペDESTALの検索処理の時間間隔を3マイクロ秒より大きくすることができない。しかし、3マイクロ秒以下の間隔で検索処理を繰り返し実行するだけでは、正確な前記ペDESTALの値が記憶できない期間が長くなる場合がある(図5Aの1点鎖線で示す値24eおよび2点鎖線で示す値24b, 24c参照)。

よって、実施例1の前記AD変換回路素子A3において、前記コントローラCのメインFPGA11は、前記ラストダイノード信号の前記ペDESTALの検索処理を2マイクロ秒間隔で実施し且つ1マイクロ秒間ずらした状態で前記検索処理を2重化して並列処理を実行する。この結果、前記ペDESTALの値を正確に記憶している期間を長くすることができる(図5A参照)。また、図19および図20におけるフローチャートの処理はシンプルであるため、AD変換回路素子A3は、前記ペDESTALの検索処理を高速に実行することができる。

10

【0192】

また、実施例1の前記AD変換基板Aの前記接続チャンネル信号のペDESTAL検出処理についても同様であり、前記ペDESTALの値を正確に記憶している期間を長くすることができる(図7A参照)。なお、前記AD変換基板Aは、図20および図21におけるフローチャートの処理を全64個の前記接続チャンネル信号についてそれぞれ並列で実行することが可能であり、且つ前記AD変換回路素子A3における前記コントローラCのメインFPGA11の処理と同様に、図20および図21のフローチャートはシンプルである。したがって、前記AD変換基板Aは、前記ペDESTALの検索処理(並列処理)を高速に実行することができる。

20

【0193】

この結果、前記AD変換回路素子A3では、前記コントローラCのメインFPGA11は、前記ラストダイノード信号の正確な値で前記閾値SKと比較し、前記閾値SKを超えた前記ラストダイノード信号の値を前記コントローラCに送信することができる(図5B参照)。また、前記コントローラCが前記閾値SKを超える前記ラストダイノード信号を受信した後、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、共に前記トリガー受信時点36のから前記同期開始時点37までの1マイクロ秒間だけ、前記AD変換基板Aが前記接続チャンネル信号の値を最新の状態に更新するのを促すために待機する(図8、図13および図14参照)。前記AD変換基板Aは、前記最大値を検出して記憶してから1マイクロ秒経過するまでリセットしないので、前記コントローラCが前記接続チャンネル信号の値を受信するタイミングが多少ずれた場合にも、全64個の前記各接続チャンネル信号の正確な値(図7B参照)を送信することができる。なお、前記ラストダイノード信号の前記ピーク値が全64個の前記各接続チャンネル信号の前記最大値よりも早く検出されるため、前記AD変換基板は、前記トリガー受信時点36のから前記同期開始時点37までの1マイクロ秒間が経過した時に、前記最大値がリセットされた状態とならないよう設計されている。

30

40

【0194】

図9および図14~図16において、前記コントローラCが前記AD変換基板Aから全64個の前記各接続チャンネル信号の値を受信するときに、前記差分値(前記接続チャンネル信号用の第4レジスタVR4に記憶された値)に前記ADC補正係数Hを乗算した値の上位8ビットを前記補正值として記憶する。したがって、前記コントローラCは、前記各チャンネルごとに設定された前記ADC補正係数Hを増幅率として、前記AD変換基板が記憶する全64個の前記各接続チャンネル信号の値をそれぞれ補正することができる。この結果、前記コントローラCは、前記各チャンネル毎に発生する前記接続チャンネル信号の誤差をそれぞれ補正することができる。

50

## 【0195】

また、前記コントローラCは、前記AD変換基板Aから全64個の前記各接続チャンネル信号の値を1ビットずつ読み出しながら、前記補正值の演算を前記ADC補正係数Hの加算と左論理シフトのみで行う。したがって、前記コントローラCは、演算時間および処理内容(演算ロジック)等の演算コストを効率的に利用して、全64個の前記各接続チャンネル信号の値の受信記憶と同時進行で前記補正值の演算処理を高速に実行することができる。

## 【0196】

図10において、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、それぞれ非同期で動作しており、前記時間差46が発生した時には、前記基本クロック同期タイミング47と、前記隣接チャンネル信号伝送用クロック同期タイミング48とが周期的に発生する。前記コントローラCは、前記隣接チャンネル信号伝送用クロック同期タイミング48のとき、すなわち前記左側隣接チャンネル信号伝送用クロック42と前記右側隣接チャンネル信号伝送用クロック44とが共に立ち上がった時に、8個の前記隣接チャンネル信号の値をそれぞれ1ビットずつ送信する。したがって、前記コントローラCは、前記隣接チャンネル信号伝送用クロック同期タイミング48で8個の前記各隣接クロックの値をそれぞれ送信することで、前記基本クロック同期タイミング47で前記隣接チャンネル信号の値を送信するよりも十分な時間が確保できるため、確実に送受信を行うことができる。この結果、前記コントローラCは、前記隣接基板間接続用ケーブル6の長さや、前記入出力インタフェースの転送速度等による制限を影響を受けることなく、前記隣接チャンネル信号の送受信を確実に行うことができる。

## 【0197】

図1、図12および図17において、実施例1の前記中性子入射位置演算記憶装置U2では、前記中性子発生器U4から送信される中性子発生を知らせる信号を受信した時に、前記コントローラCは、前記演算タイミングTを前記タイミング更新間隔 $t_0$ ごとに0から1023までカウントする処理を他の処理と並列に繰り返し実行している。したがって、前記コントローラCは、前記中性子入射位置演算記憶処理を実行した時に、中性子が発生した時点から経過したタイミング(中性子入射時刻)を取得することができる。また、前記コントローラCは、前記演算タイミングTを0からカウントして、新たに前記中性子発生を知らせる信号を受信するか、前記演算タイミングTが1023までカウントした後、新たに前記中性子発生を知らせる信号を受信するのを待機する処理を他の処理と並列に繰り返し実行している。したがって、前記コントローラCは、前記タイミング更新間隔 $t_0$ の設定値を調節することで前記中性子発生を知らせる信号を送信される周期と前記演算タイミングTのカウントとを調節することができる。また、図17のフローチャートでは、次の前記中性子発生を知らせる信号を受信した時に、前記演算タイミングTを0にリセットすることも可能であり、且つ前記演算タイミングTが1023までカウントした後、次の前記中性子発生を知らせる信号を受信するまで中性子の測定を一時停止し、待機している。したがって、前記コントローラCは、前記タイミング更新間隔 $t_0$ の設定値が適切に設定されていなくても、図17におけるフローチャートの演算タイミング設定処理で前記演算タイミングTを適切にカウントし続けることができる。

## 【0198】

図11A~図11Cおよび図18において、実施例1の前記中性子入射位置演算記憶装置U2では、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2にそれぞれ前記演算結果として、前記ラストダイノード信号発生頻度記憶用レジスタR1に前記閾値SKを超えた前記ラストダイノード信号の値の発生頻度と、前記接続チャンネル信号発生頻度記憶用レジスタR2に前記最大チャンネルおよび前記4隣チャンネルの前記接続チャンネル信号の合計値の発生頻度と、前記メモリMに前記中性子が前記中性子入射位置(前記X軸方向座標位置 $Q_x$ および前記Y軸方向座標位置 $Q_y$ )で前記演算タイミングTの時点で検出された頻度を記憶している。また、前記ラストダイノード信号発生頻度記憶用レジスタR1、前記接続チャンネル信号発生頻度記憶用レジスタR2、および前記メモリMは、そ

れぞれ取得した値を階級値として対応するアドレスを割り当て、発生頻度を度数値として前記対応するアドレスの値として割り当てている。したがって、前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 は、前記演算結果を効率良く記憶することができる。この結果、前記中性子入射位置検出装置 U を長時間動作させても、記憶容量を超えることなく前記演算結果を全て記憶することができる。

【 0 1 9 9 】

なお、実施例 1 の前記左側演算記憶回路基板 F 1 および前記右側演算記憶回路基板 F 2 は、それぞれ 6 4 M バイトの前記メモリ M について、前記メモリ M 内で 1 6 メガ ( 2 の 2 4 乗 ) 種類の各アドレスに対してそれぞれ 4 バイト ( 3 2 ビット ) の値が割り当てられるように使用する。前記 1 6 メガ種類の各アドレス番号は 2 4 ビットで全て表現できるため、前記 X 軸方向座標位置  $Q_x$  ( 7 ビット ) と、前記 Y 軸方向座標位置  $Q_y$  ( 7 ビット ) 、前記演算タイミング T ( 1 0 ビット ) を表現できる値 ( 合計 2 4 ビット ) を前記アドレス番号で対応付けすることができる。

10

【 0 2 0 0 】

( 変更例 )

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の変更例 ( H 0 1 ) ~ ( H 0 2 5 ) を下記に例示する。

( H 0 1 ) 本発明の実施例 1 の中性子入射位置検出装置 U は、 2 台の前記フラットパネル型マルチアノード光電子増倍管 ( P 1 , P 2 ) と対応する 2 枚の前記 FA64 モジュール ( F 1 , F 2 ) とを有しているが、これに限定されず、 2 台以上の前記フラットパネル型マルチアノード光電子増倍管と対応する 2 枚以上の前記 FA64 モジュール ( 中性子入射位置演算記憶回路基板 ) とを有することも可能である。なお、このとき、複数の前記フラットパネル型マルチアノード光電子増倍管を密接して配置して、前記中性子検出器 U 1 の前記中性子入射面 1 の形状を自由に設定することができる。

20

【 0 2 0 1 】

( H 0 2 ) 本発明の実施例 1 の中性子入射位置検出装置 U は、前記中性子検出器 U 1 と、前記中性子入射位置演算記憶装置 U 2 と、前記制御コンピュータ U 3 と、前記中性子発生器 U 4 とがケーブルによって別々の装置として構成されているが、この状態に限定されず、例えば、前記中性子入射位置検出装置 U のうちの複数の装置をケーブルなしで接続して一体的に構成することも可能であり、全ての装置をケーブルによる接続なしで接続して一体的に構成することも可能である。

30

( H 0 3 ) 本発明の実施例 1 の中性子入射位置検出装置 U は、前記中性子検出器 U 1 の前記各フラットパネル型マルチアノード光電子増倍管 ( P 1 , P 2 ) および前記各中性子入射位置演算記憶装置 U 2 の中性子入射位置演算記憶回路基板 ( F 1 , F 2 ) は、 6 4 チャンネルを取扱うものに限定されず、例えば 2 5 6 チャンネルを取扱うことも可能である。なお、このとき、図 1 2 における各種手段については、全 2 5 6 個の前記接続チャンネル信号と、前記他方の中性子入射位置演算記憶回路基板 1 台につき 1 6 個の前記隣接チャンネル信号を取扱うように図 1 3 ~ 図 2 2 の処理およびケーブルや基板内の信号経路等といった前記中性子入射位置演算記憶回路基板の仕様を適宜変更する必要がある。

40

【 0 2 0 2 】

( H 0 4 ) 本発明の実施例 1 の中性子入射位置検出装置 U は、前記中性子検出器 U 1 の前記中性子シンチレータ S は、リチウムを含む硫化亜鉛 (  $ZnS/{}^6Li$  ) によって形成された 0 . 2 5 m m 厚の平板状のものを使用しているが、これに限定されず、異なる材料、板厚、形状で形成された中性子シンチレータを使用することも可能である。また、前記中性子シンチレータの数についても 1 つに限定されず、複数の中性子シンチレータを使用して、前記中性子入射面 1 を覆うことも可能である。

( H 0 5 ) 本発明の実施例 1 の中性子入射位置検出装置 U では、前記中性子検出器 U 1 は、前記アクリルガラス L D を使用しているが、省略することも可能である。また、前記アクリルガラス L D に限定されず、その他の光拡散用部材、板厚、形状に置き換えることも可

50

能である。さらに、前記アクリルガラスLDの枚数も1枚に限定されず、複数枚のガラスを使用することも可能である。

【0203】

(H06)本発明の実施例1の中性子入射位置検出装置Uは、前記中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1と前記右側演算記憶回路基板F2とを非同期で動作させているが、これに限定されず、前記左側演算記憶回路基板F1と前記右側演算記憶回路基板F2とを完全に同期させて動作させることも可能である。

(H07)本発明の実施例1の中性子入射位置検出装置Uは、前記パルス波21, 22のような3マイクロ秒のパルス幅を特徴とする前記ラストダイノード信号および前記接続チャンネル信号に限定されず、図12~図22における各種手段で使用するタイマ等の各種設定値を適宜変更することで、他の特徴を有するパルス波に対しても対応させることが可能である。

10

【0204】

(H08)本発明の実施例1の中性子入射位置検出装置Uは、前記閾値SKを超える前記ラストダイノード信号の値を受信した時点を開始点として、前記中性子入射位置の演算を開始しているが、これに限定されず、前記ラストダイノード信号を受信せずに前記中性子入射位置を演算することも可能である。

(H09)本発明の実施例1の中性子入射位置検出装置Uは、前記左側演算記憶回路基板F1から前記右側演算記憶回路基板F2に前記LSYNC信号を送信しているが、これに限定されず、前記LSYNC信号を送受信せずに前記左側演算記憶回路基板F1と前記右側演算記憶回路基板F2とが、それぞれ必要な前記隣接チャンネル信号を送受信し、前記中性子入射位置を演算することも可能である。また、前記LSYNC信号の用途についても限定されず、例えば、前記トリガー受信時点36、前記同期開始時点37、前記同期中間時点38、前記同期終了時点39の各時間設定を延長、短縮などの変更を適宜行うことも可能である。さらに、LSYNC信号を省略したり、用途を変更することにより、3マイクロ秒間の前記デッドタイムは、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2の性能の限りにおいて、延長することも短縮することも可能となる。

20

【0205】

(H010)本発明の実施例1の中性子入射位置演算記憶装置U2は、20枚の前記FA64モジュールを前記基板收容フレームFLに收容して電源管理等を行っているが、これに限定されず、21枚以上の前記FA64モジュールが收容可能な前記基板收容フレームFLに置き換えることも可能である。また、前記基板收容フレームFLを複数台用いることが可能である。この結果、前記中性子入射位置検出装置Uは、前記FA64モジュールの枚数について、前記基板收容フレームFLの收容制限の影響を受けることなく前記中性子検出器U1(前記フラットパネル型マルチアノード光電子増倍管)と前記中性子入射位置演算記憶装置U2(対応する前記FA64モジュール)を拡張することが可能となる。

30

(H011)本発明の実施例1の中性子入射位置演算記憶装置U2の前記中性子入射位置演算記憶回路基板であるFA64モジュールは、複数の基板(FA-VME基板、4枚のAD変換基板、2枚のFAMP33基板)によって構成されているが、これに限定されず、例えば、前記複数の基板の全ての機能を搭載した1枚の基板を使用することも可能である。また、FA64モジュール自体についてもFPGAやVME規格等に限定されず、その他の規格を使用することも可能である。このときケーブル等の規格も適宜変更する必要がある。

40

【0206】

(H012)本発明の実施例1の中性子入射位置演算記憶装置U2は、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のAD変換基板Aがそれぞれ前記ラストダイノード信号の値を記憶する時に、前記パルス波21, 22の前記ピーク値とペDESTAL(最小値)の差分値を記憶しているが、これに限定されず、例えば、一定期間内の平均値を前記ラストダイノード信号の値とすることも可能である。また、前記ピーク値および前記ペDESTALの各検出処理もこれに限定されず、別の検出処理で前記各検出処理と置き換えることも可能である。

50

(H013) 本発明の実施例1の中性子入射位置演算記憶装置U2は、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のAD変換基板Aがそれぞれ全64個の前記各接続チャンネル信号の値の値を記憶する時に、前記パルス波21, 22の前記最大値とペDESTAL(最小値)の差分値で取得しているが、これに限定されず、例えば、一定期間内のそれぞれの平均値を全64個の前記各接続チャンネル信号の値とすることも可能である。また、前記最大値および前記ペDESTALの各検出処理もこれに限定されず、別の検出処理で前記各検出処理と置き換えることも可能である。

【0207】

(H014) 本発明の実施例1の中性子入射位置演算記憶装置U2において、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のコントローラCは、前記ADC補正係数Hによって補正された前記補正値を記憶しているが、これに限定されず、例えば、前記コントローラCが前記AD変換基板Aに記憶された前記各接続チャンネル信号の値をそのまま記憶したり、前記AD変換基板Aが前記コントローラCに送信する値を予め補正して記憶しておくことも可能である。

10

(H015) 本発明の実施例1の中性子入射位置演算記憶装置U2において、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のコントローラCに全64個(2枚の前記FA64モジュールで合計全128個)の前記各接続チャンネル信号の値を記憶するときに、処理の高速化のため、12ビットの値のうち下位4ビットの値を切り捨てているが、前記下位4ビットの値を切り捨てずに前記12ビットの値を全て受信することも可能である。また、前記12ビットの補正値を受信するためには、例えば、前記ADC補正係数Hおよび前記バッファBのサイズを拡張して(前記ADC補正係数Hが8ビットのままならば前記バッファBを20ビット長に拡張する。前記ADC補正係数Hを12ビットに拡張すれば、前記バッファBを24ビットに拡張する)、1ビットごとの読み出し回数を現状の8回から12回に増やし、前記バッファBの上位12ビットを保存すればよい。

20

【0208】

(H016) 本発明の実施例1の中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、前記隣接チャンネル信号伝送用クロックによって、前記隣接チャンネル信号の値を1クロックごとに1ビットずつ送信しているが、これに限定されず、例えば、1クロックごとに複数のビットを同時に送信することも可能である。また、1クロックで前記隣接チャンネル信号の値を全て送信することも可能である。

30

(H017) 本発明の実施例1の前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のコントローラCは、前記左側隣接チャンネル信号伝送用クロック42と前記右側隣接チャンネル信号伝送用クロック44が共に立上ったときのみ隣接チャンネル信号をそれぞれ1ビットずつ送信しているが、立上りの時みに限定されず、立上りおよび立下りが共に重なったときに隣接チャンネル信号を送信することも可能である。

(H018) 本発明の実施例1の中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、前記隣接チャンネル信号伝送用クロックは、前記基本クロックの4倍の周期で発振されているが、これに限定されず、3以上の整数倍で発振することも可能である。基本クロックの周期の3以上の整数倍(3倍、4倍、5倍、...)の周期で前記隣接チャンネル信号伝送用クロックを発振することにより、前記隣接チャンネル信号をより確実に送信することができる。

40

【0209】

(H019) 本発明の実施例1の中性子入射位置演算記憶装置U2の前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、前記隣接チャンネル信号伝送用クロック発振回路C16を有しているが、省略することも可能である。なお、このとき、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2は、前記隣接チャンネル信号伝送用クロックを送受信せずに、前記隣接チャンネル信号を送信する方法が必要となる。

(H020) 本発明の実施例1の中性子入射位置演算記憶装置U2は、前記左側演算記憶回路基板F1のコントローラCにおいて、前記最大チャンネルと前記4隣チャンネルとによって、前記中性子入射位置演算記憶処理を実行しているが、前記5チャンネルに限定されず、例

50

えば、最大チャンネルを中心に前後左右に隣接するチャンネルをそれぞれ2つ以上（9チャンネル、13チャンネル、...）使用して、前記中性子入射位置演算記憶処理を実行することも可能である。このとき、使用する隣接チャンネルを増やすごとに、演算速度は低下するが、演算結果の精度（位置分解能）を向上することができる。また、前記中性子入射位置演算記憶処理も重心位置の演算処理に限定されず、前記最大チャンネルとその周囲のチャンネルを使用して位置分解能を向上させる別の中性子入射位置演算記憶処理と置き換えることも可能である。

#### 【0210】

（H021）本発明の実施例1の中性子発生器U4は、パルス中性子源、中性子線源、原子炉等の中性子源を使用することができる。なお、実施例1の中性子入射位置演算記憶装置U2は、前記パルス中性子源のように異なるエネルギーを有する複数の中性子（パルス中性子）が同時発生する中性子発生器に対して最適に設計されており、前記中性子入射位置演算記憶装置U2が記憶する前記演算結果は、前記複数の中性子の飛行時間の測定にも利用できるよう設計されている。よって、前記中性子線源や原子炉のように中性子が定常発生している中性子発生器のみ想定した場合には、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2のコントローラCは、前記演算タイミングTを全く考慮せずに設計することも可能であり、メモリMやレジスタ等の使用方法も適宜変更する必要がある。

10

#### 【0211】

（H022）本発明の実施例1の中性子入射位置演算記憶装置U2は、前記中性子発生器U4から中性子発生を知らせる信号を受信しているが、これに限定されず、中性子発生器U4から前記中性子発生を知らせる信号を受信せずに動作することも可能である。例えば、中性子発生器U4が予め設定した中性子を発生する周期（例えば50ミリ秒）ごとに前記演算タイミングTをリセットすることも可能である。

20

（H023）本発明の実施例1の中性子入射位置演算記憶装置U2は、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2に前記演算結果を記憶しているが、これに限定されず、中性子入射位置の演算結果を種々の情報に変換して記憶することが可能である。また、記憶媒体も前記ラストダイノード信号発生頻度記憶用レジスタR1と、前記接続チャンネル信号発生頻度記憶用レジスタR2と、前記メモリMとに限定されず、種々の記憶媒体に記憶することが可能である。例えば、メモリの容量を128Mに倍増することも、ハードディスク等の基板外部の記憶装置を用いることも可能である。また、前記ハードディスクを使用する場合、前記左側演算記憶回路基板F1および前記右側演算記憶回路基板F2の前記演算結果を複数の前記ハードディスクにそれぞれ記憶することも可能である。また、前記演算結果を1台の前記ハードディスクに一括して記憶することも可能である。

30

#### 【0212】

（H024）本発明の実施例1の前記X軸方向座標位置 $Q_x$ （7ビット）と、前記Y軸方向座標位置 $Q_y$ （7ビット）、前記演算タイミングT（10ビット）のデータ長（合計24ビット）は変更可能である。例えば、位置分解能を重視するときは、前記X軸方向座標位置 $Q_x$ （10ビット）と、前記Y軸方向座標位置 $Q_y$ （10ビット）、前記演算タイミングT（4ビット）と割り当てるのが可能である。また、時間分析の効率を重視するときは、前記X軸方向座標位置 $Q_x$ （4ビット）と、前記Y軸方向座標位置 $Q_y$ （4ビット）、前記演算タイミングT（16ビット）とすることも可能である。また、長時間動作が必要でなければ、前記階級値（2の24乗個）および前記度数値（4バイト）の設計自体を変更して、例えば、前記階級値を64メガ種類（2の26乗種類）、前記度数値を1バイトとすることも可能である。

40

（H025）本発明の実施例1では、前記USBケーブル3によって前記中性子入射位置演算記憶装置U2と前記制御コンピュータU3とを接続しているが、これに限定されず、別の規格のケーブルと置き換えることも可能である。

#### 【産業上の利用可能性】

50

## 【0213】

現在、フラットパネル型マルチアノード光電子増倍管を用いた中性子入射位置検出装置は、医療等の各種産業分野や、高エネルギー物理学や放射線計測等の各種学術研究分野など最先端の高精度光計測を必要とする分野で広く利用されている。

## 【図面の簡単な説明】

## 【0214】

【図1】図1は本発明の実施例1の中性子入射位置検出装置の全体説明図である。

【図2】図2は2枚のFA64モジュールの接続を説明する拡大図である。

【図3】図3は実施例1の中性子入射位置検出装置のブロック線図であり、2枚のFA64モジュールの構成の説明図である。

【図4】図4はラストダイノード信号のピーク値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間を取り、縦軸に電圧値を取ったグラフであり、図4Aはラストダイノード信号のピーク値の検出結果の説明図であり、図4Bはラストダイノード信号用の第1レジスタに記録された最小値の検出結果の説明図であり、図4Cはラストダイノード信号用の第2レジスタに記録された最小値の検出結果の説明図である。

## 【0215】

【図5】図5はラストダイノード信号のピーク値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間を取り、縦軸に電圧値を取ったグラフであり、図5Aはラストダイノード信号のペDESTALの検出結果の説明図であり、図5Bはラストダイノード信号の値である最大値とペDESTALの差分値の説明図である。

【図6】図6は接続チャンネル信号の最大値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間を取り、縦軸に電圧値を取ったグラフであり、図6Aは接続チャンネル信号の説明図であり、図6Bは接続チャンネル信号の最大値の検出結果の説明図である。

【図7】図7は接続チャンネル信号の最大値およびペDESTALの検出方法の説明図として、横軸に読み出しを開始してからの時間を取り、縦軸に電圧値を取ったグラフであり、図7Aは接続チャンネル信号のペDESTALの検出結果の説明図であり、図7Bは接続チャンネル信号の値である最大値とペDESTALの差分値の説明図である。

【図8】図8はラストダイノード信号を検出した中性子入射位置演算記憶回路基板が出力するLSYNC信号と前記ラストダイノード信号との相関関係の説明図である。

【図9】図9は中性子入射位置演算記憶回路基板が接続チャンネル信号を各AD変換基板から読み出してコントローラのレジスタに記憶するときの処理の説明図である。

## 【0216】

【図10】図10は非同期で動作する左側演算記憶回路基板（互いに接続された一方の中性子入射位置演算記憶回路基板）と右側演算記憶回路基板（他方の中性子入射位置演算記憶回路基板）における基本クロックと隣接チャンネル信号伝送用クロックとの関係を示す図であり、左側演算記憶回路基板が右側演算記憶回路基板から隣接チャンネル信号を受信して記憶する処理の説明図である。

【図11】図11は中性子入射位置の演算を行うときの左側増倍管および右側増倍管の各チャンネルに対する接続チャンネル信号の値の位置関係についての説明図であり、図11Aは左側増倍管に全128チャンネルのうち、接続チャンネル信号の最大値が検出されたときの図であり、図11Bは全128チャンネルのうち、接続チャンネル信号の最大値が検出されたのが左側増倍管の外周位置にあるチャンネルであり且つ右側増倍管と接するチャンネルであったときの図であり、図11Cは全128チャンネルのうち、接続チャンネル信号の最大値が検出されたのが右側増倍管の外周位置にあるチャンネルであり且つ左側増倍管と接するチャンネルであったときの図である。

## 【0217】

【図12】図12は実施例1の中性子入射位置検出装置のブロック線図（機能ブロック図）である。

10

20

30

40

50

【図 1 3】図 1 3 は実施例 1 の FA-VME 基板のコントローラにおけるメイン処理のフローチャートである。

【図 1 4】図 1 4 は実施例 1 の FA-VME 基板のコントローラにおけるラストダイノード信号受信時の処理のフローチャートであり、図 1 3 の ST 4 のサブルーチンである。

【図 1 5】図 1 5 は実施例 1 の FA-VME 基板のコントローラにおける LSYNC 信号受信時の処理のフローチャートであり、図 1 3 の ST 6 のサブルーチンである。

【図 1 6】図 1 6 は実施例 1 の FA-VME 基板のコントローラにおける全 64 個の各接続チャンネル信号補正值記憶処理のフローチャートであり、図 1 4 の ST 16 および図 1 5 の ST 32 のサブルーチンである。

【図 1 7】図 1 7 は実施例 1 の FA-VME 基板のコントローラにおける演算タイミング設定処理のフローチャートである。 10

【0218】

【図 1 8】図 1 8 は実施例 1 の FA-VME 基板のコントローラにおける中性子入射位置演算記憶処理のフローチャートである。

【図 1 9】図 1 9 は実施例 1 の FA-VME 基板の AD 変換回路素子におけるラストダイノード信号のペDESTAL (最小値) 設定処理のフローチャートである。

【図 2 0】図 2 0 は実施例 1 の FA-VME 基板の AD 変換回路素子におけるラストダイノード信号の閾値を超える値 (ピーク値とペDESTAL との差分値) 検出処理のフローチャートである。

【図 2 1】図 2 1 は実施例 1 の FA-VME 基板の各 AD 変換基板における全 64 個の各接続チャンネル信号ごとのペDESTAL (最小値) 検出処理のフローチャートである。 20

【図 2 2】図 2 2 は実施例 1 の各 AD 変換基板における全 64 個の各接続チャンネル信号ごとの値 (最大値とペDESTAL との差分値) 設定処理のフローチャートである。

【0219】

【図 2 3】図 2 3 は従来技術 (J01) の中性子検出器のアンガーカメラ方式の説明図である。

【図 2 4】図 2 4 は従来技術 (J01) 記載の重心位置の演算処理の説明図であり、図 2 4 A は 64 channel FPM T が有する全 64 個の各チャンネルのうち最大チャンネルおよび 4 隣チャンネルの位置関係を例示する図であり、図 2 4 B は最大チャンネルと 4 隣チャンネルの接続チャンネル信号の値による最大チャンネルにおける重心位置の演算方法の説明図であり、図 2 4 C 30  
は最大チャンネルが外周位置のチャンネルであったときの最大チャンネルに隣接するチャンネルの配置状態の説明図である。

【符号の説明】

【0220】

1 ... 中性子入射面

2 ... 光電子検出領域

4 a , 4 b ... 接続チャンネル信号伝送路、ラストダイノード信号伝送路、接続チャンネル信号伝送ケーブル、ラストダイノード信号伝送ケーブル

6 ... 隣接チャンネル信号伝送路、隣接チャンネル信号送信路、隣接チャンネル信号受信路、記憶送信指示信号伝送路、記憶送信指示信号送信路、記憶送信指示信号受信路、隣接チャンネル信号伝送用クロック伝送路、隣接チャンネル信号伝送用クロック送信路、隣接チャンネル信号伝送用クロック受信路、隣接チャンネル信号伝送ケーブル、記憶送信指示信号伝送ケーブル、隣接チャンネル信号伝送用クロック伝送ケーブル 40

【0221】

3 1 ... ラストダイノード信号

3 5 ... 記憶送信指示信号

4 1 , 4 3 ... 基本クロック

4 2 , 4 4 ... 隣接チャンネル信号伝送用クロック

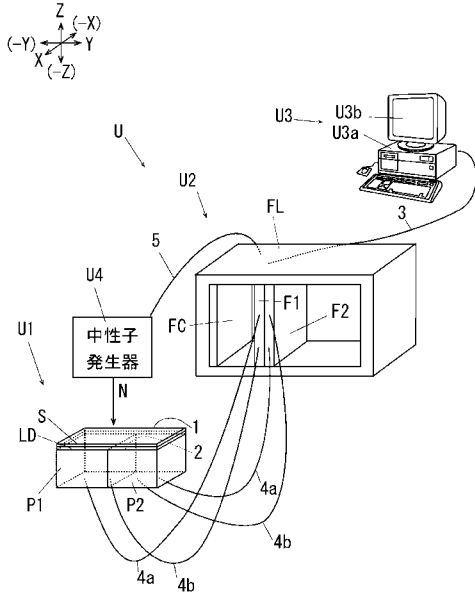
4 8 ... 同期が可能な範囲

5 1 , 6 1 , 7 1 ... 最大チャンネル 50

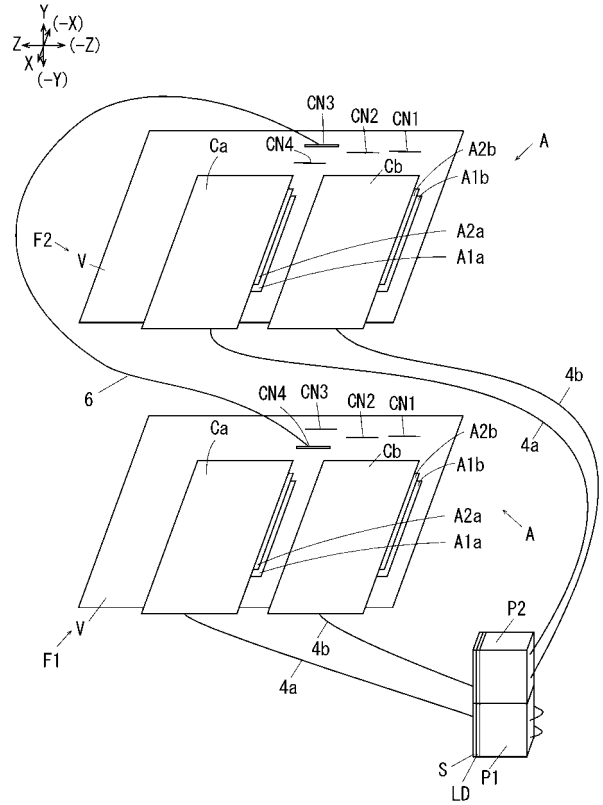


5 2 , 5 3 , 5 4 , 5 6 , 6 2 , 6 3 , 6 4 , 6 6 , 7 2 , 7 3 , 7 4 , 7 6 ... 周囲チャネル	
5 2 , 5 3 , 6 2 , 6 3 , 7 2 , 7 3 ... X 方向周囲チャネル	
5 4 , 5 6 , 6 4 , 6 6 , 7 4 , 7 6 ... Y 方向周囲チャネル	
【 0 2 2 2 】	
C 3 ... ラストダイノード信号受信記憶手段	
C 3 A ... ラストダイノード信号ピーク値検出記憶手段	
C 3 B ... ラストダイノード信号最小値検出記憶手段	
C 3 B1... 第 1 ラストダイノード信号最小値検出記憶手段	
C 3 B2... 第 2 ラストダイノード信号最小値検出記憶手段	10
C 4 ... 接続チャネル信号記憶開始手段	
C 5 ... 接続チャネル信号受信記憶手段	
C 5 A ... 接続チャネル信号最大値検出記憶手段	
C 5 B ... 接続チャネル信号最小値検出記憶手段	
C 5 B1... 第 1 接続チャネル信号最小値検出記憶手段	
C 5 B2... 第 2 接続チャネル信号最小値検出記憶手段	
C 5 C ... 接続チャネル信号補正手段	
【 0 2 2 3 】	
C 6 ... 記憶送信指示信号送信手段	
C 7 ... 記憶送信指示信号受信手段	20
C 8 ... 隣接チャネル信号伝送用クロック送信手段	
C 9 ... 隣接チャネル信号伝送用クロック受信手段	
C 1 0 ... 隣接チャネル信号送信手段	
C 1 1 ... 隣接チャネル信号受信記憶手段	
C 1 2 ... 中性子入射位置演算記憶手段	
【 0 2 2 4 】	
F 1 , F 2 ... 中性子入射位置演算記憶回路基板	
F 1 ... 一方の中性子入射位置演算記憶回路基板	
F 2 ... 他方の中性子入射位置演算記憶回路基板	
N ... 中性子	30
P 1 , P 2 ... フラットパネル型マルチアノード光電子増倍管	
P 1 ... 一方のフラットパネル型マルチアノード光電子増倍管	
P 2 ... 他方のフラットパネル型マルチアノード光電子増倍管	
P x , P y ... 重心位置信号	
P x ... X 方向重心位置信号	
P y ... Y 方向重心位置信号	
S ... 中性子シンチレータ	
S K ... 閾値	
【 0 2 2 5 】	
U ... 中性子入射位置検出装置	40
U 1 ... 中性子入射位置検出器	
U 3 ... 中性子入射位置表示装置	
U 3 a ... 表示制御装置	
U 3 b ... 表示器	
U 4 ... 中性子発生器	
【 0 2 2 6 】	
V L R1... ラストダイノード信号用第 1 記憶媒体	
V L R2... ラストダイノード信号用第 2 記憶媒体	
V R 1 ... 接続チャネル信号用第 1 記憶媒体	
V R 2 ... 接続チャネル信号用第 2 記憶媒体	50

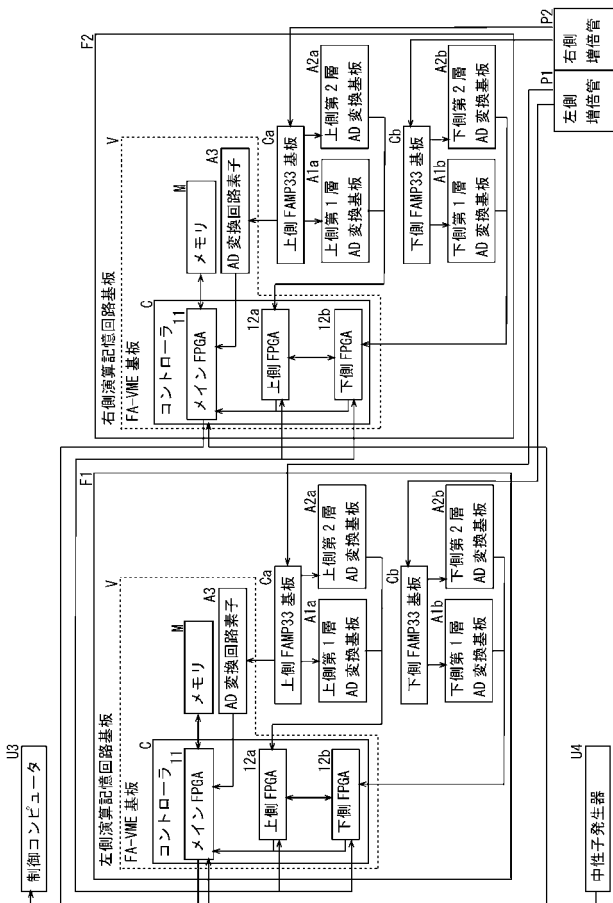
【 図 1 】



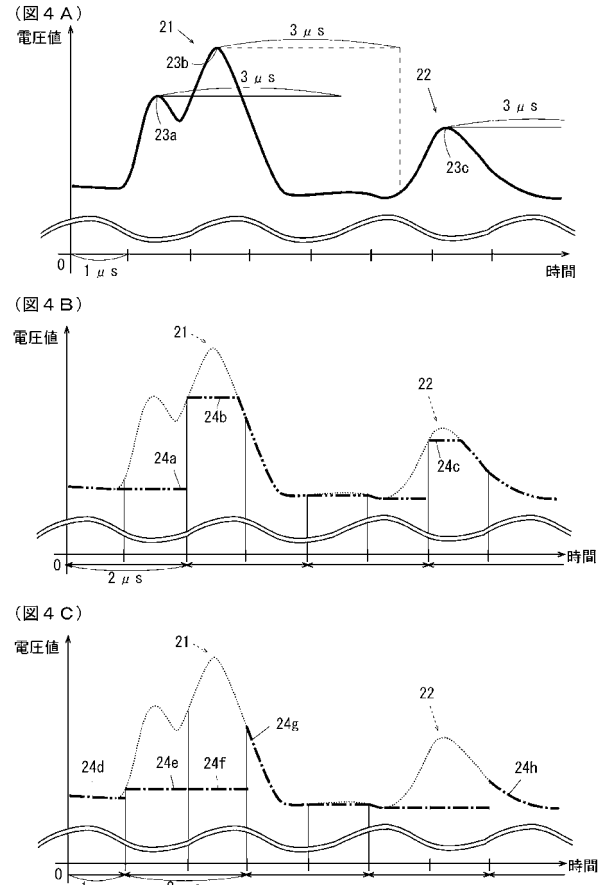
【 図 2 】



【 図 3 】

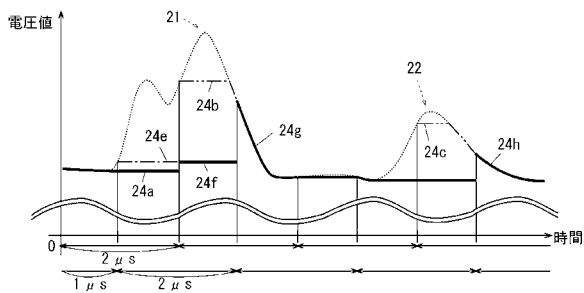


【 図 4 】

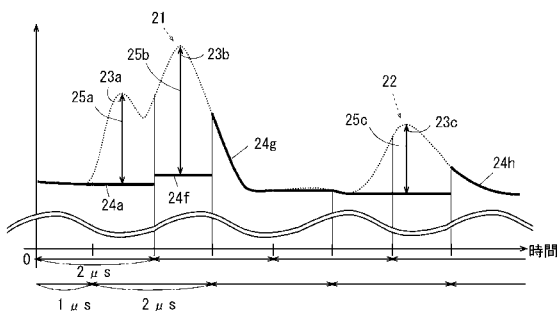


【 図 5 】

(図 5 A)

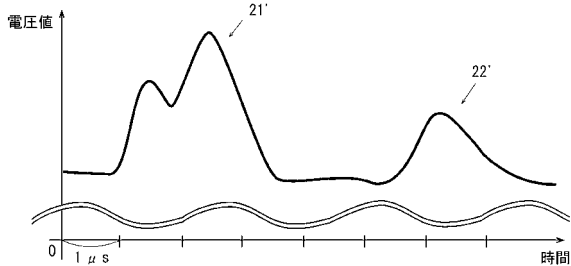


(図 5 B)

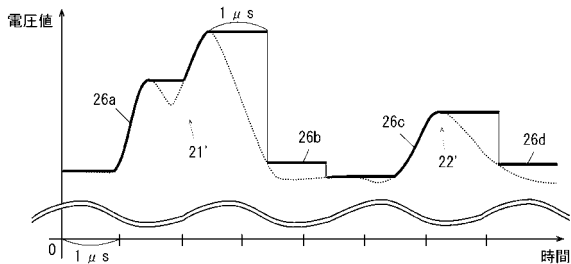


【 図 6 】

(図 6 A)

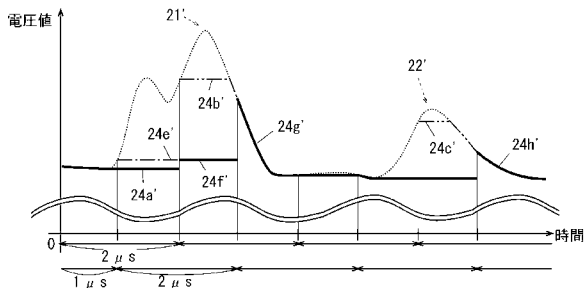


(図 6 B)

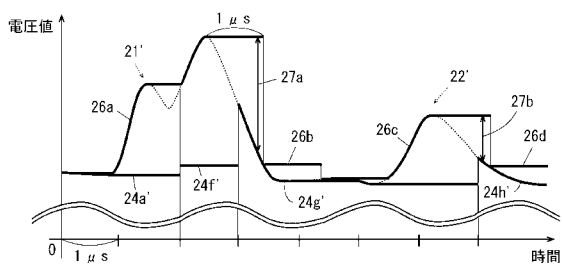


【 図 7 】

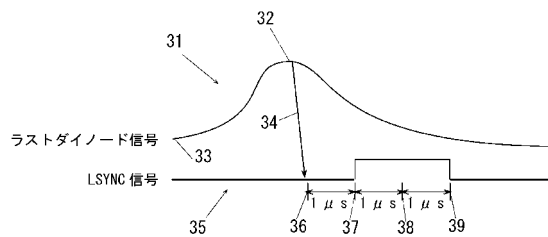
(図 7 A)



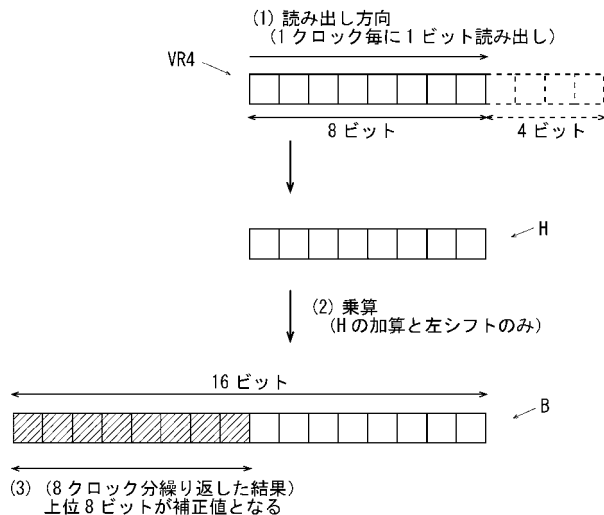
(図 7 B)



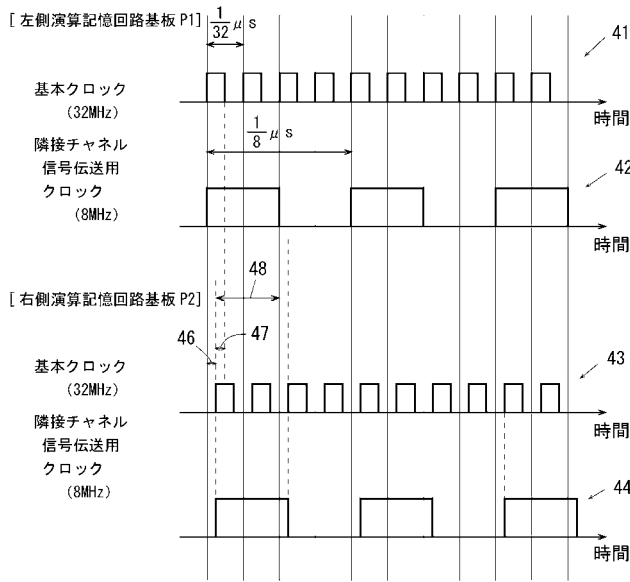
【 図 8 】



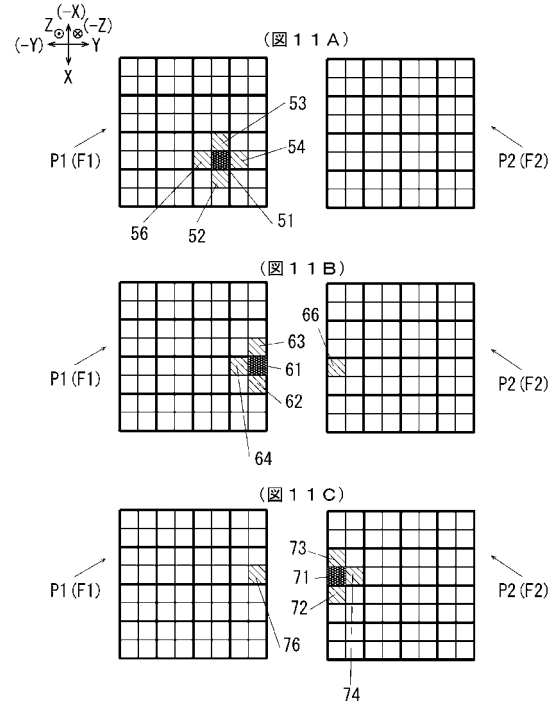
【 図 9 】



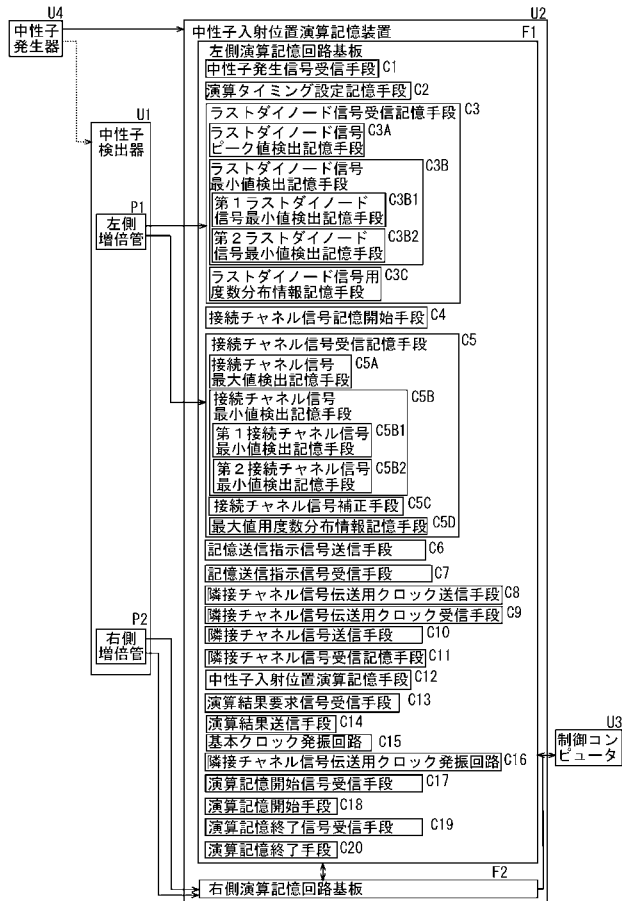
【図10】



【図11】

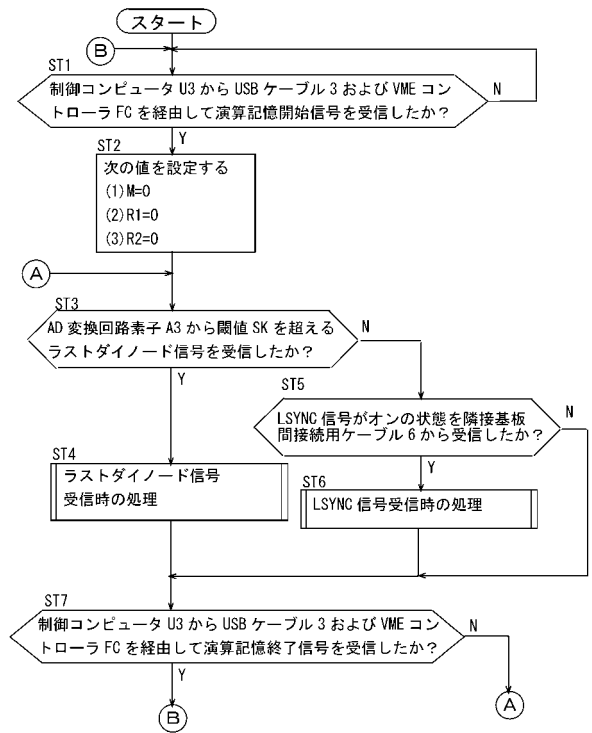


【図12】



【図13】

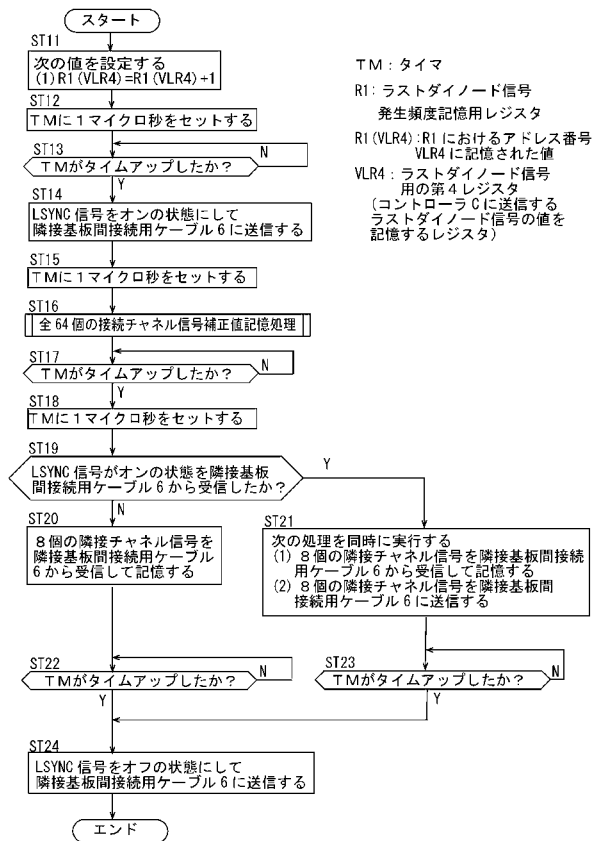
FA-VME 基板のコントローラにおけるメイン処理のフローチャート



M: メモリ (64M バイト)  
 R1: ラストダイノード信号発生頻度記憶用レジスタ  
 R2: 接続チャンネル信号発生頻度記憶用レジスタ

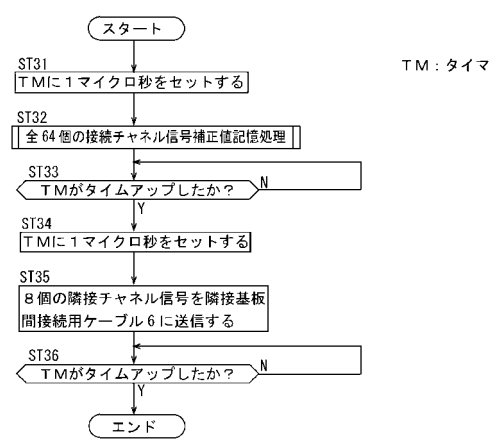
【 図 1 4 】

FA-VME 基板のコントローラにおけるラストダイノード信号受信時の処理のフローチャート (S T 4 のサブルーチン)



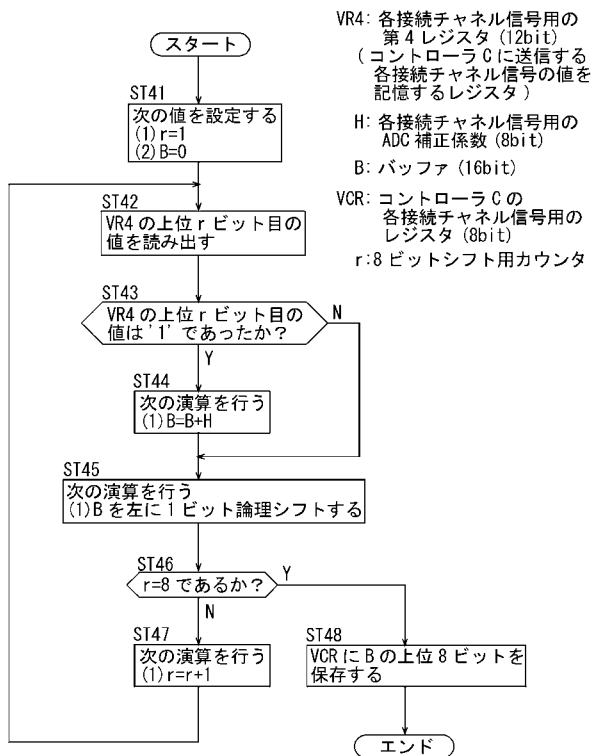
【 図 1 5 】

FA-VME 基板のコントローラにおける LSYNC 信号受信時の処理のフローチャート (S T 6 のサブルーチン)



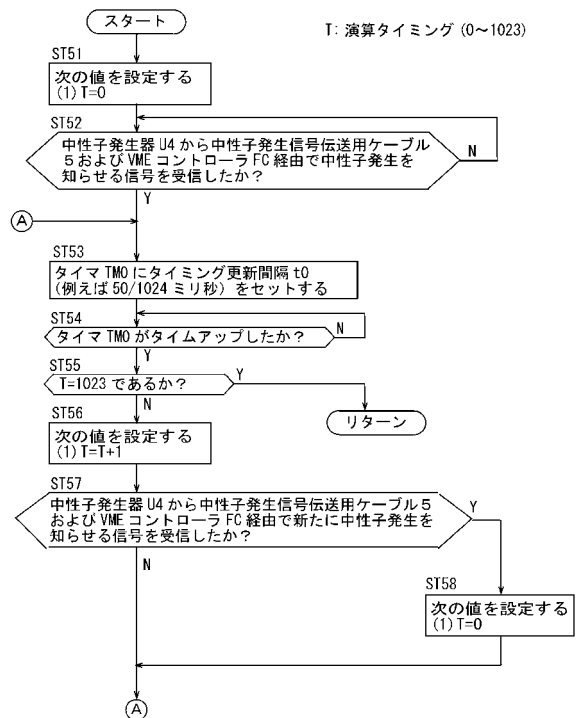
【 図 1 6 】

FA-VME 基板のコントローラにおける全64個の各接続チャンネル信号補正値記憶処理 (S T 16, S T 32 のサブルーチン)



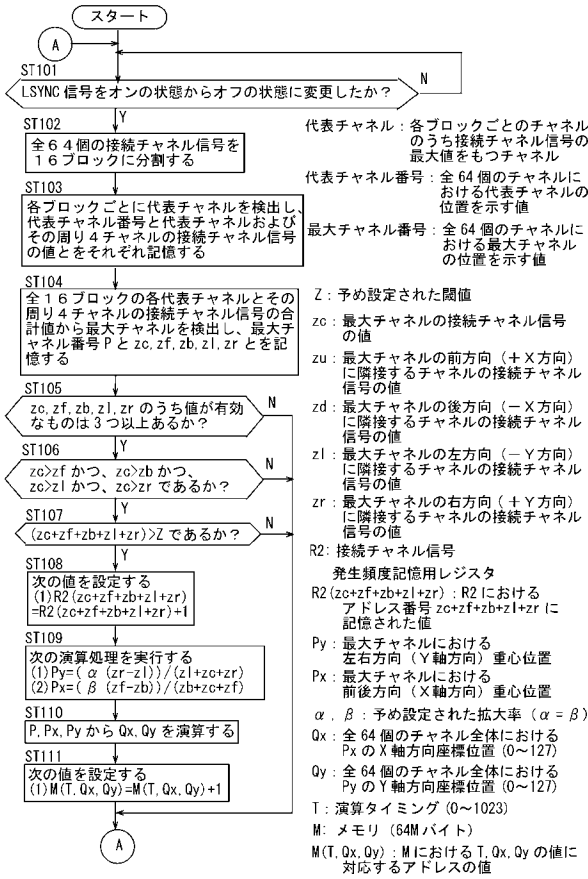
【 図 1 7 】

FA-VME 基板のコントローラにおける演算タイミング設定処理のフローチャート



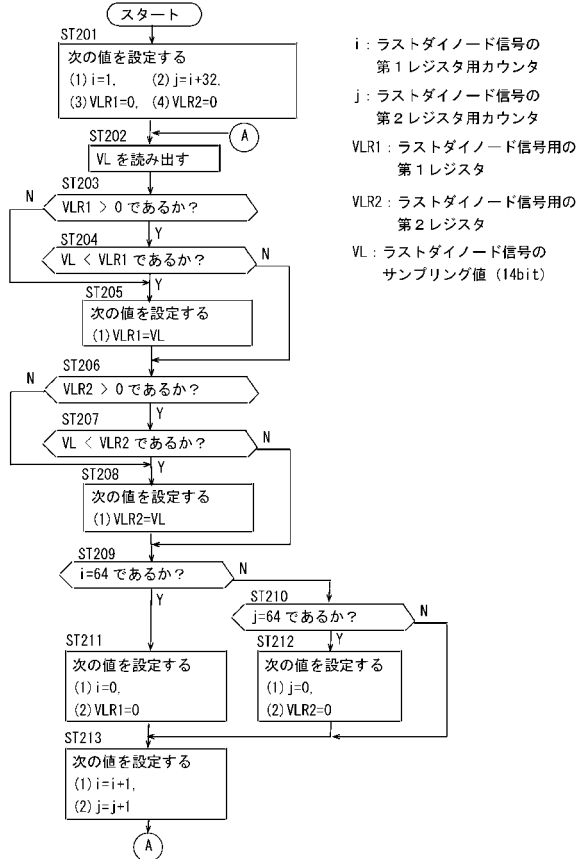
【図 18】

FA-VME 基板のコントローラにおける中性子入射位置演算記憶処理のフローチャート



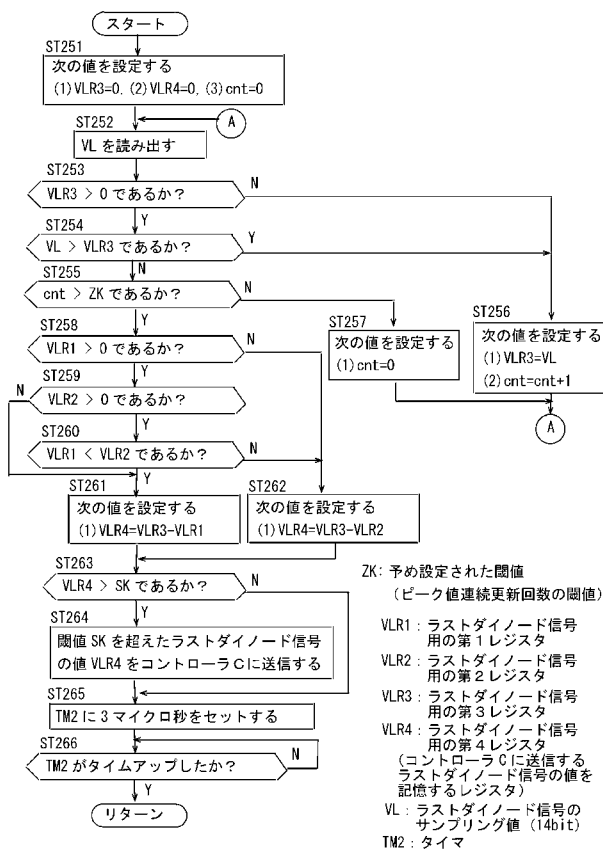
【図 19】

FA-VME 基板の AD 変換回路素子におけるラストダイノード信号のペデスタル (最小値) 設定処理のフローチャート



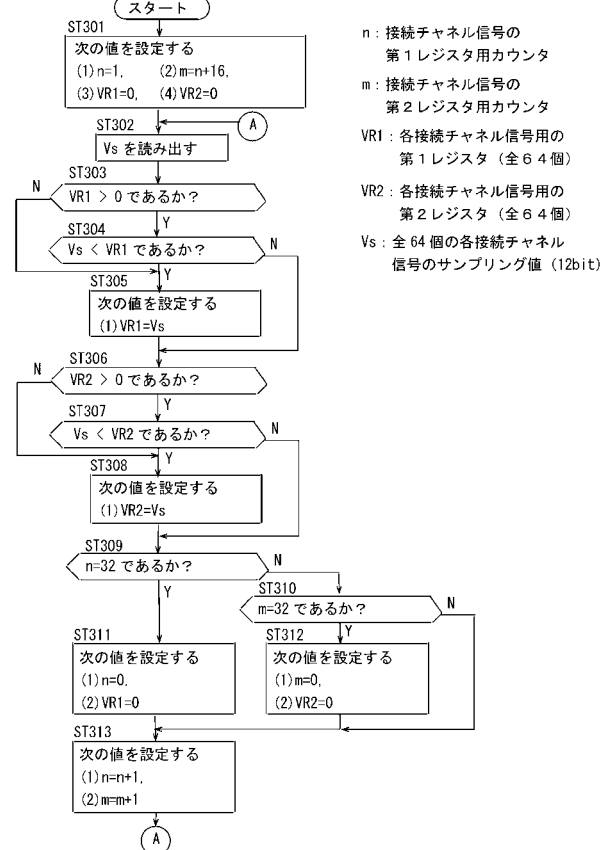
【図 20】

FA-VME 基板の AD 変換回路素子におけるラストダイノード信号の閾値を超える値 (ピーク値とペデスタルとの差分値) 検出処理のフローチャート



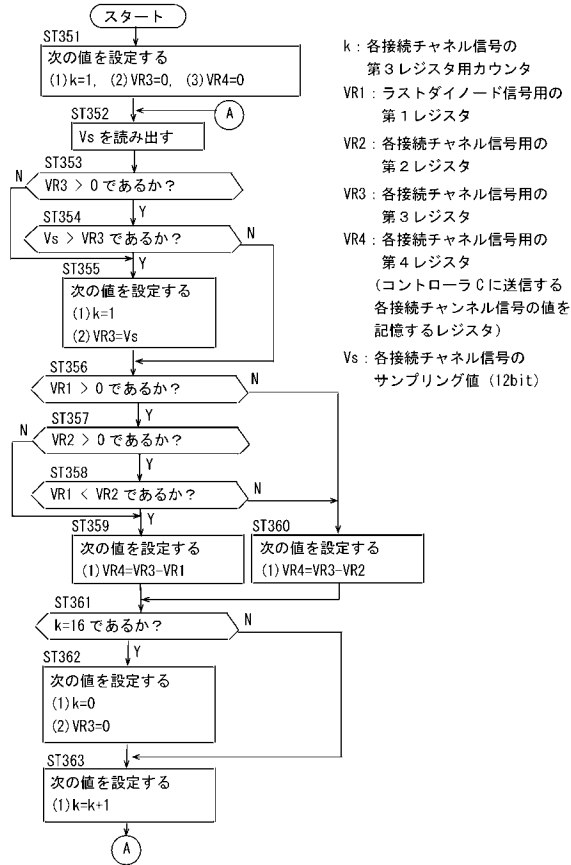
【図 21】

各 AD 変換基板における全 64 個の各接続チャンネル信号ごとのペデスタル (最小値) 設定処理のフローチャート

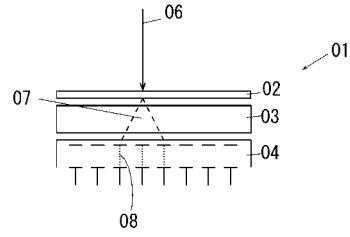


【 図 2 2 】

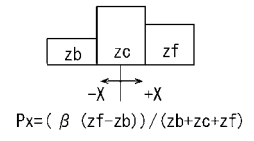
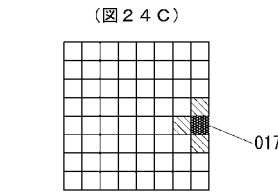
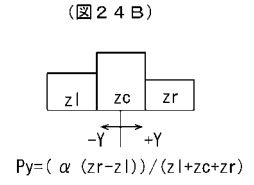
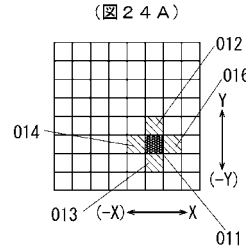
各 AD 変換基板における全 6 4 個の各接続チャンネル信号ごとの値 (最大値とベテスタルとの差分値) 設定処理のフローチャート



【 図 2 3 】



【 図 2 4 】



---

フロントページの続き

(72)発明者 清水 裕彦

茨城県つくば市大穂1 - 1 高エネルギー加速器研究機構内

Fターム(参考) 2G088 EE29 FF09 GG18 GG20 JJ05 JJ06 JJ09 JJ33 KK01 KK06  
KK07 KK24 KK29 KK32