

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-151637  
(P2008-151637A)

(43) 公開日 平成20年7月3日(2008.7.3)

(51) Int.Cl.			F I			テーマコード (参考)
<b>GO1T</b>	<b>3/00</b>	<b>(2006.01)</b>	GO1T	3/00	H	2FOO2
<b>GO4G</b>	<b>1/00</b>	<b>(2006.01)</b>	GO4G	1/00	311A	2GO88
<b>GO6F</b>	<b>11/00</b>	<b>(2006.01)</b>	GO6F	9/06	630A	5B176

審査請求 有 請求項の数 6 O L (全 15 頁)

(21) 出願番号	特願2006-339608 (P2006-339608)	(71) 出願人	504151365 大学共同利用機関法人 高エネルギー加速器研究機構 茨城県つくば市大穂1番地1
(22) 出願日	平成18年12月18日 (2006.12.18)	(74) 代理人	100138391 弁理士 天田 昌行
		(74) 代理人	100098589 弁理士 西山 善章
		(74) 代理人	100097559 弁理士 水野 浩司
		(74) 代理人	100121083 弁理士 青木 宏義
		(74) 代理人	100132067 弁理士 岡田 喜雅

最終頁に続く

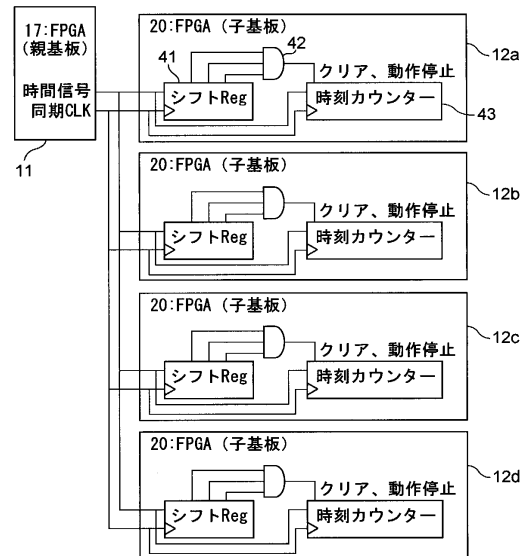
(54) 【発明の名称】 中性子計測用のデータ収集装置

(57) 【要約】

【課題】 複数の子基板で個別に測定される測定データの同期を正確で且つ容易にとることができるようにすること。

【解決手段】 親基板11と複数の子基板12a~12dとを備えた中性子計測用のデータ収集装置において、子基板12a~12dの入力端子となる子基板側ピン配列27を共通接続し、親基板11からは子基板側ピン配列27の一つに中性子飛行時間測定のための時間信号、子基板を選択する選択信号を与える。子基板12a~12dには、時間信号が第1段目に入力するシフトレジスタ41と、シフトレジスタ41の第1段目から第3段目の論理積を求めるAND回路42と、時間信号をカウントすると共にAND回路42の出力にてゼロクリアされる時刻カウンタ43とを具備する。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

親基板と複数の子基板とを備え、多数の検出器からの中性子検出信号の読み出しを前記複数の子基板で負荷分散して並列処理し、前記各子基板から前記親基板へ個別に測定データを伝送する中性子計測用のデータ収集装置において、

前記親基板から出力される1つの信号が前記各子基板へ並列に入力可能に前記親基板と前記各子基板との間が接続され、

前記親基板は、前記各子基板に中性子飛行時間測定のための時間信号を出力し、

前記各子基板は、前記親基板から供給される時間信号をそれぞれ入力し、当該時間信号に基づいて親基板側が定めた時間分類毎の時刻情報を取得する同期手段を備えたことを特徴とする中性子計測用のデータ収集装置。

10

## 【請求項 2】

前記親基板は、測定停止状態では前記時間信号をN（Nは2以上の自然数）クロック以上ハイにし、測定開始と同時に前記時間信号をローに変化させ、時間分類が変わる毎に前記時間信号を1クロック間だけハイに変化させ、

前記同期手段は、少なくともN段以上の段数を有し前記時間信号が第1段目に入力するシフトレジスタと、前記シフトレジスタの第1段目から第N段目の論理積を求めるAND回路と、前記時間信号をカウントすると共に前記AND回路の出力にてゼロクリアされる時刻カウンタとを具備することを特徴とする請求項1記載の中性子計測用のデータ収集装置。

20

## 【請求項 3】

前記各子基板は、各々読み込まれた中性子検出信号を処理して測定データを得るFPGAと、複数組のショートパターンで構成され前記FPGAの識別アドレスを示すビットパターンを発生させるID番号設定回路とを備え、

前記親基板が特定の子基板の識別アドレスを示す選択信号を前記各子基板へ出力し、前記各子基板のFPGAは入力した選択信号が示す識別アドレスから自分が選択されたか否か判断することを特徴とする請求項1又は請求項2記載の中性子計測用のデータ収集装置。

## 【請求項 4】

前記親基板は、前記各子基板に供給する時間信号を制御すると共に前記各子基板からの測定データの読み出しタイミングを制御するメインFPGAと、複数の導体ピンから構成され前記メインFPGAの所定の入出力端子を前記子基板に接続するために当該親基板に設けられた親基板側ピン配列とを備え、

30

前記各子基板は、前記親基板側ピン配列の導体ピンと対応する複数の導体ピンで構成され前記親基板側ピン配列に対して子基板間で共通接続された子基板側ピン配列をそれぞれ備え、

前記親基板が前記親基板側ピン配列の導体ピンの一つに選択信号を印加することにより、前記選択信号で選択された子基板が子基板間で共通接続されている子基板側ピン配列の一部を占有して測定データ及び時刻情報を送出することを特徴とする請求項3記載の中性子計測用のデータ収集装置。

40

## 【請求項 5】

前記親基板は、全子基板で対応可能な中性子検出信号総数に対応した数の導体ピンを有する親基板側検出器用ピン配列を備え、

前記各子基板は、前記親基板側検出器用ピン配列の各導体ピンと導通する複数の導体ピンを有する子基板側検出器用ピン配列と、前記子基板側検出器用ピン配列に対応して設けられ各子基板に取り込む中性子検出信号を選択するためのショートパターンとを具備したことを特徴とする請求項1から請求項4のいずれかに記載の中性子計測用のデータ収集装置。

## 【請求項 6】

前記親基板に設けられた前記親基板側ピン配列及び親基板側検出器用ピン配列、前記各

50

子基板に設けられた前記子基板側ピン配列及び前記子基板側検出器用ピン配列は、当該各ピン配列を介して各基板を上下に積み重ね可能であると共に積み重ねた上下の基板で同一位置の各導体ピンが導通するICソケットで構成されたことを特徴とする請求項5記載の中性子計測用のデータ収集装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の子基板において多数の検出信号の読み取りを分散して行った後、親基板が子基板から測定データを読み込む中性子計測用のデータ収集装置に関する。

【背景技術】

【0002】

現在、中性子散乱実験により物質の構造解析が行われている。中性子散乱実験では中性子計測手法の一つとして飛行時間測定法(TOF)が提案されている。飛行時間測定法では中性子の捕獲位置を正確に求めるために中性子用電荷分割型位置敏感検出器(以下、「PSD」という)が開発されている。

【0003】

図10は、1本のPSDから読み出しを行う読み出し回路の模式的なシステム構成図である。抵抗線で表されたPSD1の両端に電荷増幅器2a、2bが接続される。電荷増幅器2a、2bはPSD1の両端に現れた電荷を電圧に変換して対応した負荷分散用基板(以下、「子基板」という)3へ電圧形式の中性子検出信号を送出する。

【0004】

図示していない帯域フィルタを通して波形整形することで、中性子検出信号を時定数が0.5μsから1μs程度で2μs幅程度のパルス波形を得る。子基板3にはアナログ/デジタル変換回路(ADC)4a、4b及びFPGA5が設けられている。子基板3のADC4a、4bへ波形整形した中性子検出信号を送出する。ADC4a、4bは、サンプリング周波数が20MHzから50MHzで、ビット数が12ビットから14ビットのものを使用し、入力する中性子検出信号を12ビットから14ビットのデジタルデータ(Q1、Q2)に変換する。ADC4a、4bから出力されるデジタルデータ(Q1、Q2)をFPGA5へ入力して、Q1とQ2のピーク値を検出する。

【0005】

子基板のFPGA5は、親基板側のメインFPGA8からのポーリングでFPGA5で検出した測定データを親基板7のメインFPGA8へ伝送する。メインFPGA8において $x/L = a * Q2 / (Q1 + b * Q2) - c$ の計算を行い、中性子の捕獲位置を求める。なお、「a」は倍率、「b」は比率、「c」はオフセットである。中性子の捕獲位置データをヒストグラム作成回路9に入力してヒストグラムを作成し、制御用コンピュータ10から要求があればヒストグラムを転送する。

【0006】

実際の中性子散乱実験では、多数のPSDを二次元状に配置して、各PSDの読み出しを同時並列的に行う必要がある。このために、1枚の子基板3で処理するPSD1の本数を2本程度に制限し、複数の子基板3で負荷分散することで、処理速度を低下させることなくFPGA5に要求される能力を低く抑え、コストを抑制するようにしている。

【0007】

ところで、中性子計測における飛行時間測定法では、中性子が発生した瞬間からの正確な経過時刻が重要である。一方、多数のPSDを設置することでその読出し回路の高密度化が要求され、上記したように複数の子基板への負荷分散が必要になっている。

【特許文献1】特開昭62-14272号公報

【特許文献2】特開2003-58386号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

20

30

40

50

ところが、多数の検出信号の読み取りを複数の子基板で負荷分散するシステム構成の場合、全ての子基板の同期をとり、かつ協調した動作をとらせることは現実的には困難であり、システムの複雑化及び高コスト化を招く問題がある。

【0009】

本発明は、以上のような実情に鑑みてなされたものであり、多数の中性子検出信号の読み取りを複数の子基板で負荷分散することで、子基板のFPGAに要求される機能を抑えることができると共に、複数の子基板で個別に測定される測定データの同期を正確で且つ容易にとることができる中性子計測用のデータ収集装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の中性子計測用のデータ収集装置は、親基板と複数の子基板とを備え、多数の検出器からの中性子検出信号の読み出しを前記複数の子基板で負荷分散して並列処理し、前記各子基板から前記親基板へ個別に測定データを伝送する中性子計測用のデータ収集装置において、前記親基板から出力される1つの信号が前記各子基板へ並列に入力可能に前記親基板と前記各子基板との間が接続され、前記親基板は、前記各子基板に中性子飛行時間測定のための時間信号を出力し、前記各子基板は、前記親基板から供給される時間信号をそれぞれ入力し、当該時間信号に基づいて親基板側が定めた時間分類毎の時刻情報を取得する同期手段を備えたことを特徴とする。

【0011】

このように構成された中性子計測用のデータ収集装置によれば、親基板から子基板へ中性子飛行時間測定のための時間信号を出力し、前記各子基板が親基板から供給される時間信号を並列に入力し、当該時間信号に基づいて親基板側が定めた時間分類毎の時刻情報を取得するので、各子基板は簡単な構成で正確な時刻を取得することができ、全ての子基板の測定データを容易に同期させることができる。

【0012】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板は、測定停止状態では前記時間信号をN(Nは2以上の自然数)クロック以上ハイにし、測定開始と同時に前記時間信号をローに変化させ、時間分類が変わる毎に前記時間信号を1クロック間だけハイに変化させ、前記同期手段は、少なくともN段以上の段数を有し前記時間信号が第1段目に入力するシフトレジスタと、前記シフトレジスタの第1段目から第N段目の論理積を求めるAND回路と、前記時間信号をカウントすると共に前記AND回路の出力にてゼロクリアされる時刻カウンタとを具備することを特徴とする。

【0013】

このように構成された中性子計測用のデータ収集装置によれば、親基板から子基板に供給される時間信号は、測定停止状態ではNクロック以上ハイとなり、測定開始と同時にローに変化し、時間分類が変わる毎に1クロック間だけハイに変化する。子基板側では、時刻カウンタにおいて時間分類が変わる毎にカウントアップして時間分類に応じた時刻情報が取得される。一方、シフトレジスタ及びAND回路の組み合わせで測定停止が検出され、測定停止検出時には時刻カウンタがゼロクリアされる。このようにシフトレジスタ、AND回路及びカウンタの組み合わせで簡単に同期手段を構成することができる。

【0014】

また本発明は、上記中性子計測用のデータ収集装置において、前記各子基板は、各々読み込まれた中性子検出信号を処理して測定データを得るFPGAと、複数組のショートパターンで構成され前記FPGAの識別アドレスを示すビットパターンを発生させるID番号設定回路とを備え、前記親基板が特定の子基板の識別アドレスを示す選択信号を前記各子基板へ出力し、前記各子基板のFPGAは入力した選択信号が示す識別アドレスから自分が選択されたか否か判断することを特徴とする。

【0015】

このように構成された中性子計測用のデータ収集装置によれば、各子基板に当該子基板の識別アドレスを示すビットパターンを発生させるID番号設定回路を設けたので、複数

10

20

30

40

50

組のショートパターンといった簡単な構成で各子基板の F P G A に自分の識別アドレスを認識させることができる。

【 0 0 1 6 】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板は、前記各子基板に供給する時間信号を制御すると共に前記各子基板からの測定データの読み出しタイミングを制御するメイン F P G A と、複数の導体ピンから構成され前記メイン F P G A の所定の入出力端子を前記子基板に接続するために当該親基板に設けられた親基板側ピン配列とを備え、前記各子基板は、前記親基板側ピン配列の導体ピンと対応する複数の導体ピンで構成され前記親基板側ピン配列に対して子基板間で共通接続された子基板側ピン配列をそれぞれ備え、前記親基板が前記親基板側ピン配列の導体ピンの一つに選択信号を印加することにより、前記選択信号で選択された子基板が子基板間で共通接続されている子基板側ピン配列の一部を占有して測定データ及び時刻情報を送出することを特徴とする。

10

【 0 0 1 7 】

このように構成された中性子計測用のデータ収集装置によれば、前記親基板が前記親基板側ピン配列の導体ピンの一つに選択信号を印加することにより、該当する子基板が共通接続されている子基板側ピン配列の一部を占有して測定データ及び時刻情報を送出することができ、1信号(選択信号)を用いるだけで子基板間で同期した測定データ及び時刻情報を親基板に収集することができる。

【 0 0 1 8 】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板は、全子基板で対応可能な中性子検出信号総数に対応した数の導体ピンを有する親基板側検出器用ピン配列を備え、前記各子基板は、前記親基板側検出器用ピン配列の各導体ピンと導通する複数の導体ピンを有する子基板側検出器用ピン配列と、前記子基板側検出器用ピン配列に対応して設けられ各子基板に取り込む中性子検出信号を選択するためのショートパターンとを具備したことを特徴とする。

20

【 0 0 1 9 】

このように構成された中性子計測用のデータ収集装置によれば、中性子検出信号総数である全入力を検出器用ピン配列に配置でき、各子基板に取り込む中性子検出信号はショートパターンのショート状態で選択することができ、全ての子基板を同一構成とすることができ、コスト削減を図ることができる。

30

【 0 0 2 0 】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板に設けられた前記親基板側ピン配列及び親基板側検出器用ピン配列、前記各子基板に設けられた前記子基板側ピン配列及び前記子基板側検出器用ピン配列は、当該各ピン配列を介して各基板を上下に積み重ね可能であると共に積み重ねた上下の基板で同一位置の各導体ピンが導通する I C ソケットで構成されたことを特徴とする。

【 0 0 2 1 】

このように構成された中性子計測用のデータ収集装置によれば、同一構成の子基板を各ピン配列を介して親基板の上に積み重ねて集積化することが可能である。

【 発明の効果 】

40

【 0 0 2 2 】

本発明によれば、多数の中性子検出信号の読み取りを複数の子基板で負荷分散することで、子基板の F P G A に要求される機能を抑えることができると共に、複数の子基板で個別に測定される測定データの同期を正確で且つ容易にとることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下、本発明の一実施の形態について図面を参照しながら具体的に説明する。

図 1 は本発明を適用した一実施の形態に係る中性子計測用のデータ収集装置における基板部分の分解斜視図であり、図 2 は当該基板部分の平面図である。親基板 1 1 の基板面における右側約半分の領域に、4枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d が 2 枚ずつ並

50

べて上下に積み上げて配置されている。すなわち、親基板 1 1 上面の子基板設置領域（右側半分）には、2 枚の子基板 1 2 c、1 2 d が後述する検出器用ピン配列を同方向に向けて並列に配置され、その一方の子基板 1 2 c の上面に子基板 1 2 a が同じく検出器用ピン配列を同方向に向けて配置され、他方の子基板 1 2 d の上面に子基板 1 2 b が同じく検出器用ピン配列を同方向に向けて配置されている。

#### 【0024】

親基板 1 1 の子基板設置領域における一辺には左右一对のコネクタ部品 1 3 a、1 3 b が設けられている。各コネクタ部品 1 3 a、1 3 b は、8 本の P S D の左右の信号の読み出しを行うように構成されており、それぞれ 1 6 本のピン端子を備えているものとする。コネクタ部品 1 3 a、1 3 b には各 P S D に接続された信号ケーブルが並列に接続される。すなわち、2 次元状に設置された 8 本の P S D の両端からの全中性子検出信号が 2 つのコネクタ部品 1 3 a、1 3 b に振り分けられて入力されるように構成されている。

10

#### 【0025】

親基板 1 1 には、コネクタ部品 1 3 a、1 3 b に対応してそれぞれ 1 6 本の導体ピンからなる検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 が形成されている。検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 は導体ピン毎に独立した又は一列に一体化した構造の I C ソケットで構成されている。I C ソケットの構造は後述する。検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 は、子基板 1 2 c、1 2 d の周縁部であって子基板側の検出器用ピン配列位置と対向する位置に形成されている。

20

#### 【0026】

また親基板 1 1 には、子基板設置領域において子基板 1 2 c、1 2 d の一方の長辺の周縁部とそれぞれ対向する各位置に複数の導体ピンからなる親基板側ピン配列 1 5 a、1 5 b が設けられている。親基板側ピン配列 1 5 a、1 5 b は導体ピン毎に独立した又は一列に一体化した構造の I C ソケットで構成されている。I C ソケットの構造は後述する。

#### 【0027】

さらに、親基板 1 1 には、子基板設置領域において子基板 1 2 c、1 2 d の他方の長辺の周縁部とそれぞれ対向する各位置に電源供給用（接地用を含む）I C ソケット 1 6 a、1 6 b が設置されている。本実施の形態では、電源供給用 I C ソケット 1 6 a、1 6 b は検出器用ピン配列等の I C ソケットと同一構造であるが、積み重ねられる複数の子基板に電源供給ライン及びアースラインを共通接続できる構成であれば、特に限定されるものではない。

30

#### 【0028】

図 3 はコネクタ部品 1 3 a、1 3 b の導体ピンと検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 の導体ピンとの配線の拡大図である。コネクタ部品 1 3 a、1 3 b は 8 本の P S D の両端の信号をそれぞれ受けている。一方のコネクタ部品 1 3 a は 8 本の P S D の左側の信号を差動信号で受け、また他方のコネクタ部品 1 3 b は 8 本の P S D の右側の信号を差動信号で受けている。そのため、コネクタ部品 1 3 a、1 3 b の導体ピン数はそれぞれの 1 6 本になり、総数で 3 2 本になる。差動信号としたのは、ノイズの影響を小さくするためである。コネクタ部品 1 3 a、1 3 b を検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 につなぐ際に、各 P S D の左右の信号が対になるように配線している。検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 に、それぞれ 2 本分の左右のデータが対で配置されており、したがって、4 枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d を検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 のどれかに対応させれば良いことになる。また、親基板側ピン配列 1 5 a、1 5 b は、当該ピン配列を構成する個々の導体ピンが、親基板 1 1 に形成した配線パターンを経由して、親基板 1 1 に設置したメイン F P G A 1 7 の所定の入出力端子に並列に導通している。

40

#### 【0029】

また、親基板 1 1 の奥側の一辺であってメイン F P G A 1 7 に近い領域に親基板 1 1 外

50

の制御用コンピュータ及びその他の周辺機器に接続するための周辺機器用コネクタ 18 が設けられている。

【0030】

図4は1枚の子基板12cの平面図である。子基板12cは親基板11に重ねて設置される1段目の一方の子基板である。子基板12cは全体が長方形をなしており、親基板側のメインFPGA17に対してスレーブ側となるスレーブFPGA20が実装されている。子基板12cの一方の短辺側の周縁部21には複数の貫通孔が一行に形成されており、当該貫通孔に左右一対の検出器用ピン配列22a、22bが挿入されている。子基板12cの周縁部21に一行に形成された貫通孔形成領域が、上記親基板側の検出器用ピン配列14a-1、14a-2に対向している。

10

【0031】

子基板12cの一方の長辺側の周縁部26には複数の貫通孔が一行に形成されており、その貫通孔に子基板側ピン配列27が設置されている。子基板側ピン配列27は、親基板11側に設けた親基板側ピン配列15aと対向する位置に設けられている。子基板側ピン配列27と親基板側ピン配列15aとは導体ピンが一対一で対応している。基板を積み重ねた際には後述する構造にて親基板側ピン配列15aと子基板側ピン配列27とが一対一で導通した状態となる。

【0032】

子基板12cの他方の長辺の周縁部28には複数の貫通孔が一行に形成されていて、その貫通孔に電源供給用ICソケット29が挿入されている。上記ピン配列同様に、基板を積み重ねた際には電源供給用ICソケット16a、16bと子基板側の電源供給用ICソケット29とが対向する。

20

【0033】

ここで、ICソケットで構成されたピン配列の構造について説明する。図5(a)に示すように、上下に積み重ねられる基板同士は、互いに対向するピン配列を介して連結され導通されるように構成されている。図5(b)は複数の導通ピンが一行に一体化されたICソケットで構成されたピン配列の構造を示す一部断面図である。同図に示すように、樹脂部31がソケット本体を構成している。樹脂部31の上面に頭部連結孔32が形成され、樹脂部31の上面から下面に掛けて頭部連結孔32に金属内壁33が形成されている。本例では検出器用ピン配列22a、22bに限らず他のICソケットも同様の構造をなしているものとする。そして、金属内壁33の下端部から下方に延出した金属導体からなる足部34が形成されている。足部34は他のICソケットの頭部連結孔32に挿入可能な形状及び寸法をなしている。

30

【0034】

したがって、図5(a)に示すように、親基板11の上に子基板12cを積み重ねて親基板側の検出器用ピン配列14a-1、14a-2の各頭部連結孔32に対して、子基板12cの検出器用ピン配列22a、22bの足部34を挿入して連結する。同時に、親基板側ピン配列15aの各頭部連結孔32に対して、子基板側ピン配列27の足部34を挿入して連結する。さらに、親基板11側の電源供給用ICソケット16aに子基板12c側の電源供給用ICソケット29を連結する。

40

【0035】

このように、一段目の子基板12cは、検出器用ピン配列22a、22b、子基板側ピン配列27及び電源供給用ICソケット29が、親基板11側の検出器用ピン配列14a-1、14a-2、親基板側ピン配列15a及び電源供給用ICソケット16aに一対一で連結され導通することになる。一段目のもう一つの子基板12dも同様にして、親基板11に重ね合わされて導通ピン同士が連結される。

【0036】

さらに、1段目の子基板12c、12dの上に2段目の子基板12a、12bが上記同様にして重ね合わされる。すなわち、1段目子基板12c、12dの検出器用ピン配列22a、22b及び子基板側ピン配列27の各頭部連結孔32に対して、2段目子基板12

50

a、12bの検出器用ピン配列22a、22b及び子基板側ピン配列27の各足部34を挿入して連結する。また、1段目の子基板12c、12dの電源供給用ICソケット29と2段目子基板12a、12bの電源供給用ICソケット29とを連結する。

【0037】

以上のようにして、本実施の形態は、親基板11側の検出器用ピン配列14a-1、14a-2、14b-1、14b-2に対して、子基板12a~12d側の検出器用ピン配列22a、22bを導通ピン単位で共通接続でき、全ての子基板12a~12dの検出器用ピン配列22a、22bに対して全検出信号入力を配置することができる。また、親基板側ピン配列15a、15bに対して、全ての子基板12a~12dの子基板側ピン配列27を導通ピン単位で共通接続でき、親基板11から親基板側ピン配列15a、15bの1つの導通ピンに対して1つの信号を送れば、全ての子基板12a~12dに対して並列に信号を送信したことになる。

10

【0038】

また、図4に示すように、子基板における検出器用ピン配列22a、22bにはショートパターン23a、23bが設置されている。ショートパターン23a、23bは、各々対応する導体ピンに導通した入側パターン24と、各々対応する入側パターン24から僅かに離間した出側パターン25とからそれぞれ構成されている。一对の入側パターン24と出側パターン25とは、初期状態では非導通とされている。入側パターン24と出側パターン25とをショートさせた導体ピンから検出信号が取り込まれるように構成している。すなわち、ショートさせるショートパターン23a、23bを選択することで、各子基板12a~12dへ入力する信号を個別に選択することができる。

20

【0039】

本実施の形態では、1枚の子基板で16個の導体ピンを有し、差動信号で受信するので、4本分のPSDの検出信号を取り込み可能に構成されている。その中から2本分のPSDの検出信号を8個の導体ピンから取り込むようにしている。したがって、一方の検出器用ピン配列22a又は22bから8個の導体ピンを選択して、選択した8個の導体ピンについて入側パターン24と出側パターン25とをショートさせる。

【0040】

図6は、子基板12cの概略的な配線パターンを示す図である。一枚の子基板12cには、4つの増幅器35a、35b、35c、35dが並列に実装されている。検出器用ピン配列22a、22bの各導体ピンは、ショートパターン23a、23bを介して各増幅器35a、35b、35c、35dに配線パターンで接続されている。また、子基板12aには、4つのADC36a、36b、36c、36dが並列に実装されている。各ADC36a、36b、36c、36dは、各々対応する増幅器35a、35b、35c、35dの出力端が接続されている。ADC36a、36b、36c、36dはスレーブFPGA20の信号入力端に接続されている。

30

【0041】

本実施の形態では、4枚の子基板12a、12b、12c、12dは全て同一構成をしており、ショートパターン23a、23bのショート位置を選択することで、異なるPSDの検出信号を取り込むことができる。なお、4枚の子基板12a、12b、12c、12dの各部の構成要素に対しては同一符号を用いて説明する。

40

【0042】

また、スレーブFPGA20に隣接してID番号設定回路37が設けられている。ID番号設定回路37は、簡単な二対のショートパターンで構成されている。2つのショートパターンのショート有無の組み合わせによって2ビットのID番号を設定可能である。例えば、ショートパターンをショートさせれば“0”、ショートさせずにバイアス電位のままとすれば“1”とする。そして、ID番号設定回路37が“00”であればアドレス=0、“01”であればアドレス=1、“10”であればアドレス=2、“11”であればアドレス=3とする。ショートパターン37がスレーブFPGA20に接続されていて、2ビットのID番号を認識させるように構成されている。本実施の形態では、4枚の子基

50



板 1 2 a、1 2 b、1 2 c、1 2 d にそれぞれ固有の I D 番号を設定して識別可能にしている。

【 0 0 4 3 】

スレーブ F P G A 2 0 の所定の入出力端子は子基板側ピン配列 2 7 の各々対応する導体ピンに配線パターンを経由して接続されている。スレーブ F P G A 2 0 とメイン F P G A 1 7 との間の信号のやり取りは子基板側ピン配列 2 7 及び親基板側ピン配列 1 5 a ( 1 5 b ) を介して行われる。

【 0 0 4 4 】

ここで、片側に積み重ねられる 2 枚の子基板 1 2 a、1 2 c は親基板 1 1 側の同一の親基板側ピン配列 1 5 a に接続され、他方の片側に積み重ねられる 2 枚の子基板 1 2 b、1 2 d は親基板 1 1 側の同一の親基板側ピン配列 1 5 b に接続される。さらに、親基板 1 1 側の親基板側ピン配列 1 5 a、1 5 b にはメイン F P G A 1 7 から同一信号が配線パターンを経由して並列に印加される。したがって、メイン F P G A 1 7 から親基板側ピン配列 1 5 a、1 5 b に出力される信号は、同時に 4 枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d の各子基板側ピン配列 2 7 へ共通に与えられることになる。

10

【 0 0 4 5 】

次に、以上のように構成された本実施の形態の動作について説明する。

本例では、1 枚の子基板で 2 本の P S D の読み取りを行うものとする。そのため、個々の子基板 1 2 a、1 2 b、1 2 c、1 2 d についてショートパターン 2 3 a、2 3 b の中から各々対応する P S D から検出信号が入力する導体ピンの入側パターン 2 4 と出側パターン 2 5 とをショートさせる。

20

【 0 0 4 6 】

これにより、全ての P S D の両端部に現れた電荷がパルス波形の検出信号に変換されてからコネクタ部品 1 3 a、1 3 b の各端子に左右 8 本分ずつ別々に入力され、コネクタ部品 1 3 a、1 3 b に入力する全入力信号が 4 枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d の各検出器用ピン配列 2 2 a、2 2 b へ 2 枚ずつ共通に与えられる。そして、子基板 1 2 a、1 2 b、1 2 c、1 2 d においてショートパターン 2 3 a、2 3 b で選択された P S D の検出信号だけが子基板 1 2 a、1 2 b、1 2 c、1 2 d に取り込まれる。

【 0 0 4 7 】

各子基板 1 2 a、1 2 b、1 2 c、1 2 d では検出器用ピン配列 2 2 a、2 2 b からショートパターン 2 3 a、2 3 b を介して取り込まれた 2 つの検出信号 ( Q 1、Q 2 ) が対応する 2 つの増幅器 ( 3 5 a ~ 3 5 d の中の 2 つ ) で増幅された後、2 つの対応する A D C ( 3 6 a ~ 3 6 d の中の 2 つ ) でデジタルデータに変換される。各検出信号のパルス波形を 1 6 ビットで量子化してスレーブ F P G A 2 0 へ出力する。

30

【 0 0 4 8 】

スレーブ F P G A 2 0 では、2 つの A D C ( 3 6 a ~ 3 6 d の中の 2 つ ) から入力するデジタルデータをピークスキャンして、2 つの検出信号 Q 1 と Q 2 のピーク値を検出する。

【 0 0 4 9 】

全ての子基板 1 2 a、1 2 b、1 2 c、1 2 d において同様にして各々割り付けられた P S D の検出信号の読み取りが行われ、Q 1 と Q 2 のピーク値を検出する。

40

【 0 0 5 0 】

このようにして子基板 1 2 a、1 2 b、1 2 c、1 2 d においてスレーブ F P G A 2 0 で検出された測定データは、後述する同期方法にしたがって時刻情報と共に読み出されて親基板 1 1 のメイン F P G A 1 7 に取り込まれる。

【 0 0 5 1 】

図 7 は、本実施の形態における親基板 ( メイン F P G A 1 7 ) と複数の子基板 ( スレーブ F P G A 2 0 ) の同期方法を説明するための説明図である。スレーブ F P G A 2 0 は、シフトレジスタ 4 1、A N D 回路 4 2 及び時刻カウンタ 4 3 を備えている。

【 0 0 5 2 】

50

各子基板 1 2 a、1 2 b、1 2 c、1 2 d における子基板側ピン配列 2 7 の所定の導体ピンにはメイン F P G A 1 7 から同期クロックが共通に供給され、他の所定の導体ピンには時間信号が共通に供給される。図 8 に示すように、時間信号が 3 クロック以上ハイならば測定停止状態とし、時間信号がローになったら測定開始とする。また、時間信号は時間分類が変わるごとに 1 クロックだけにハイにする。

【 0 0 5 3 】

メイン F P G A 1 7 は、測定停止時は時間信号を少なくとも 2 クロック以上（本実施の形態では 3 クロック）ハイにする。スレーブ F P G A 2 0 では、時間信号がシフトレジスタ 4 1 の初段に入力され同期クロックに同期して順次シフトされる。時間信号が 3 クロック連続してハイであると、AND 回路 4 2 からクリア信号が生成されて時刻カウンタ 4 3 のクリア端子に印加される。これにより時刻カウンタ 4 3 がゼロクリアされる。

10

【 0 0 5 4 】

メイン F P G A 1 7 は、時間信号をローにして測定開始を指示する。そして、測定開始から所定クロック経過したところで、時間信号を 1 クロックだけにハイにする。時刻カウンタ 4 3 は、時間分類の変化を示す当該 1 クロック（ハイ）をカウントする。時間分類が変化してから所定クロック経過したところで、時間信号を 1 クロックだけにハイにする。これにより時刻カウンタ 4 3 は、時刻カウント値を 1 つインクリメントする。このように時間分類が変化する度に時刻カウント値を 1 つインクリメントする動作を繰り返す。したがって、時刻カウンタ 4 3 には、測定開始からその時々々の時間分類を示す時刻カウント値が保持される。

20

【 0 0 5 5 】

メイン F P G A 1 7 は、個々の時間分類において各子基板 1 2 a、1 2 b、1 2 c、1 2 d のスレーブ F P G A 2 0 から Q 1 と Q 2 のピーク値を時刻カウント値（時刻情報）と共に読み出す。

【 0 0 5 6 】

図 9 は親基板 1 1 から子基板 1 2 a、1 2 b、1 2 c、1 2 d を選択するための選択方法を説明する説明図である。

【 0 0 5 7 】

各子基板 1 2 a、1 2 b、1 2 c、1 2 d のスレーブ F P G A 2 0 は、各々付設の I D 番号設定回路 3 7 から I D 番号（アドレス）が与えられており、自分のアドレスを認識しているものとする。

30

【 0 0 5 8 】

メイン F P G A 1 7 は、子基板から測定データ及び時刻情報を読み出す場合、各子基板 1 2 a、1 2 b、1 2 c、1 2 d における子基板側ピン配列 2 7 の所定の導体ピンにアドレスを特定した選択信号を与える。各子基板 1 2 a、1 2 b、1 2 c、1 2 d のスレーブ F P G A 2 0 は、与えられた選択信号が自分のアドレスを示している場合は、それまでにピーク検出されている Q 1 と Q 2 のピーク値と、ピーク検出時に時刻カウンタ 4 3 からコピーされている時刻カウント値（時刻情報）を、子基板側ピン配列 2 7 においてデータバスに接続されている所定導体ピンに送出する。

40

【 0 0 5 9 】

メイン F P G A 1 7 は、データバスを經由して選択信号で指定した子基板から伝送されてくる Q 1 と Q 2 のピーク値及び時刻情報を取り込む。同様にして、選択信号で子基板を順次選択して、全ての子基板から測定データ及び時刻情報を取り込むことができる。

【 0 0 6 0 】

メイン F P G A 1 7 は、子基板 1 2 a、1 2 b、1 2 c、1 2 d から収集した測定データ及び時刻情報に基づいて中性子の捕獲位置を特定する。中性子の捕獲位置情報及びその他の必要なデータを周辺機器用コネクタ 1 8 から制御用コンピュータ又は周辺機器へ送出する。

【 0 0 6 1 】

このように本実施の形態によれば、全ての子基板 1 2 a、1 2 b、1 2 c、1 2 d を同

50

一構成とし、各子基板におけるスレーブFPGA20の入出力端子に相当する子基板側ピン配列27をICソケット構造を利用して共通接続したので、メインFPGA17からは1ビットの時間信号を子基板側ピン配列27の1つの端子ピンに与えるだけで、複数の子基板12a~12dの測定データを同期させることができる。また、選択信号を子基板側ピン配列27の1つの端子ピンに与えるだけで、子基板を指定して測定データ及び時刻情報を取り込むことができる。

【産業上の利用可能性】

【0062】

本発明は、複数の子基板において多数の検出信号の読み取りを分散して行った後、親基板が子基板から測定データを読み込む中性子計測システムに適用可能である。

10

【図面の簡単な説明】

【0063】

【図1】本発明の一実施の形態に係るデータ収集装置の基板部分の分解斜視図

【図2】図1に示すデータ収集装置の基板部分の平面図

【図3】コネクタ部品と検出器用ピン配列の導体ピンとの配線の拡大図

【図4】上記一実施の形態における子基板の平面図

【図5】(a)上下に積層される基板同士の積層構造を示す部分断面図、(b)検出器用ICソケットの構造を示す図

【図6】上記一実施の形態における子基板の概略的な配線パターンを示す図

【図7】上記一実施の形態における親基板と子基板の同期方法を説明するための説明図

20

【図8】上記一実施の形態における同期信号(同期クロック、時間信号)のタイミング図

【図9】上記一実施の形態における子基板の選択方法を説明するための説明図

【図10】PSDの読み出しを行う読み出し回路の模式的なシステム構成図

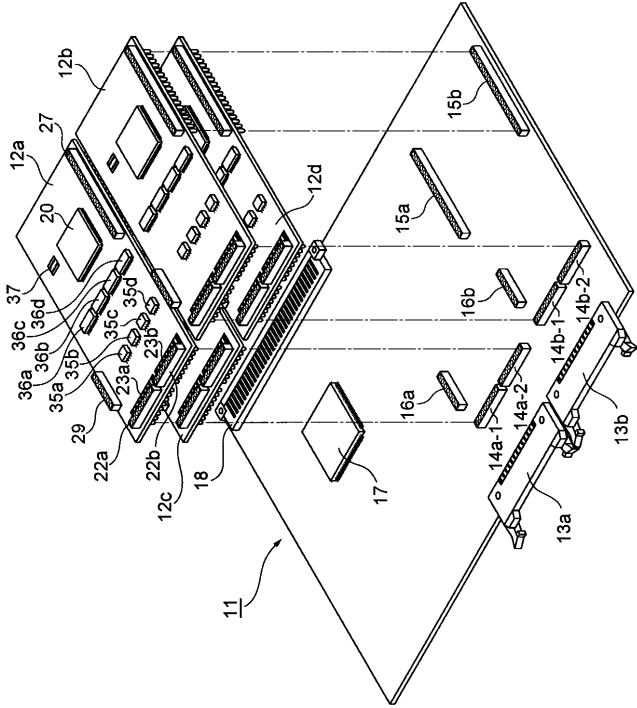
【符号の説明】

【0064】

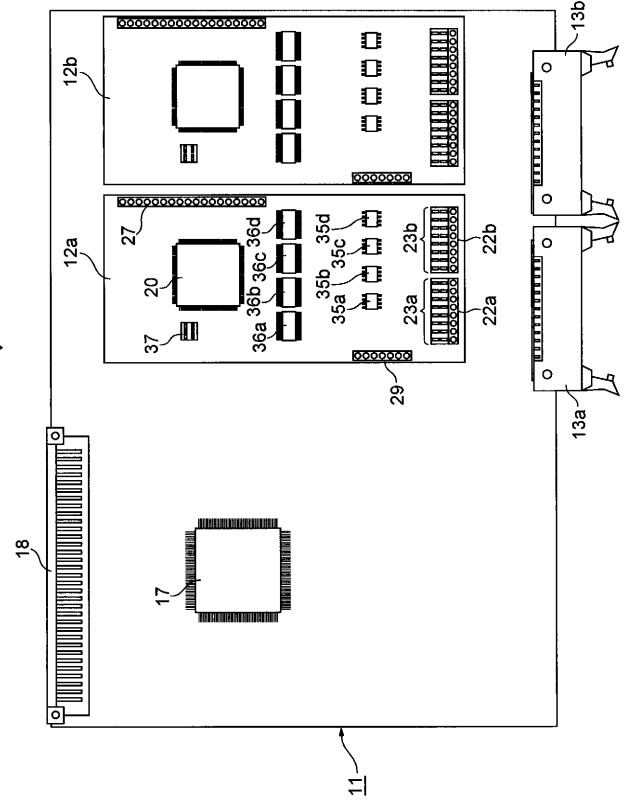
11...親基板、12a, 12b, 12c, 12d...子基板、13a, 13b...コネクタ部品、14a-1, 14a-2, 14b-1, 14b-2...検出器用ピン配列(親基板側)、15a, 15b...親基板側ピン配列、16a, 16b...電源供給用ICソケット(親基板側)、17...メインFPGA、18...周辺機器用コネクタ、20...スレーブFPGA、21...周縁部(子基板短辺側)、22a, 22b...検出器用ピン配列(子基板側)、23a, 23b...ショートパターン、24...入側パターン、25...出側パターン、26、28...周縁部(子基板長辺側)、27...子基板側ピン配列、29...電源供給用ICソケット(子基板側)、31...樹脂部、32...頭部連結孔、33...金属内壁、34...足部、35a, 35b, 35c, 35d...増幅器、36a, 36b, 36c, 36d...ADC、37...ID番号設定回路、41...シフトレジスタ、42...AND回路、43...時刻カウンタ

30

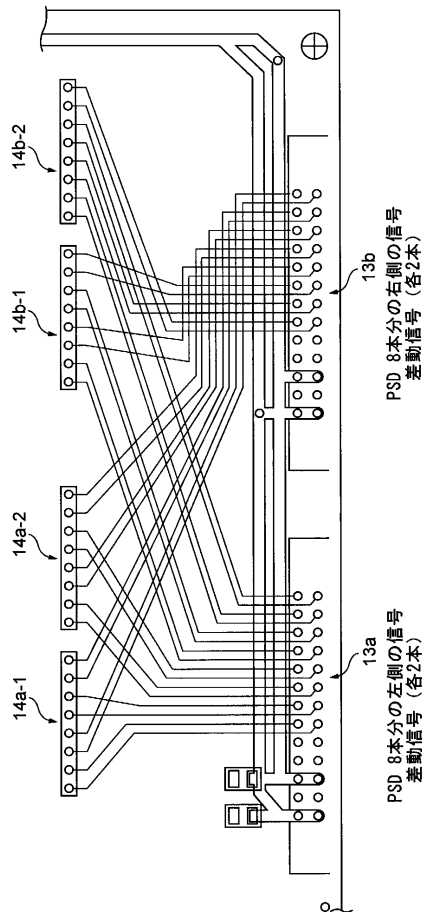
【図1】



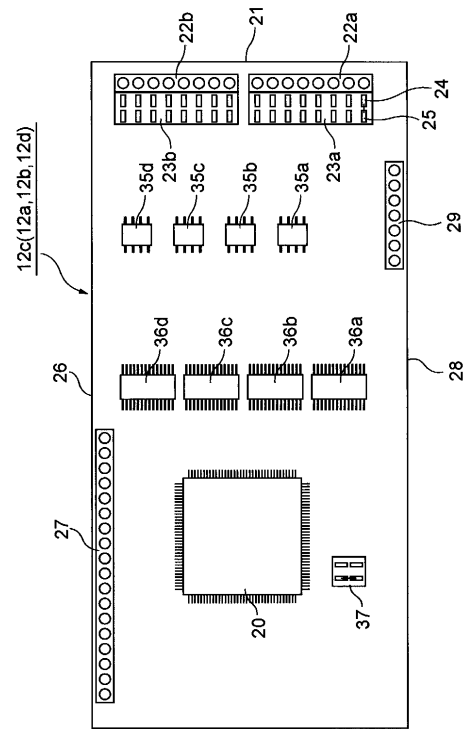
【図2】



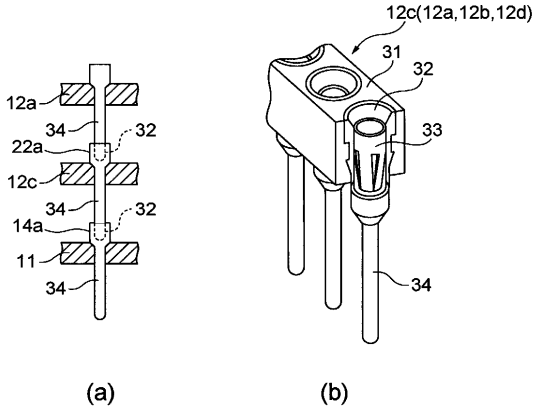
【図3】



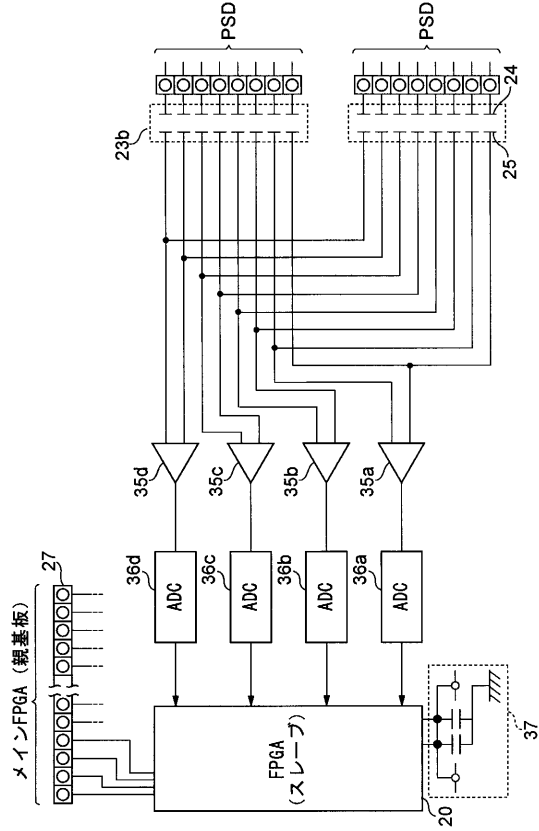
【図4】



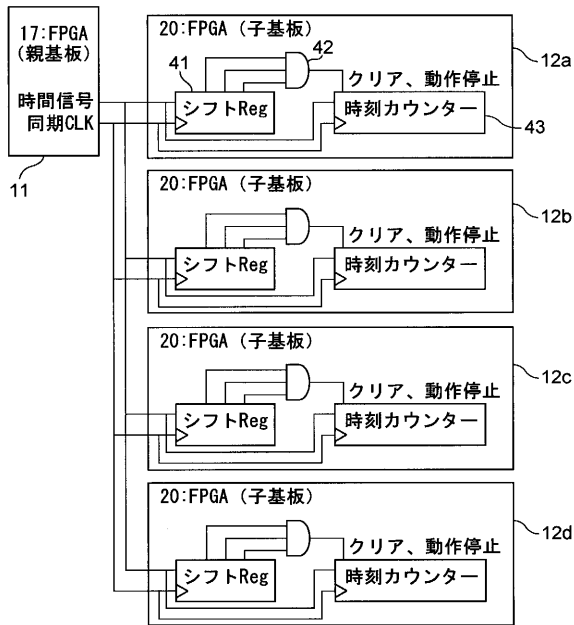
【 図 5 】



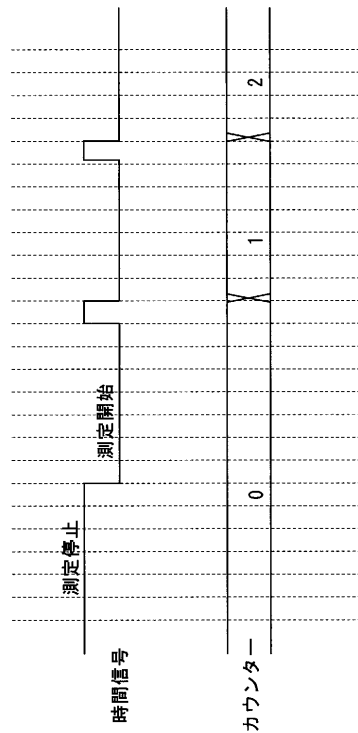
【 図 6 】



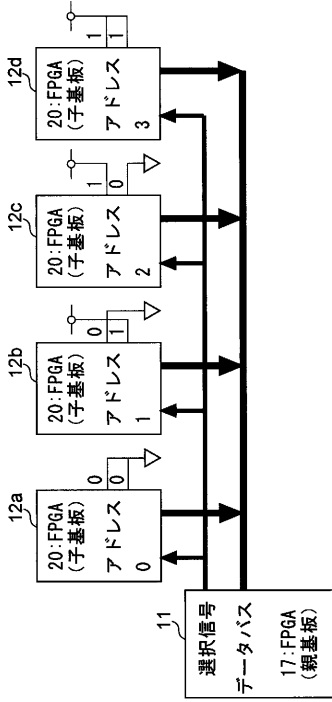
【 図 7 】



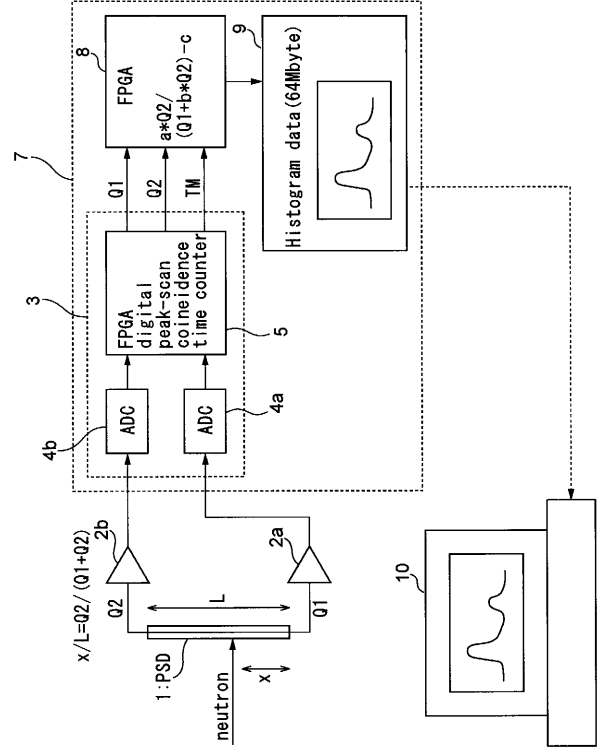
【 図 8 】



【図9】



【図10】



---

フロントページの続き

(72)発明者 佐藤 節夫

茨城県つくば市吾妻2 - 8 1 0 - 3 0 4

Fターム(参考) 2F002 AA12 AD03 AF01 DA00 GA04

2G088 EE29 FF09 GG30 JJ09 JJ33 JJ37 KK35

5B176 EB01