



## 【特許請求の範囲】

## 【請求項 1】

一導電型の第 1 の半導体層と、  
 前記第 1 の半導体層の一主面上に設けられた絶縁体層と、  
 前記絶縁体層中に設けられた第 2 の半導体層と、  
 前記第 2 の半導体層に設けられた能動素子と、  
 前記第 1 の半導体層の前記一主面に設けられた前記一導電型とは反対導電型の他の導電型の第 1 の半導体領域と、  
 前記第 1 の半導体領域内に設けられた前記他の導電型であって前記第 1 の半導体領域よりも高不純物濃度の第 2 の半導体領域と、  
 前記絶縁体層に設けられたスルーホール内に前記第 2 の半導体領域に接続して設けられた第 1 の導電体と、  
 前記絶縁体層上または前記絶縁体層中に設けられた第 2 の導電体であって、前記第 1 の導電体の周囲に設けられ、前記一主面に対して垂直な方向から見たときに、外側端部が前記第 2 の半導体領域よりも外側にある前記第 2 の導電体と、  
 前記第 1 の導電体と前記第 2 の導電体とを接続して設けられた第 3 の導電体と、  
 前記第 1 の半導体層に電氣的に接続して設けられた第 4 の導電体と、  
 を備える半導体装置。

10

## 【請求項 2】

前記第 2 の導電体の前記外側端部が、前記一主面に対して垂直な方向から見たときに、  
 前記第 1 の半導体領域よりも外側にある請求項 1 記載の半導体装置。

20

## 【請求項 3】

前記第 2 の導電体が前記第 2 の半導体層により構成されている請求項 1 または 2 記載の半導体装置。

## 【請求項 4】

前記能動素子が絶縁ゲート型電界効果トランジスタであって、前記第 2 の導電体が絶縁ゲート型電界効果トランジスタのゲート電極と同じ層の導電体で構成されている請求項 1 または 2 記載の半導体装置。

## 【請求項 5】

前記第 2 の導電体が前記絶縁体層上に形成されている請求項 1 または 2 記載の半導体装置。

30

## 【請求項 6】

前記絶縁体層上に、前記第 1 の導電体と接続して設けられた第 5 の導電体をさらに備え、  
 前記第 5 の導電体と前記第 2 の導電体は同じ層であって連続して設けられている請求項 5 記載の半導体装置。

## 【請求項 7】

前記第 1 の導電体と前記第 2 の導電体とが同電位になるように接続されている請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

## 【請求項 8】

前記第 4 の導電体は前記第 1 の半導体層の前記一主面および前記一主面とは反対側の主面で前記第 1 の半導体層に電氣的に接続される請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

40

## 【請求項 9】

前記第 1 の半導体層と前記第 1 の半導体領域が逆方向接続される請求項 1 ~ 8 のいずれか一項に記載の半導体装置。

## 【請求項 10】

一導電型の第 1 の半導体層と、  
 前記第 1 の半導体層の一主面上に設けられた絶縁体層と、  
 前記第 1 の半導体層の前記一主面に設けられた前記一導電型とは反対導電型の他の導電型の第 1 の半導体領域と、

50

前記第 1 の半導体領域内に設けられた前記他の導電型であって前記第 1 の半導体領域よりも高不純物濃度の第 2 の半導体領域と、

前記絶縁体層に設けられたスルーホール内に前記第 2 の半導体領域に接続して設けられた第 1 の導電体と、

前記絶縁体層上または前記絶縁体層中に設けられた第 2 の導電体であって、前記第 1 の導電体の周囲に設けられ、前記一主面に対して垂直な方向から見たときに、外側端部が前記第 2 の半導体領域よりも外側にある前記第 2 の導電体と、

前記第 1 の導電体と前記第 2 の導電体とを接続して設けられた第 3 の導電体と、

前記第 1 の半導体層に電氣的に接続して設けられた第 4 の導電体と、  
を備える半導体装置。

10

【請求項 1 1】

前記第 2 の導電体の前記外側端部が、前記一主面に対して垂直な方向から見たときに、前記第 1 の半導体領域よりも外側にある請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記半導体装置は X 線センサである請求項 1 ~ 1 1 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、同一の S O I (Silicon On Insulator) 基板上にダイオードとトランジスタを混在させた X 線センサに関する。

20

【背景技術】

【0002】

S O I 構造のセンサとしては、S O I (Silicon On Insulator) 基板の上に、フォトダイオードと、このフォトダイオードにシリコン基板で光電変換され蓄積された信号電荷を増幅する増幅用トランジスタを有する C M O S イメージセンサが提案されている (特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0003】

30

【特許文献 1】特開 2 0 0 2 - 1 2 4 6 5 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

X 線センサにおいては、X 線入射時の検出感度を高くするため、基板に低濃度高抵抗基板を使用したり、基板裏面に数百 V のバイアスを印加する等の方法により、基板全体を空乏化することが行われる。図 1 7 は、従来の X 線センサ 9 を説明するための概略縦断面図である。一般に、従来の装置では、N 型基板 1 0 0 を空乏化する場合に、低濃度 N 型基板 1 0 0 内に形成したダイオードのアノード電極である高濃度 P 型拡散層 1 1 4 を接地 1 8 0 に接続し、ダイオードのカソードである高濃度 N 型拡散層 1 0 2 と N 型基板 1 0 0 の裏面の電極 1 2 0 とを電源 1 7 0 の陽極 1 7 2 に接続し、ダイオードに逆方向電圧を印加する。この時、アノード電極である高濃度 P 型拡散層 1 1 4 側に広がる空乏層内の電界集中を緩和するために、高濃度 P 型拡散層 1 1 4 を覆うように低濃度の P 型ウェル拡散層 1 1 2 を形成することによってダイオードの逆方向耐圧を向上させている。

40

【0005】

しかしながら、P 低濃度の P 型ウェル拡散層 1 1 2 による電界緩和の効果にも限界があり、PN ジャンクションに電圧を印加した際に、低濃度の P 型ウェル拡散層 1 1 2 側に広がった空乏層が高濃度 P 型拡散層 1 1 4 に到達した場合には、高濃度 P 型拡散層 1 1 4 端で電界が強くなることによってブレークダウンしてしまう。また、低濃度の P 型ウェル拡散層 1 1 2 内でも電位差が大きく、耐圧上問題があった。

50

## 【 0 0 0 6 】

本発明の主な目的は、逆方向耐圧を向上させることができる半導体装置を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 0 7 】

本発明によれば、

一導電型の第1の半導体層と、

前記第1の半導体層の一主面上に設けられた絶縁体層と、

前記絶縁体層中に設けられた第2の半導体層と、

前記第2の半導体層に設けられた能動素子と、

10

前記第1の半導体層の前記一主面に設けられた前記一導電型とは反対導電型の他の導電型の第1の半導体領域と、

前記第1の半導体領域内に設けられた前記他の導電型であって前記第1の半導体領域よりも高不純物濃度の第2の半導体領域と、

前記絶縁体層に設けられたスルーホール内に前記第2の半導体領域に接続して設けられた第1の導電体と、

前記絶縁体層上または前記絶縁体層中に設けられた第2の導電体であって、前記第1の導電体の周囲に設けられ、前記一主面に対して垂直な方向から見たときに、外側端部が前記第2の半導体領域よりも外側にある前記第2の導電体と、

前記第1の導電体と前記第2の導電体とを接続して設けられた第3の導電体と、

20

前記第1の半導体層に電氣的に接続して設けられた第4の導電体と、

を備える半導体装置が提供される。

## 【 0 0 0 8 】

好ましくは、前記第2の導電体の前記外側端部が、前記一主面に対して垂直な方向から見たときに、前記第1の半導体領域よりも外側にある。

## 【 0 0 0 9 】

また、好ましくは、前記第2の導電体が前記第2の半導体層により構成されている。

## 【 0 0 1 0 】

また、好ましくは、前記能動素子が絶縁ゲート型電界効果トランジスタであって、前記第2の導電体が絶縁ゲート型電界効果トランジスタのゲート電極と同じ層の導電体で構成されている。

30

## 【 0 0 1 1 】

また、好ましくは、前記第2の導電体が前記絶縁体層上に形成されている。

## 【 0 0 1 2 】

また、好ましくは、前記絶縁体層上に、前記第1の導電体と接続して設けられた第5の導電体をさらに備え、前記第5の導電体と前記第2の導電体は同じ層であって連続して設けられている。

## 【 0 0 1 3 】

また、好ましくは、前記第1の導電体と前記第2の導電体とが同電位になるように接続されている。

40

## 【 0 0 1 4 】

また、好ましくは、前記第4の導電体は前記第1の半導体層の前記一主面および前記一主面とは反対側の主面で前記第1の半導体層に電氣的に接続される。

## 【 0 0 1 5 】

また、好ましくは、前記第1の半導体層と前記第1の半導体領域が逆方向接続される。

## 【 0 0 1 6 】

また、本発明によれば、

一導電型の第1の半導体層と、

前記第1の半導体層の一主面上に設けられた絶縁体層と、

前記第1の半導体層の前記一主面に設けられた前記一導電型とは反対導電型の他の導電

50

型の第 1 の半導体領域と、

前記第 1 の半導体領域内に設けられた前記他の導電型であって前記第 1 の半導体領域よりも高不純物濃度の第 2 の半導体領域と、

前記絶縁体層に設けられたスルーホール内に前記第 2 の半導体領域に接続して設けられた第 1 の導電体と、

前記絶縁体層上または前記絶縁体層中に設けられた第 2 の導電体であって、前記第 1 の導電体の周囲に設けられ、前記一主面に対して垂直な方向から見たときに、外側端部が前記第 2 の半導体領域よりも外側にある前記第 2 の導電体と、

前記第 1 の導電体と前記第 2 の導電体とを接続して設けられた第 3 の導電体と、

前記第 1 の半導体層に電氣的に接続して設けられた第 4 の導電体と、

を備える半導体装置が提供される。

【0017】

好ましくは、前記第 2 の導電体の前記外側端部が、前記一主面に対して垂直な方向から見たときに、前記第 1 の半導体領域よりも外側にある。

【0018】

また、好ましくは、上記各半導体装置は X 線センサである。

【発明の効果】

【0019】

本発明によれば、逆方向耐圧を向上させることができる半導体装置が提供される。

【図面の簡単な説明】

【0020】

【図 1】図 1 は、本発明の第 1 の実施の形態の X 線センサを説明するための概略縦断面図である。

【図 2】図 2 は、図 1 の平面図である。

【図 3】図 3 は、本発明の第 2 の実施の形態の X 線センサを説明するための概略平面図である。

【図 4】図 4 は、本発明の第 3 の実施の形態の X 線センサを説明するための概略縦断面図である。

【図 5】図 5 は、本発明の第 4 の実施の形態の X 線センサを説明するための概略縦断面図である。

【図 6】図 6 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 7】図 7 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 8】図 8 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 9】図 9 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 10】図 10 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 11】図 11 は、本発明の第 4 の実施の形態の X 線センサの製造方法を説明するための概略縦断面図である。

【図 12】図 12 は、本発明の第 5 の実施の形態の X 線センサを説明するための概略縦断面図である。

【図 13】図 13 は、本発明の第 6 の実施の形態の X 線センサを説明するための概略縦断面図である。

【図 14】図 14 は、本発明の第 4、第 5、第 6 の実施の形態および従来の X 線センサのダイオード部の逆方向電圧印加時の耐圧を示す図である。

【図 15】図 15 は、従来の X 線センサのダイオード部の電位分布を示す図である。

【図 16】図 16 は、本発明の第 1 の実施の形態の X 線センサのダイオード部の電位分布

10

20

30

40

50

を示す図である。

【図 17】図 17 は、従来 of X 線センサを説明するための概略縦断面図である。

【発明を実施するための形態】

【0021】

以下、本発明の好ましい実施の形態について図面を参照しながら説明する。

【0022】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態 of X 線センサを説明するための概略縦断面図である。図 2 は、図 1 の平面図であるが、理解の容易のために、導電体 162、164、絶縁体層 130 は省略している。また、図 1 は図 2 の X1 - X1 線に沿った概略縦断面図である。

10

【0023】

図 1、2 を参照すれば、本発明の第 1 の実施の形態 of X 線センサ 1 は、N 型基板 100 と、N 型基板 100 の一主面 101 に設けられた P 型ウエル拡散層 112 と、P 型ウエル拡散層 112 内に設けられた高濃度 P 型拡散層 114 と、N 型基板 100 の一主面 101 に設けられた高濃度 N 型拡散層 102 と、N 型基板 100 の一主面 101 とは反対側の主面である裏面 103 に設けられた電極 120 と、N 型基板 100 の一主面 101 上に設けられた絶縁体層 130 と、絶縁体層 130 に設けられたスルーホール 142、144 と、スルーホール 142 に埋め込まれ、高濃度 N 型拡散層 102 に接続して設けられた埋込導電体 152 と、スルーホール 144 に埋め込まれ、高濃度 P 型拡散層 114 に接続して設けられた埋込導電体 154 と、埋込導電体 152 に接続して絶縁体層 130 上に設けられた導電体 162 と、埋込導電体 154 に接続して絶縁体層 130 上に設けられた導電体 164 と、埋込導電体 154 の周囲であって、絶縁体層 130 上に設けられた導電体 166 と、導電体 164 と導電体 166 とを接続して設けられた導電体 192 と、を備えている。

20

【0024】

図 2 を参照して、N 型基板 100 の一主面 101 に対して垂直な方向からみた場合 of、各構成部分の配置について説明する。埋込導電体 154 は、正方形であり、高濃度 P 型拡散層 114 の内側に設けられている。高濃度 P 型拡散層 114 は、正方形であり、P 型ウエル拡散層 112 の内側に設けられている。P 型ウエル拡散層 112 は、正方形である。導電体 166 は導電体 154 の周囲に設けられ、導電体 166 は、正方形であり、その外側端部 166a は、高濃度 P 型拡散層 114 の一主面 101 における端部 114a よりも外側に位置し、P 型ウエル拡散層 112 の一主面 101 における端部 112a よりも外側に位置している。さらに、導電体 166 の内側端部 166b も、P 型ウエル拡散層 112 の一主面 101 における端部 112a よりも外側に位置している。高濃度 N 型拡散層 102 は、正方形であり、P 型ウエル拡散層 112 の外側の周囲に、P 型ウエル拡散層 112 とは離間して、P 型ウエル拡散層 112 を囲うように設けられている。埋込導電体 152 は、正方形であり、高濃度 N 型拡散層 102 内に位置している。

30

【0025】

さらに具体的な構造を一例として説明すると、高濃度 P 型拡散層 114 は、一辺が 10  $\mu\text{m}$  の正方形であり、P 型ウエル拡散層 112 は、一辺が 20  $\mu\text{m}$  の正方形であり、高濃度 P 型拡散層 114 の一主面 101 における端部 114a と P 型ウエル拡散層 112 の一主面 101 における端部 112a との距離は 5  $\mu\text{m}$  である。P 型ウエル拡散層 112 の一主面 101 における端部 112a と高濃度 N 型拡散層 102 の一主面 101 における内側端部 102b との距離は 50  $\mu\text{m}$  である。導電体 166 の内側端部 166b と、P 型ウエル拡散層 112 の一主面 101 における端部 112a との距離は 1  $\mu\text{m}$  であり、導電体 166 の外側端部 166a と内側端部 166b との距離は 3  $\mu\text{m}$  である。

40

【0026】

絶縁体層 130 は、例えば TEOS (テトラエトキシシラン) 膜からなっており、その厚さは、例えば、10000 である。N 型基板 100 の不純物濃度は  $1.0 \times 10^{13}$

50

$\text{cm}^{-3}$  程度であり、高濃度 N 型拡散層 102 の不純物濃度は  $1.0 \times 10^{21} \text{cm}^{-3}$  程度であり、P 型ウエル拡散層 112 の不純物濃度は  $1.0 \times 10^{17} \text{cm}^{-3}$  程度であり、高濃度 P 型拡散層 114 の不純物濃度は  $1.0 \times 10^{21} \text{cm}^{-3}$  程度である。

【0027】

埋込導電体 152、154、導電体 162、164、166 は W からなり、電極 120 は A1 からなっている。

【0028】

高濃度 P 型拡散層 114 は導電体 144、164、192、193 を介して電源 170 の陰極 174 および接地 180 に接続される。導電体 166 は導電体 192、193 を介して電源 170 の陰極 174 および接地 180 に接続される。高濃度 P 型拡散層 114 と導電体 166 は同電位となる。高濃度 N 型拡散層 102 は、埋込導電体 152、導電体 162、194 を介して電源 170 の陽極 172 に接続される。N 型基板 1 の裏面 103 に設けられた電極 120 は、導電体 194 を介して電源 170 の陽極 172 に接続される。

10

【0029】

本実施の形態の X 線センサにおいては、X 線入射時の検出感度を高くするため、N 型基板 100 に低濃度高抵抗基板を使用し、N 型基板 100 に数百 V のバイアスを印加する方法により、N 型基板 100 全体を空乏化する。N 型基板 100 を空乏化する場合に、低濃度 N 型基板 100 内に形成したダイオードのアノード電極である高濃度 P 型拡散層 114 を接地 180 に接続し、ダイオードのカソードである高濃度 N 型拡散層 102 と N 型基板 100 の裏面の電極 120 とを電源 170 の陽極 172 に接続し、ダイオードに逆方向電圧を印加する。この時、アノード電極である高濃度 P 型拡散層 114 側に広がる空乏層内の電界集中を緩和するために、高濃度 P 型拡散層 114 を覆うように低濃度の P 型ウエル拡散層 112 を形成して、ダイオードの逆方向耐圧を向上させている。

20

【0030】

本実施の形態の X 線センサにおいては、さらに、高濃度 P 型拡散層 114 および低濃度の P 型ウエル拡散層 112 を囲うように導電体 166 を形成し、導電体 166 を接地 180 に接続している。この時、導電体 166 はフィールドプレートとして働き、P 型ウエル拡散層 112 側の電位の上昇を抑制することによって P 型ウエル拡散層 112 内での電位差を小さくする。

【0031】

図 16 は、本発明の第 1 の実施の形態の X 線センサのダイオード部の電位分布を示す図である。電源 170 により、X 線センサのダイオード部に 300 V の逆方向電圧をかけた場合に、P 型ウエル拡散層 112 と N 型基板 100 とで形成される PN ジャンクション 113 付近の電位は約 25 V である。これに対して、図 17 に示した、P 型ウエル拡散層 112 を設けるが、導電体 166 を設けない X 線センサ 9 では、図 15 に示すように、P 型ウエル拡散層 112 と N 型基板 100 とで形成される PN ジャンクション 113 付近の電位は約 80 V である。

30

【0032】

このように、導電体 166 を設け、導電体 166 を高濃度 P 型拡散層 114 と導電体 192 によって接続することで、P 型ウエル拡散層 112 側の電位の上昇を抑制することによって P 型ウエル拡散層 112 内での電位差を小さくすることができる。導電体 166 の外側端部 166a は、少なくとも、高濃度 P 型拡散層 114 の端部 114a よりも外側にあることが好ましい。これにより、高濃度 P 型拡散層 114 の端部 114a での電界を緩和することができる。より好ましくは、導電体 166 の外側端部 166a は、P 型ウエル拡散層 112 の端部 112a よりも外側にあることが好ましい。これにより、P 型ウエル拡散層 112 と N 型基板 100 とで形成される PN ジャンクション 113 付近の電位の上昇を抑制することができ、P 型ウエル拡散層 112 内での電位差を小さくすることができる。ダイオードの逆方向耐圧を向上させることができる。

40

【0033】

50

次に、本実施の形態のX線センサ1の製造方法について説明する。

まず、N型基板100を準備し、N型基板100の一主面101にイオン注入等によりP型ウエル拡散層112を形成し、その後、イオン注入等によりP型ウエル拡散層112内にP型ウエル拡散層112よりも浅く高不純物濃度の高濃度P型拡散層114を形成する。次に、N型基板100の一主面101にイオン注入等によりN型基板100よりも高不純物濃度の高濃度N型拡散層102を形成する。

#### 【0034】

次に、N型基板100の一主面101上にTEOSにより、絶縁体層130を形成する。その後、絶縁体層130にスルーホール142、144を形成する。その後、スルーホール142、144をそれぞれWの埋込導電体152、154を埋め込む。その後、絶縁体層130上にWの導電体162、164、166を選択的に形成する。その後、N型基板100の裏面103にAlにより電極120を形成する。

10

#### 【0035】

(第2の実施の形態)

第1の実施の形態では、高濃度P型拡散層114、P型ウエル拡散層112、導電体166、高濃度N型拡散層102、埋込導電体152等は、正方形であったが、更に頂点の数の多い多角形や、図3のように円状の構造にすることによって、P型ウエル拡散層112内の電界を更に緩和することが可能となるため、耐圧向上が見込める。本実施の形態は、これらの構成要素の平面的な形状以外については、第1の実施の形態と同じである。

20

#### 【0036】

(第3の実施の形態)

第1、2の実施の形態では、導電体166と、高濃度P型拡散層114に接続されている導電体164とを互いに分離された別々のものとして構成し、導電体166と導電体164とを導電体192で接続しているが、本実施の形態では、同じ配線層の導電体166と導電体164とを一体化して連続した構造の導電体168とした点が第1、2の実施の形態と異なるが、他の点は同じである。

#### 【0037】

導電体168の外側端部168aは、P型ウエル拡散層112の端部112aよりも外側にあることが好ましい。これにより、P型ウエル拡散層112とN型基板100とで形成されるPNジャンクション付近の電位の上昇を抑制することができ、P型ウエル拡散層112内での電位差を小さくすることができ、ダイオードの逆方向耐圧を向上させることができる。

30

#### 【0038】

なお、導電体168の外側端部168aは、P型ウエル拡散層112の端部112aよりも内側に位置していても、電界緩和の効果は低くなるが、耐圧向上が見込める。この場合には、導電体168の外側端部168aは、少なくとも、高濃度P型拡散層114の端部114aよりも外側にあることが好ましい。これにより、高濃度P型拡散層114の端部114aでの電界を緩和することができ、ダイオードの逆方向耐圧を向上させることができる。

40

#### 【0039】

(第4の実施の形態)

上記第1～第3の実施の形態では、低不純物濃度高抵抗のN型基板100を用いてダイオードを形成していたが、同じ基板内100に回路動作のMOS等を形成するには不都合である。これを解決するために、第4の実施の形態としては、図5のように、例えば、下側の700 $\mu$ m程度の厚さで比抵抗10k $\cdot$ cmの低不純物濃度高抵抗のN型基板100と、N型基板100の一主面101上に設けられた、例えば2000程度の厚さの埋込酸化膜132と、埋込酸化膜132上に設けられた、例えば、880程度の厚さで比抵抗10 $\cdot$ cmのP型の半導体層210と、を有するSOI(Silicon On Insulator)基板を用いる。

#### 【0040】

50



また、上記第 1、2 の実施の形態では、絶縁体層 130 上に設けられた導電体 166 と高濃度 P 型拡散層 114 に接続されている導電体 164 とを導電体 192 で接続して、電界を緩和させたが、本実施の形態では、半導体層 210 を上記第 1、2 の実施の形態の導電体 166 と同形状にし、半導体層 210 を例えば N 型の不純物の注入などで不純物濃度を  $1.0 \times 10^{21} \text{ cm}^{-3}$  に設定した半導体領域 214 とした上で、絶縁体層 130 に設けられたスルーホール 145 に埋め込まれた埋込導電体 155 を介して半導体領域 214 に接続されている絶縁体層 130 上に設けられた導電体 165 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを、導電体 192 で接続して、電界を緩和させる。

#### 【0041】

このように、本実施の形態においては、X 線を検出するダイオード 10 に関しては、第 1、2 の実施の形態の絶縁体層 130 上に設けられた導電体 166 を、絶縁体層 130 中の半導体領域 214 とした点が第 1、2 の実施の形態と異なるが、他の点は同様である。図 1、3 に示した平面図的な形状も同様である。

#### 【0042】

半導体領域 214 の外側端部 214a と、P 型ウエル拡散層 112 の端部 112a や高濃度 P 型拡散層 114 の端部 114a との関係も、導電体 166 の外側端部 166a と、P 型ウエル拡散層 112 の端部 112a や高濃度 P 型拡散層 114 の端部 114a との関係と同じである。すなわち、半導体領域 214 の外側端部 214a は、少なくとも、高濃度 P 型拡散層 114 の端部 114a よりも外側にあることが好ましい。これにより、高濃度 P 型拡散層 114 の端部 114a での電界を緩和することができ、ダイオードの逆方向耐圧を向上させることができる。より好ましくは、半導体領域 214 の外側端部 214a は、P 型ウエル拡散層 112 の端部 112a よりも外側にあることが好ましい。これにより、P 型ウエル拡散層 112 と N 型基板 100 とで形成される PN ジャンクション 113 付近の電位の上昇を抑制することができ、P 型ウエル拡散層 112 内での電位差を小さくすることができ、ダイオードの逆方向耐圧を向上させることができる。

#### 【0043】

ダイオード 10 と離間した領域の半導体層 210 には、MOS トランジスタ 20 が設けられている。MOS トランジスタ 20 は、半導体層 210 のダイオード 10 と離間した半導体領域 212 と、半導体領域 212 上に設けられたゲート絶縁膜 230 と、ゲート絶縁膜 230 上に設けられたゲート電極 240 と、ゲート電極 240 の両側の半導体領域 212 に設けられたソース 222 とドレイン 224 とを備えている。ソース 222 は絶縁体層 130 に設けられたスルーホール 147 に埋め込まれた埋込導電体 157 によって絶縁体層 130 上に設けられた導電体 167 に接続され、ドレイン 224 は絶縁体層 130 に設けられたスルーホール 149 に埋め込まれた埋込導電体 159 によって絶縁体層 130 上に設けられた導電体 169 に接続されている。

#### 【0044】

図 5 のように、埋込酸化膜 132 上側の半導体層 210 を回路動作用の MOS トランジスタ 20 等の能動素子形成用の高濃度低抵抗半導体層、埋込酸化膜 132 の下側の N 型基板をダイオード 10 形成用の低濃度高抵抗基板とすることによって、1 枚のウエハで周辺回路を含めた X 線センサを構成することが可能となる。

#### 【0045】

N 型基板 100 を空乏化するために、低濃度 N 型基板 100 内に形成したダイオードのアノード電極である高濃度 P 型拡散層 114 を接地 180 に接続し、ダイオードのカソードである高濃度 N 型拡散層 102 と N 型基板 100 の裏面の電極 120 とを電源 170 の陽極 172 に接続し、ダイオードに逆方向電圧を印加する。この時、アノード電極である高濃度 P 型拡散層 114 側に広がる空乏層内の電界集中を緩和するために、高濃度 P 型拡散層 114 を覆うように低濃度の P 型ウエル拡散層 112 を形成して、ダイオードの逆方向耐圧を向上させている。さらに、高濃度 P 型拡散層 114 および低濃度の P 型ウエル拡散層 112 を囲うように半導体領域 214 を形成し、半導体領域 214 を接地 180 に接続している。この時、半導体領域 214 はフィールドプレートとして働き、P 型ウエル拡

10

20

30

40

50

散層 1 1 2 側の電位の上昇を抑制することによって P 型ウエル拡散層 1 1 2 内での電位差を小さくする。

【 0 0 4 6 】

このように、第 4 の実施の形態によれば、1 枚のウエハ上で周辺回路を含めた X 線センサを構成することでコストの削減、チップサイズの縮小化が可能となる。また、半導体領域 2 1 4 を形成し、ダイオードのアノード電極である高濃度 P 型拡散層 1 1 4 と同電位に設定することによって、ダイオードに逆方向電圧を印加した際に半導体領域 2 1 4 がフィールドプレートとして働き、P 型ウエル拡散層 1 1 2 内の電位差を小さくすることによって P 型ウエル拡散層 1 1 2 内での電界を緩和することになり、逆方向耐圧を上昇させることが可能となる。

10

【 0 0 4 7 】

次に、本実施の形態の X 線センサ 2 の製造方法を説明する。

まず、図 6 に示すように、埋込酸化膜 1 3 2 を挟んで、上側に半導体層 2 1 0、下側に N 型基板 1 0 0 が積層された S O I 基板を用意する。本実施の形態では、一例として、N 型基板 1 0 0 は、厚さ 7 0 0  $\mu\text{m}$  程度の比抵抗  $10\text{ k} \cdot \text{cm}$  であり、埋込酸化膜 1 3 2 は、厚さ 2 0 0 0 程度の  $\text{SiO}_2$  酸化膜を用いており、半導体層 2 1 0 は、P 型で、厚さ 8 8 0 程度、比抵抗  $10 \cdot \text{cm}$  である。

【 0 0 4 8 】

次に、図 7 に示すように、半導体層 2 1 0 の上表面に、窒化膜 ( $\text{Si}_3\text{N}_4$ ) (図示せず) を C V D 等により選択的に形成し、L O C O S (Local Oxidization of Silicon) 法により窒化膜をマスクとして、フィールド酸化膜 1 3 3 を形成し、半導体層 2 1 0 を半導体領域 2 1 2、2 1 4 に分離する。

20

【 0 0 4 9 】

次に、図 8 に示すように、選択的に形成したレジスト等 (図示せず) をマスクにして、N 型基板 1 0 0 の一主面 1 0 1 にイオン注入等により P 型ウエル拡散層 1 1 2 を形成し、その後、イオン注入等により P 型ウエル拡散層 1 1 2 内に P 型ウエル拡散層 1 1 2 よりも浅く高不純物濃度の高濃度 P 型拡散層 1 1 4 を形成する。次に、N 型基板 1 0 0 の一主面 1 0 1 にイオン注入等により N 型基板 1 0 0 よりも高不純物濃度の高濃度 N 型拡散層 1 0 2 を形成する。

【 0 0 5 0 】

その後、半導体領域 2 1 2 上にゲート絶縁膜 2 3 0 を形成し、ゲート絶縁膜 2 3 0 上にゲート電極 2 4 0 を形成し、ゲート電極 2 4 0 をマスクとして、N 型不純物をイオン注入して、ソース 2 2 2 およびドレイン 2 2 4 をゲート電極 2 4 0 の両側の半導体領域 2 1 2 に形成する。この際、半導体領域 2 1 4 にも N 型不純物をイオン注入して  $1.0 \times 10^{21} \text{ cm}^{-3}$  程度の不純物濃度とする。

30

【 0 0 5 1 】

次に、図 9 に示すように、T E O S を用いて絶縁膜 1 3 5 を全面に形成する。埋込酸化膜 1 3 2、フィールド酸化膜 1 3 3 および絶縁膜 1 3 5 により絶縁体層 1 3 0 が形成される。

【 0 0 5 2 】

次に、図 1 0 に示すように、絶縁体層 1 3 0 にスルーホール 1 4 2、1 4 4、1 4 5、1 4 7、1 4 9 を形成する。

40

【 0 0 5 3 】

次に、図 1 1 に示すように、スルーホール 1 4 2、1 4 4、1 4 5、1 4 7、1 4 9 にそれぞれ W の埋込導電体 1 5 2、1 5 4、1 5 5、1 5 7、1 5 9 を埋め込む。その後、絶縁体層 1 3 0 上に W の導電体 1 6 2、1 6 4、1 6 6、1 6 7、1 6 9 を選択的に形成する。その後、N 型基板 1 0 0 の裏面 1 0 3 に A l により電極 1 2 0 を形成する。

【 0 0 5 4 】

(第 5 の実施の形態)

上記第 4 の実施の形態では、半導体層 2 1 0 を例えば N 型の不純物の注入などで不純物

50

濃度を  $1.0 \times 10^{21} \text{ cm}^{-3}$  に設定した半導体領域 214 とし、絶縁体層 130 に設けられたスルーホール 145 に埋め込まれた埋込導電体 155 を介して半導体領域 214 に接続され、絶縁体層 130 上に設けられた導電体 165 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを、導電体 192 で接続して、電界を緩和させたが、本実施の形態では、MOS トランジスタ 20 のゲート電極 240 と同じ層の導電体 242 を上記第 4 の実施の形態の半導体領域 214 と同形状にし、絶縁体層 130 に設けられたスルーホール 146 に埋め込まれた埋込導電体 156 を介して導電体 242 に接続され、絶縁体層 130 上に設けられた導電体 165 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを、導電体 192 で接続して、電界を緩和させた点が第 4 の実施の形態と異なるが、他の点は同じである。

10

## 【0055】

(第 6 の実施の形態)

上記第 4 の実施の形態では、半導体層 210 を例えば N 型の不純物の注入などで不純物濃度を  $1.0 \times 10^{21} \text{ cm}^{-3}$  に設定した半導体領域 214 とし、絶縁体層 130 に設けられたスルーホール 145 に埋め込まれた埋込導電体 155 を介して半導体領域 214 に接続され、絶縁体層 130 上に設けられた導電体 165 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを、導電体 192 で接続して、電界を緩和させたが、本実施の形態では、絶縁体層 130 上に、上記第 4 の実施の形態の半導体領域 214 と同形状の導電体 167 を形成し、導電体 167 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを、導電体 192 で接続して、電界を緩和させた点が第 4 の実施の形態と異なるが、他の点は同じである。

20

## 【0056】

なお、本実施の形態では、導電体 167 と、高濃度 P 型拡散層 114 に接続されている導電体 164 とを互いに分離された別々のものとして構成し、導電体 167 と導電体 164 とを導電体 192 で接続しているが、第 3 の実施の形態と同様に、同じ配線層の導電体 167 と導電体 164 とを一体化して連続した構造の導電体として形成することもできる。

## 【0057】

図 14 は、本発明の第 4、第 5、第 6 の実施の形態および従来の X 線センサのダイオード 10 の逆方向電圧印加時の耐圧を示す図である。ここで従来の X 線センサとは、ダイオード 10 が図 17 に示す構造のものをいう。図 14 によれば、本発明の第 4、第 5、第 6 の実施の形態は従来の X 線センサに比べて逆方向電圧印加時の耐圧が向上していることがわかる。

30

## 【0058】

なお、上記各実施の形態において、P 型と N 型とし、N 型を P 型とした構造としてもよい。

## 【0059】

以上、本発明の種々の典型的な実施の形態を説明してきたが、本発明はそれらの実施の形態に限定されない。従って、本発明の範囲は、次の特許請求の範囲によってのみ限定されるものである。

40

## 【符号の説明】

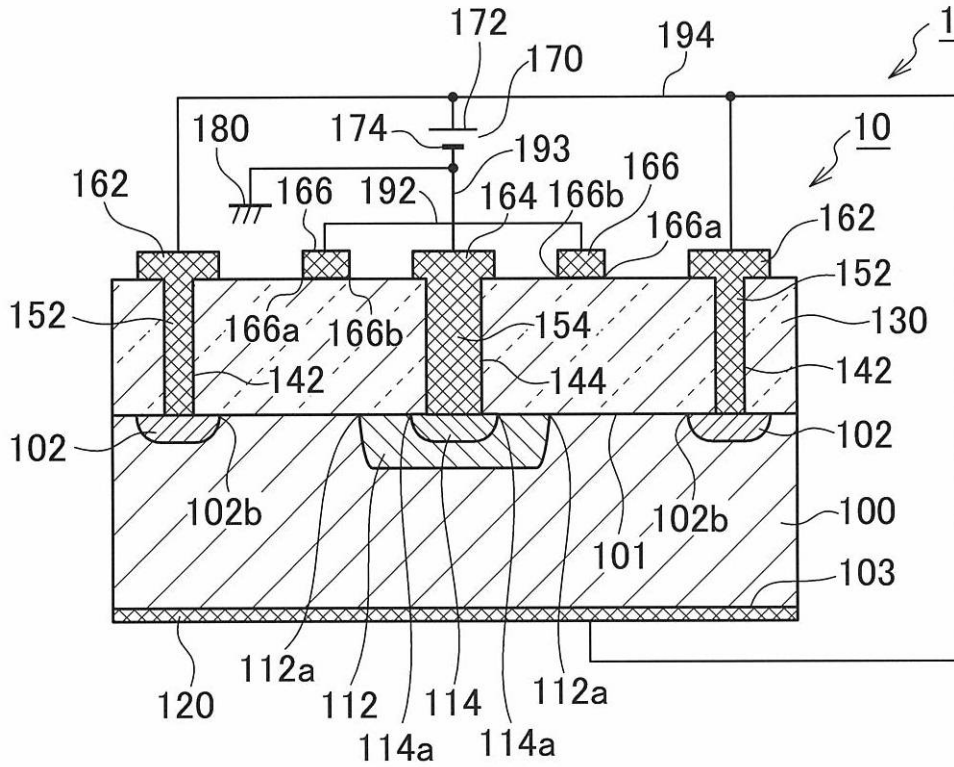
## 【0060】

- 1、2、9 X 線センサ
- 10 ダイオード
- 20 MOS トランジスタ
- 100 N 型基板
- 101 主面
- 102 高濃度 N 型拡散層
- 102 b 内側端部
- 103 裏面

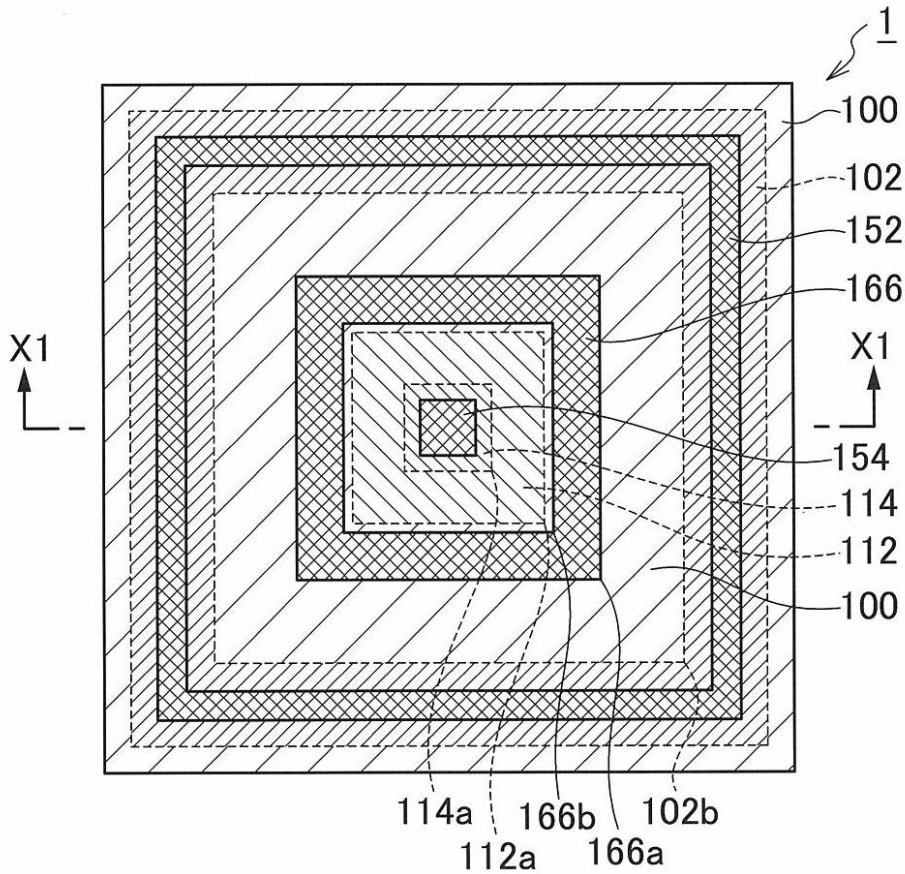
50

1 1 2	P 型ウエル拡散層	
1 1 2 a	端部	
1 1 3	P N ジャンクション	
1 1 4	高濃度 P 型拡散層	
1 1 4 a	端部	
1 2 0	電極	
1 3 0	絶縁体層	
1 3 2	埋込酸化膜	
1 3 3	フィールド酸化膜	
1 3 5	絶縁膜	10
1 4 2、1 4 4、1 4 5、1 4 6、1 4 7、1 4 9	スルーホール	
1 5 2、1 5 4、1 5 5、1 5 6、1 5 7、1 5 9	埋込導電体	
1 6 2、1 6 4、1 6 5、1 6 6、1 6 7、1 6 8、1 6 9	導電体	
1 6 5 a、1 6 6 a、1 6 8 a	外側端部	
1 6 6 b	内側端部	
1 7 0	電源	
1 7 2	陽極	
1 7 4	陰極	
1 8 0	接地	
1 9 2、1 9 4	導電体	20
2 1 0	半導体層	
2 1 2、2 1 4	半導体領域	
2 2 2	ソース	
2 2 4	ドレイン	
2 3 0	ゲート絶縁膜	
2 4 0	ゲート電極	
2 4 2	導電体	

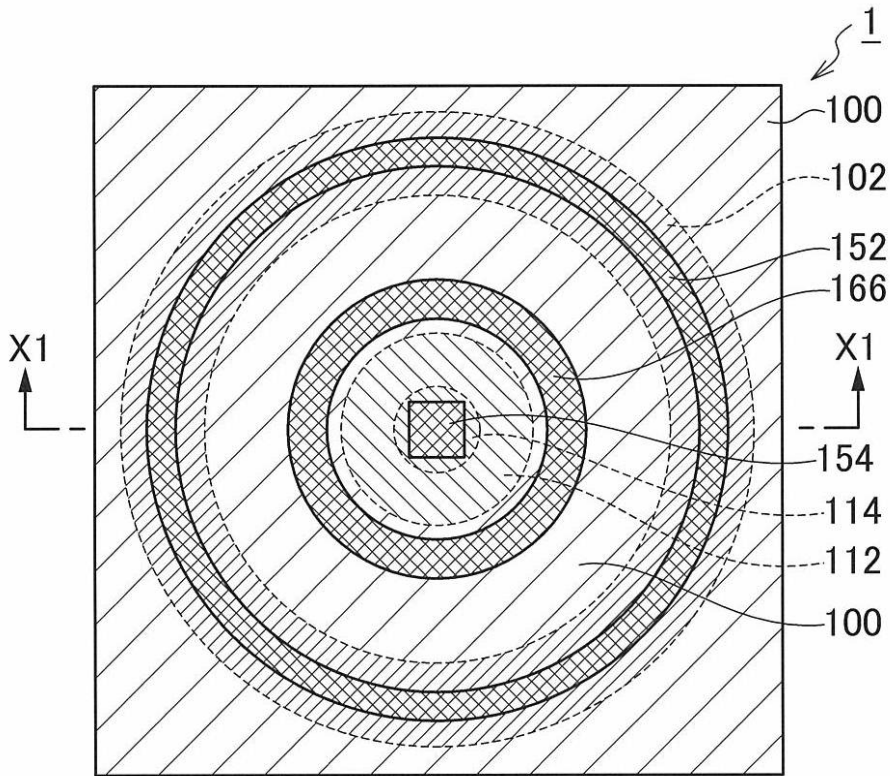
【 図 1 】



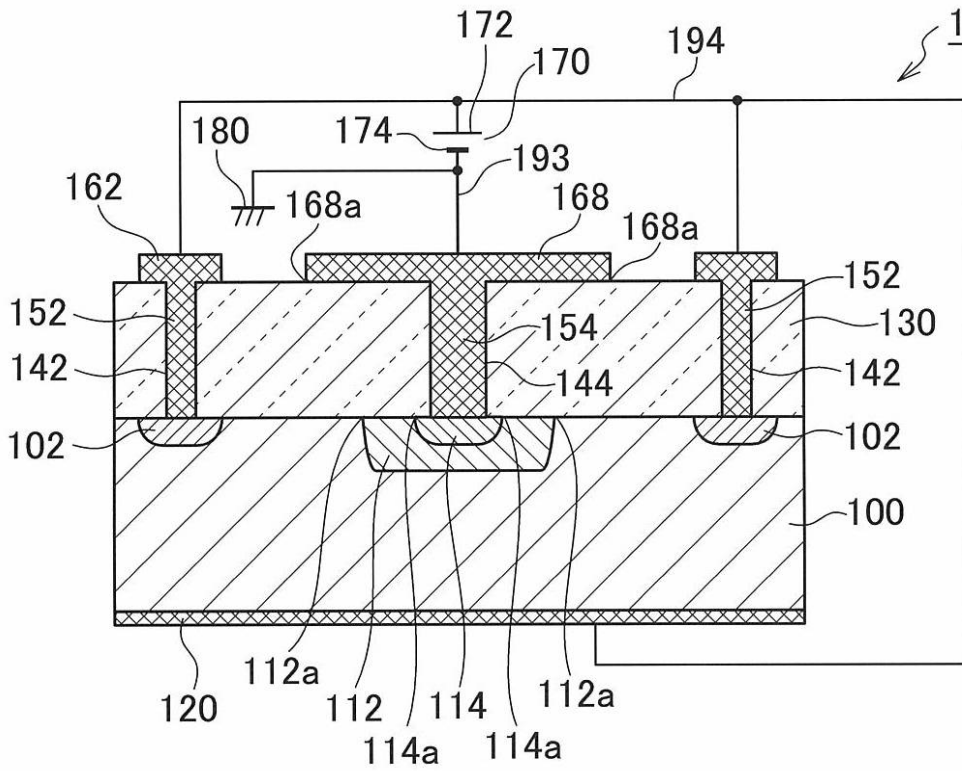
【 図 2 】



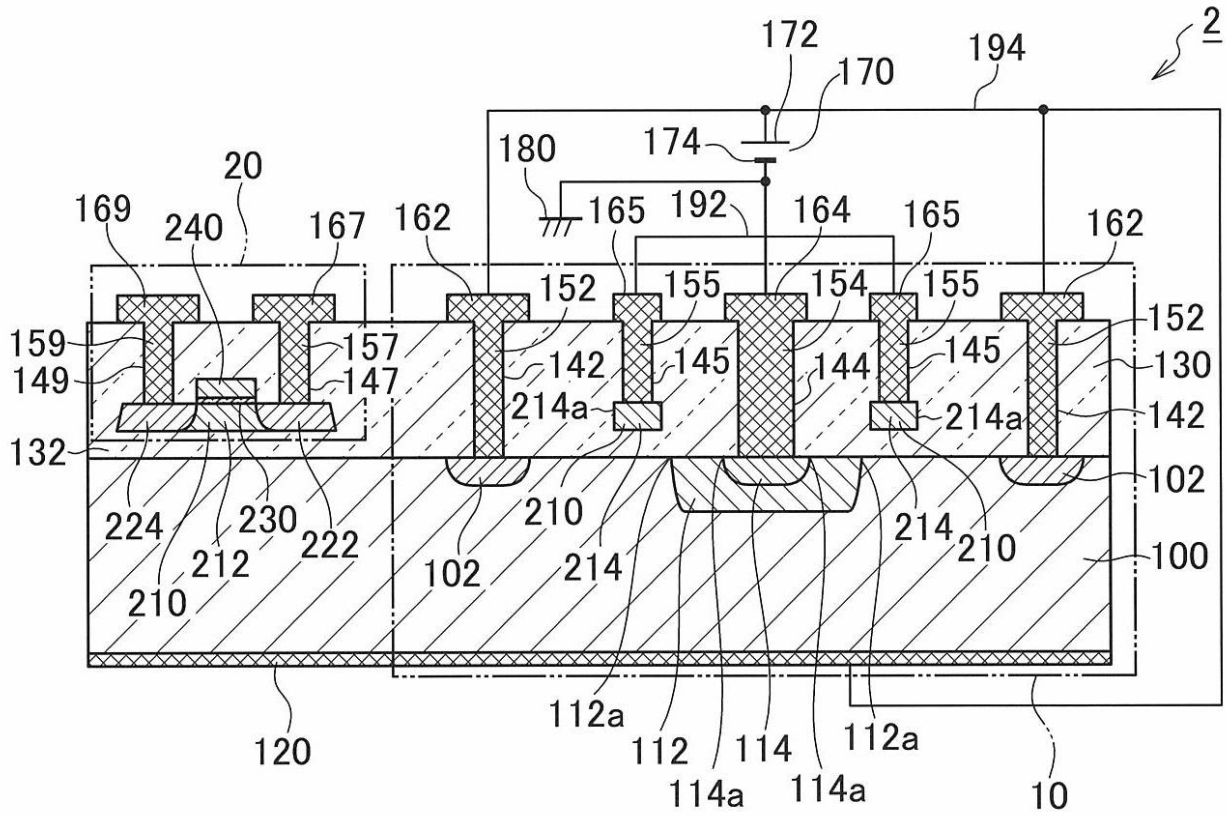
【 図 3 】



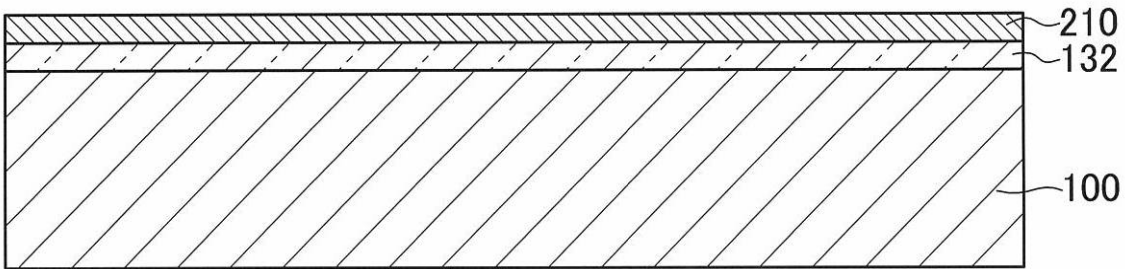
【 図 4 】



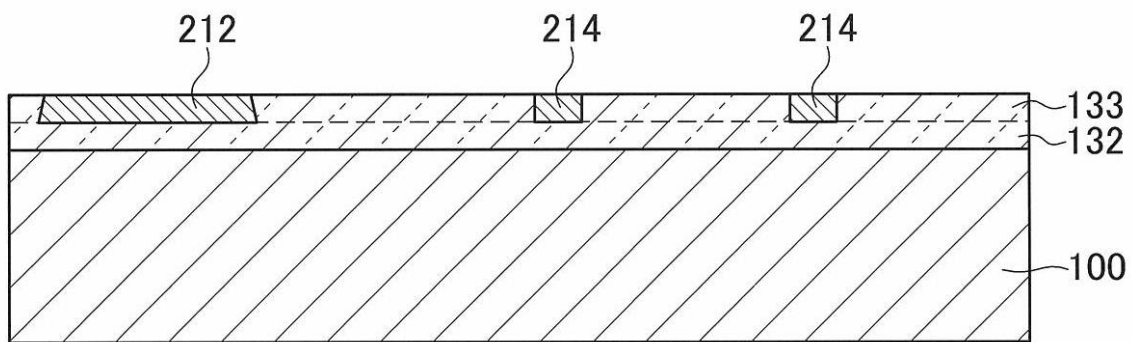
【 図 5 】



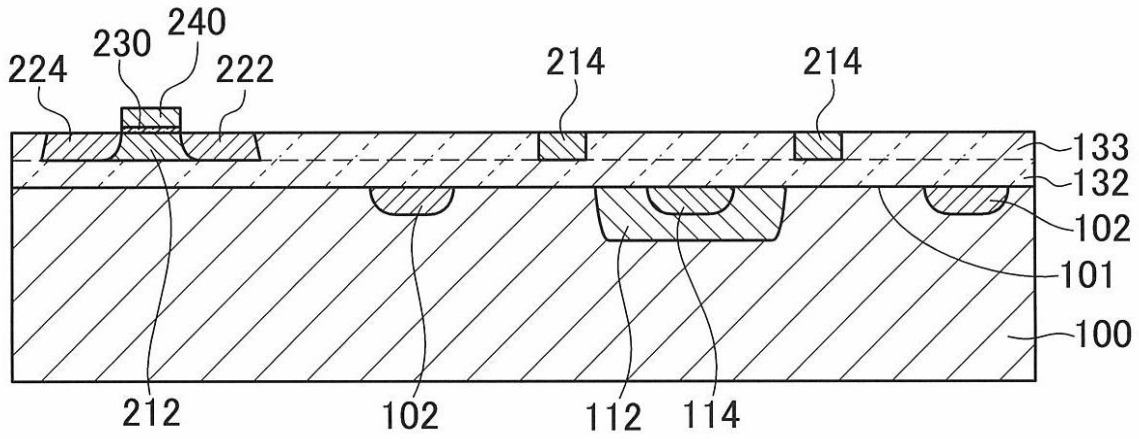
【 図 6 】



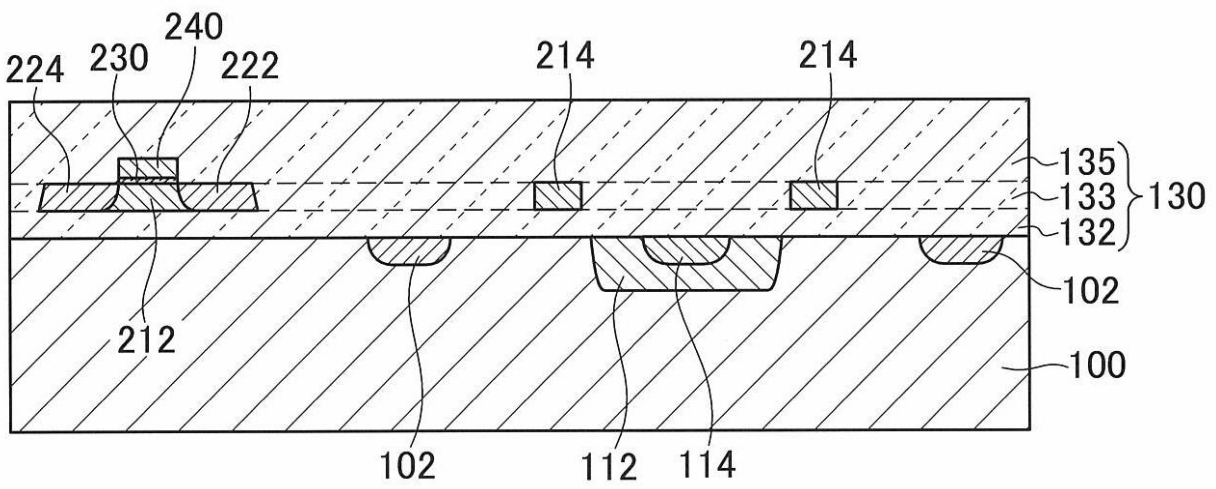
【 図 7 】



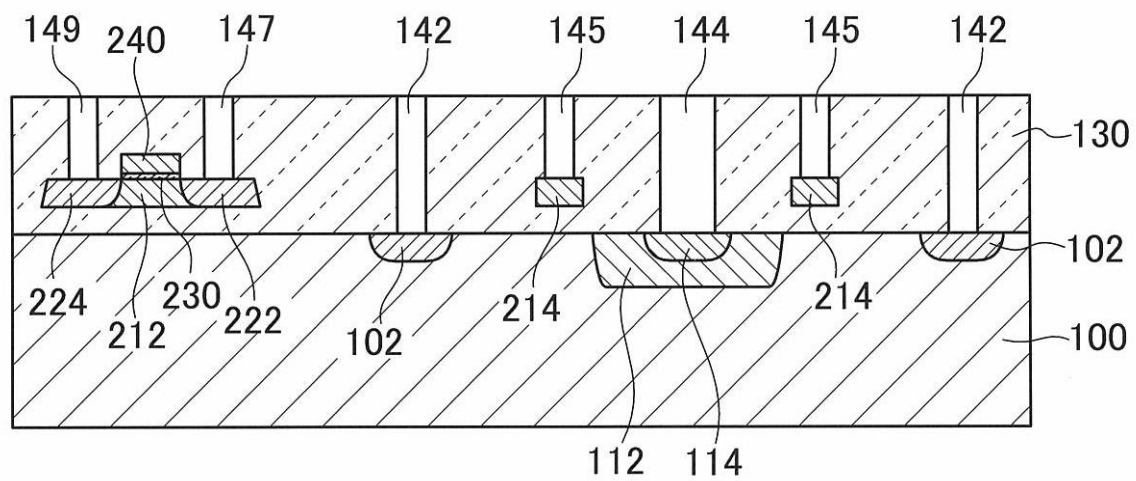
【 図 8 】



【 図 9 】

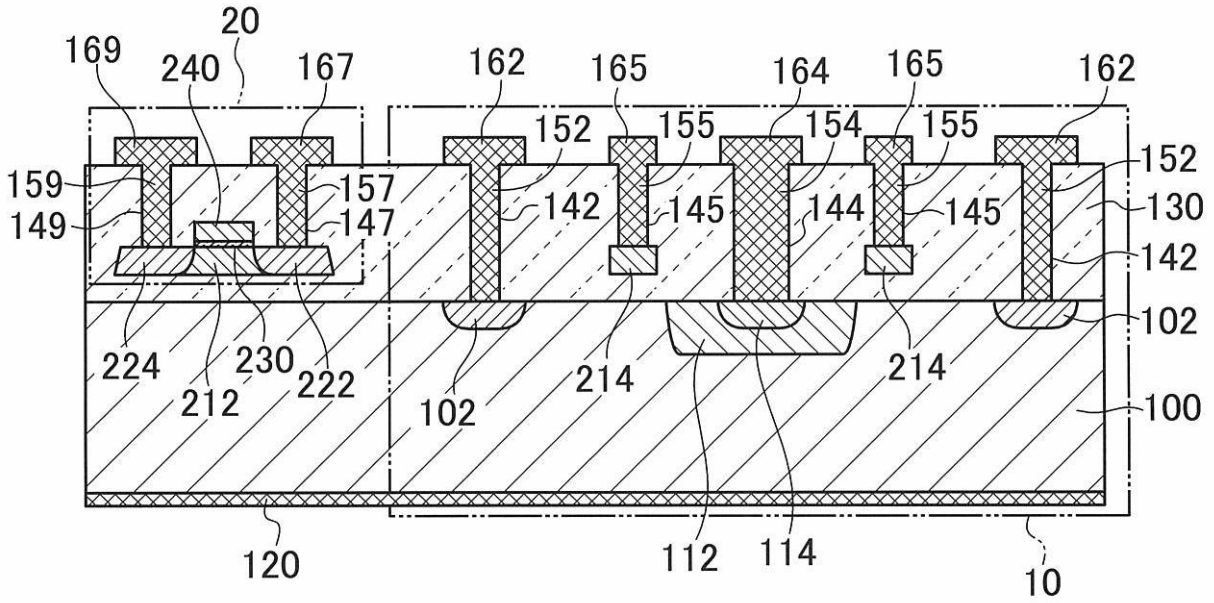


【 図 10 】

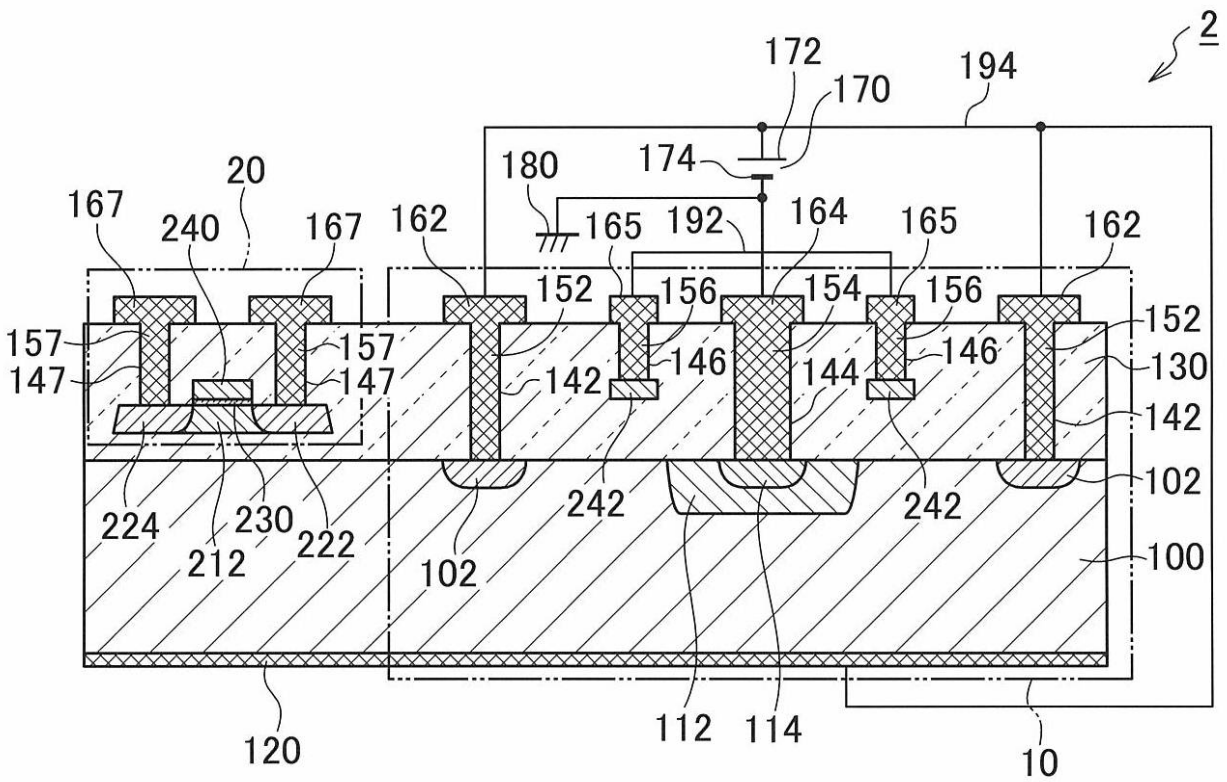




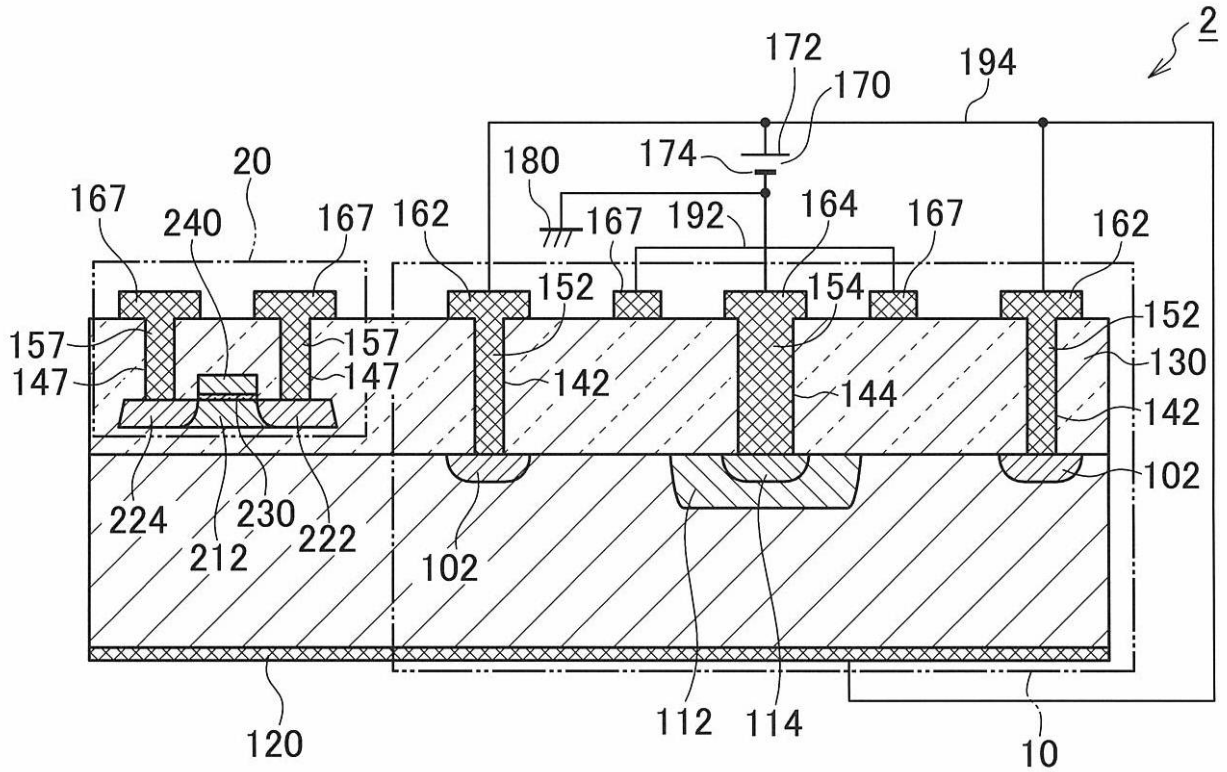
【図11】



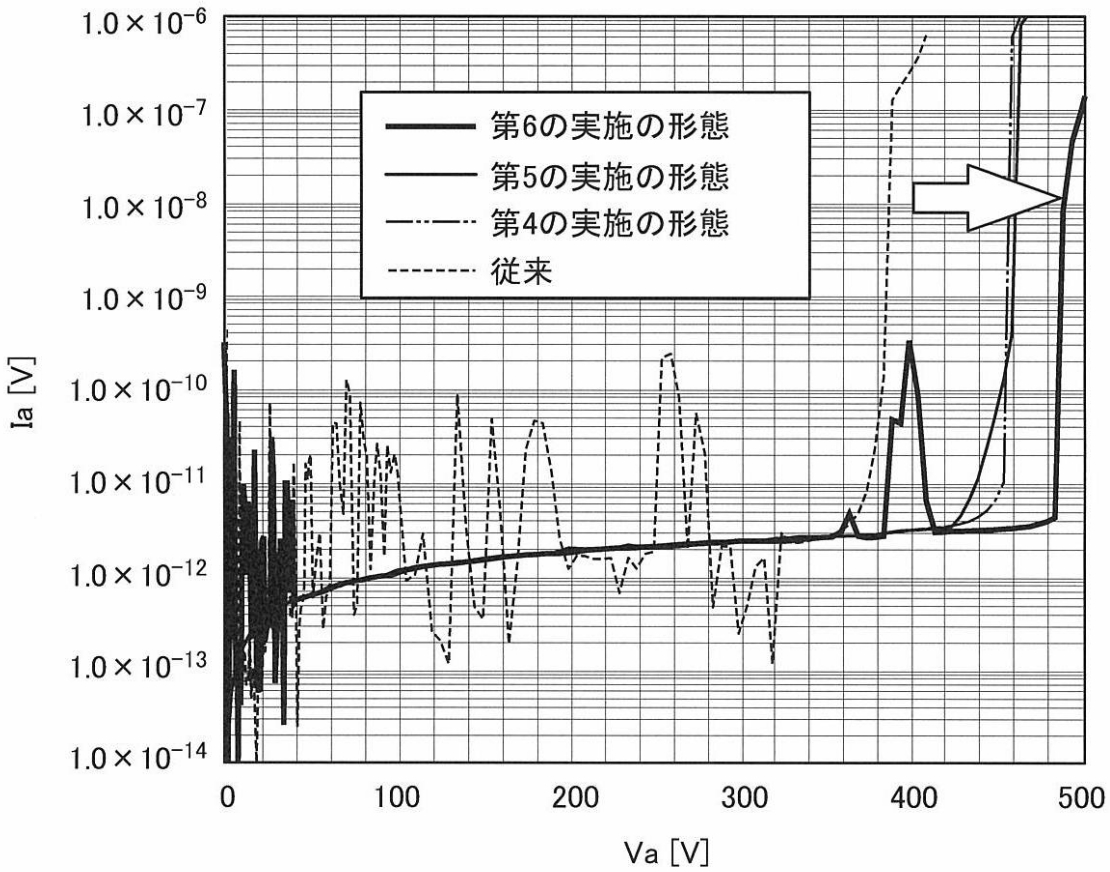
【図12】



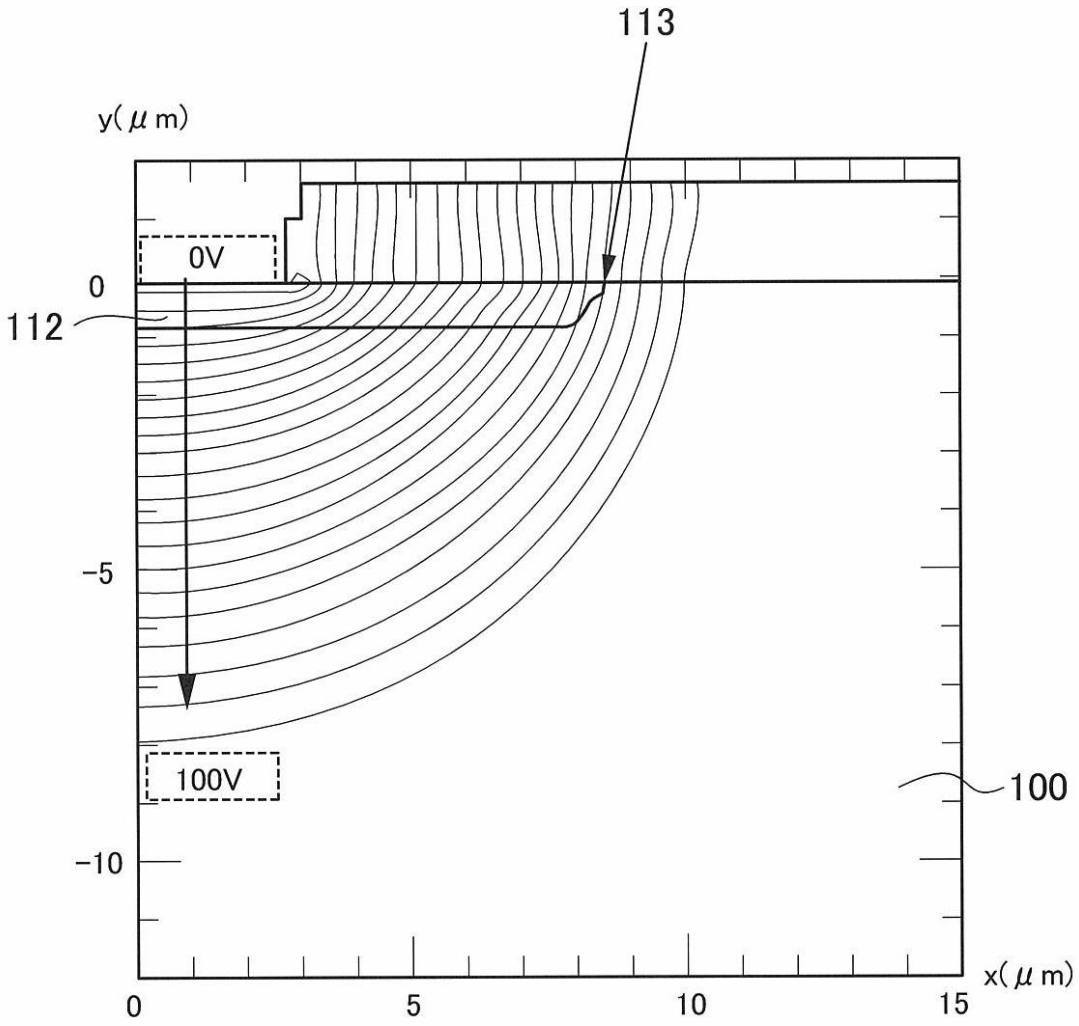
【図13】



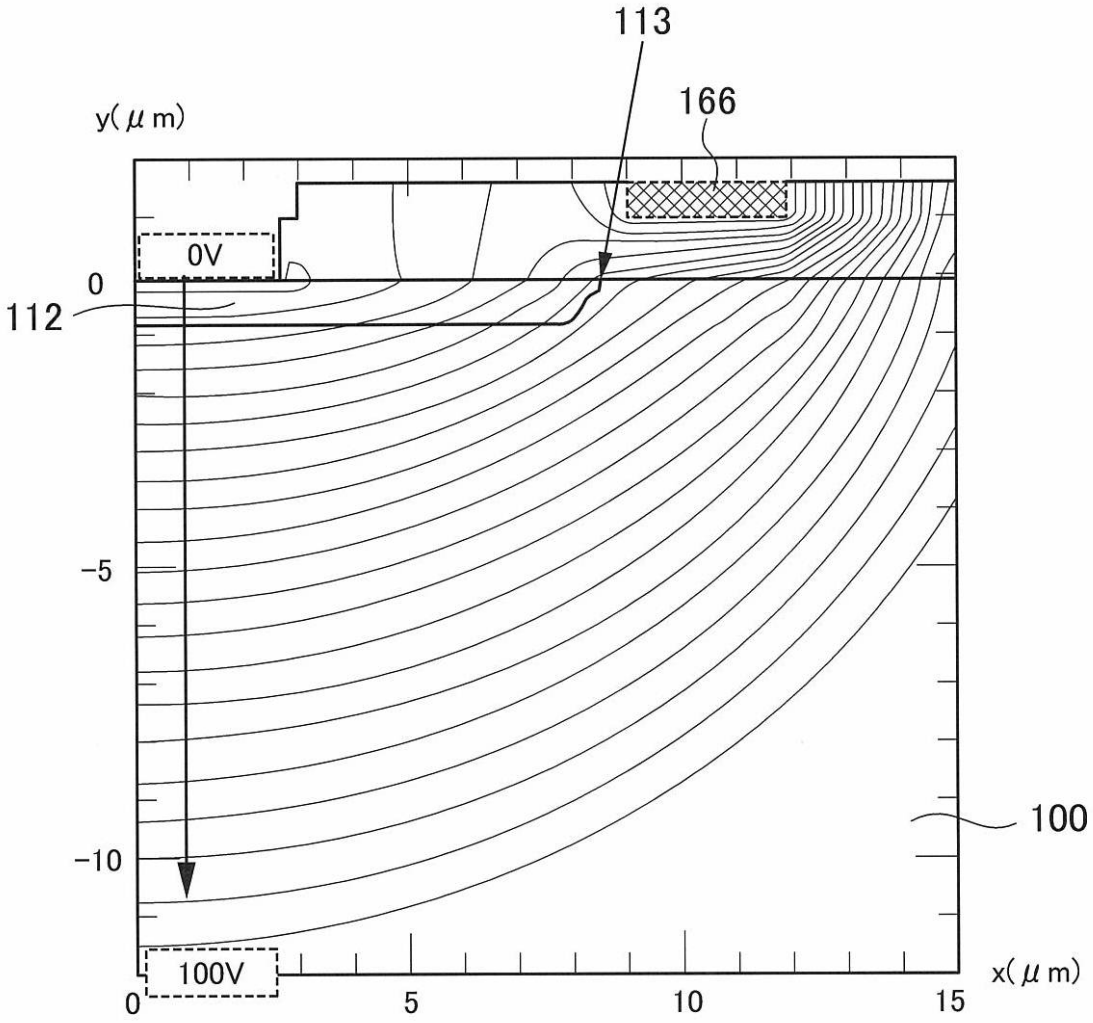
【図14】



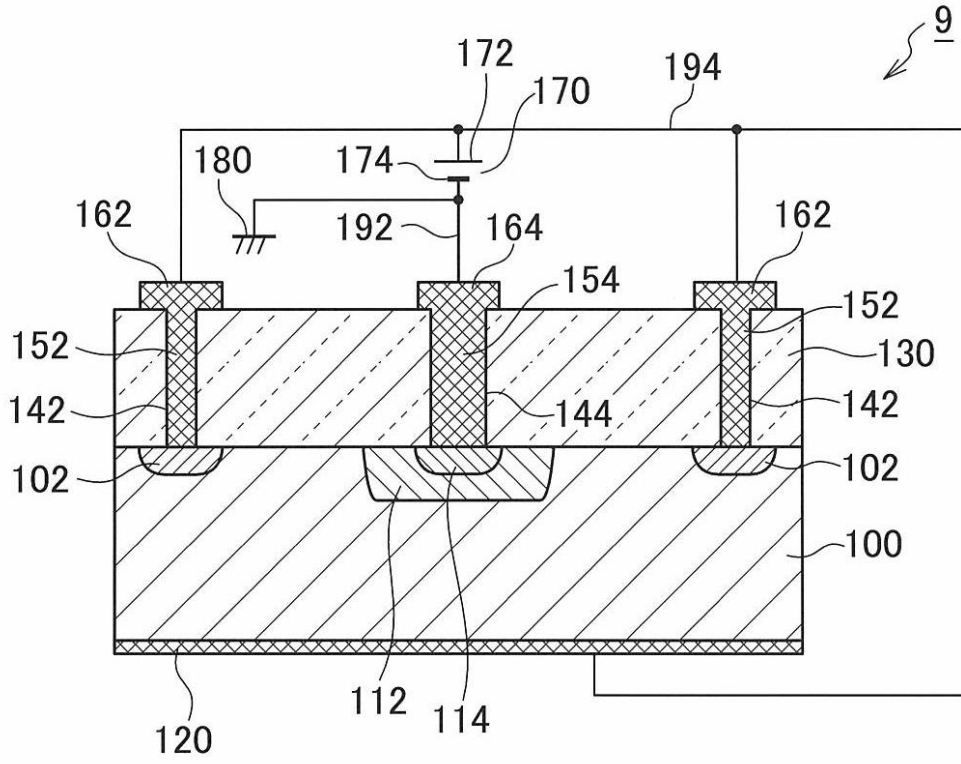
【 図 15 】



【 図 16 】



【図 17】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 31/09 (2006.01)** H 0 1 L 31/00 A

(74)代理人 100099025

弁理士 福田 浩志

(72)発明者 葛西 大樹

宮城県黒川郡大衡村沖の平 1 番

(72)発明者 新井 康夫

茨城県つくば市大穂 1 番地 1 大学共同利用機関法人 高エネルギー加速器研究機構内

(72)発明者 初井 宇記

兵庫県佐用郡佐用町光都 1 丁目 1 番 1 号 独立行政法人理化学研究所 播磨研究所内

F ターム(参考) 4M104 AA09 BB02 BB18 CC01 DD16 FF02 FF10 GG02 GG05 GG09

GG14

4M118 AA10 AB01 BA14 CA03 CA18 CA40 GA02 GA10

5F088 AA02 BA01 BA15 BA20 BB06 CB10 GA03 KA02 KA10 LA08

5F110 AA11 BB09 CC02 DD05 DD13 GG02 HJ04 HJ13 HL04 HM17

NN02 NN23 NN66 NN71 NN77