

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-204009

(P2014-204009A)

(43) 公開日 平成26年10月27日(2014.10.27)

(51) Int.Cl.			F I			テーマコード (参考)		
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A	4M118		
HO 1 L	27/144	(2006.01)	HO 1 L	27/14	K	5C024		
HO 1 L	31/08	(2006.01)	HO 1 L	31/00	A	5F088		
HO 4 N	5/32	(2006.01)	HO 4 N	5/32				

審査請求 未請求 請求項の数 11 O L (全 17 頁)

(21) 出願番号 特願2013-79859 (P2013-79859)
 (22) 出願日 平成25年4月5日 (2013.4.5)

(71) 出願人 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地8

(71) 出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1

(74) 代理人 100079049
 弁理士 中島 淳

(74) 代理人 100084995
 弁理士 加藤 和詳

(74) 代理人 100099025
 弁理士 福田 浩志

最終頁に続く

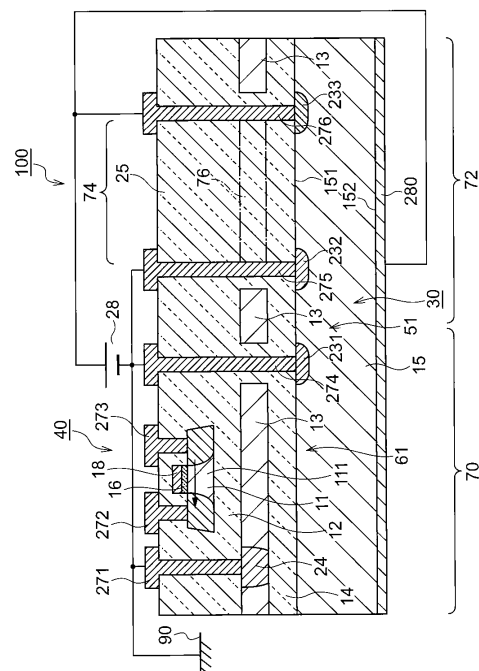
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体層同士の電気的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法を提供する。

【解決手段】第2の半導体層15とP型の半導体領域231を具備するフォトダイオード30、MOSTランジスタ40が形成されたP型の第1の半導体層11、第2の半導体層15と第1の半導体層11との間に設けられた第3の半導体層13、第2の半導体層15と第3の半導体層13との間に設けられた埋め込み酸化膜14、及び第3の半導体層13と第1の半導体層11との間に設けられた埋め込み酸化膜12を含むセンサ部70と、第2の半導体層15の主面に形成されたP型の半導体領域232およびN型の取り出し領域233、P型の半導体領域232とN型の取り出し領域233とで挟まれた領域に設けられたガードリング部絶縁膜領域74を含むとともに、センサ部70を取り囲むように配置されたガードリング部72と、を備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の半導体層に形成されたフォトダイオードと、前記第 1 の半導体層の一主面上に設けられ回路素子が形成された第 2 の半導体層と、前記第 1 の半導体層と前記第 2 の半導体層との間に設けられた第 3 の半導体層と、前記第 1 の半導体層と前記第 3 の半導体層との間に設けられた第 1 の絶縁層と、前記第 3 の半導体層と前記第 2 の半導体層との間に設けられた第 2 の絶縁層と、を含む放射線検知部、

及び前記放射線検知部を取り囲んで形成されると共に、前記第 1 の半導体層の前記一主面に形成された第 1 の領域と、前記第 1 の領域を取り囲んで形成されると共に、前記第 1 の半導体層の前記一主面に形成された第 2 の領域と、前記第 1 の半導体層の前記一主面上の領域で前記第 1 の領域と前記第 2 の領域とで挟まれた前記第 3 の半導体層に対応する深さの領域に形成された第 3 の絶縁層と、を含むガードリング部

を備えた半導体装置。

【請求項 2】

第 1 の半導体層に形成されたフォトダイオードと、前記第 1 の半導体層の一主面上に設けられ回路素子が形成された第 2 の半導体層と、前記第 1 の半導体層と前記第 2 の半導体層との間に設けられた第 1 の絶縁層と、を含む放射線検知部、

及び前記放射線検知部を取り囲んで形成されると共に、前記第 1 の半導体層の前記一主面に形成された第 1 の領域と、前記第 1 の領域を取り囲んで形成されると共に、前記第 1 の半導体層の前記一主面に形成された第 2 の領域と、前記第 1 の半導体層の前記一主面上の領域で前記第 1 の領域と前記第 2 の領域とで挟まれた前記第 2 の半導体層に対応する深さの領域に、化学気相成長法によって形成された第 2 の絶縁層と、を含むガードリング部を備えた半導体装置。

【請求項 3】

前記第 1 の領域に負極側の電位を、前記第 2 の領域に正極側の電位を各々印加する印加手段をさらに備えた

請求項 1 に記載の半導体装置。

【請求項 4】

前記第 3 の絶縁層が化学気相成長法によって形成された膜である

請求項 1 又は請求項 3 に記載の半導体装置。

【請求項 5】

前記第 3 の絶縁層の内部に前記一主面に垂直な方向から見た場合に前記第 3 の半導体層が複数の帯状に形成されている

請求項 1、請求項 3、請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 3 の絶縁層の内部に前記一主面に垂直な方向から見た場合に前記第 3 の半導体層が複数の島状に形成されている

請求項 1、請求項 3、請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 の半導体層は第 1 の導電型であり、前記第 2 の半導体層は前記第 1 の導電型とは反対の導電型の第 2 の導電型であり、前記第 1 の領域は第 2 の導電型であり、前記第 2 の領域は第 1 の導電型である

請求項 1、請求項 3 ないし請求項 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 2 の絶縁層の内部に前記一主面に垂直な方向から見た場合に前記第 2 の半導体層が複数の帯状に形成されている

請求項 2 に記載の半導体装置。

【請求項 9】

前記第 2 の絶縁層の内部に前記一主面に垂直な方向から見た場合に前記第 2 の半導体層が複数の島状に形成されている

10

20

30

40

50

請求項 2 に記載の半導体装置。

【請求項 10】

第 1 の半導体層と、前記第 1 の半導体層上の第 1 の絶縁層と、前記第 1 の絶縁層上の第 3 の半導体層と、前記第 3 の半導体層上の第 2 の絶縁層と、前記第 2 の絶縁層上の第 2 の半導体層を備えたシリコン基板を準備する工程と、

前記シリコン基板に形成された第 1 の領域を囲んで前記第 1 の半導体層上に不純物を導入して形成される第 2 の領域と、前記第 2 の領域を囲んで前記第 1 の半導体層上に不純物を導入して形成される第 3 の領域とで囲まれる領域の、少なくとも前記第 2 の半導体層、前記第 2 の絶縁層、及び前記第 3 の半導体層を除去する工程と、

前記第 2 の領域に第 1 の導電型の不純物を導入する工程と、

前記第 3 の領域に前記第 1 の導電型とは反対の導電型の第 2 の導電型の不純物を導入する工程と、

前記第 2 の領域と前記第 3 の領域とで囲まれた領域の、前記第 3 の半導体層に対応する深さに第 3 の絶縁層を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 11】

前記第 1 の領域が、放射線検知部として機能することを特徴とする

請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、同一の SOI (Silicon On Insulator) 基板上に、X 線等を検出するためのフォトダイオードとトランジスタや抵抗などの回路素子とを混在させた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

特許文献 1 には、同一の半導体基板に、センサと周辺回路とが絶縁膜を介して形成されている構造の半導体装置が開示されている。特許文献 1 に開示された半導体装置では、アノード電極である高濃度 P 型拡散層および該高濃度 P 型拡散層を覆うようにして設けられた低濃度の P 型ウエル拡散層を囲うようにして半導体領域を形成している。そして、該半導体領域がフィールドプレートとして働くことにより、P 型ウエル拡散層の電位の上昇が抑制され、結果として、半導体装置の逆方向耐圧を上昇させている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012 - 080045 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に開示された X 線センサとしての半導体装置では、SOI 基板を採用し、X 線検出用のフォトダイオードを SOI 基板の半導体 (シリコン) 基板に形成し、能動素子 (回路素子) としてのトランジスタを半導体基板上に絶縁膜を介して設けられた半導体層に形成している。そして、X 線入射時の検出感度を高くするため、フォトダイオードを形成する半導体基板として低濃度高抵抗の半導体基板を使用し、この半導体基板の裏面に数百 V のバイアス電圧を印加して、半導体基板全体を空乏化している。したがって、このような構造の半導体装置においては、高耐圧であることも要求される。

【0005】

しかしながら、特許文献 1 に開示された半導体装置では、半導体基板に印加されたバイアス電圧がトランジスタが形成されている半導体層に影響し、トランジスタに意図しない

10

20

30

40

50

電流を発生させる場合があるという問題があった。

【0006】

この問題を回避するための1つの方法として、X線センサを形成する基板にDouble-SOI(Double-Silicon On Insulator)基板を用いる方法が考えられる。以下、このDouble-SOI基板を用いた半導体装置を、比較例として説明する。

【0007】

図17は、該比較例に係る半導体装置500を示している。

半導体装置500では、図17に示すように、埋め込み酸化膜12の上側の第1の半導体層11を回路動作のMOSトランジスタ40等の回路素子形成用の高濃度低抵抗基板とし、埋め込み酸化膜14の下側の第2の半導体層15をフォトダイオード30形成用の低濃度高抵抗基板とすることで、1枚のウエハ10上に周辺回路を含めたX線センサ部を構成している。図17のP型の半導体領域231が、フォトダイオード30のアノード領域となっている。

10

【0008】

また、P型の半導体領域232およびN型の取り出し領域233は、フォトダイオード30およびMOSトランジスタ40を含んで構成されるX線センサ部を取り囲んで形成され、該X線センサ部のガードリング部を構成している。X線センサ部は、アレイ状に敷き詰められた複数のフォトダイオード30を含んで構成されるのが一般的である。

【0009】

ガードリング部の基本的な機能は、高いバイアス電圧を印加した場合に、半導体基板(第2の半導体層15)の内部で空乏層が均等に広がるようにして半導体装置500のフォトダイオード30の逆方向耐圧(ブレイクダウン電圧)を確保することである。

20

【0010】

具体的には、ガードリング部のP型の半導体領域232は、P型の半導体領域231から広がる空乏層をさらに外側に広げる機能を有している。これにより、アレイ状に敷き詰められたフォトダイオード30のうちの比較的外側に配置される(ガードリング部のP型の半導体領域232の内側近傍に配置される)フォトダイオード30と比較的内側に配置されるフォトダイオード30との間での性能のバラツキを抑えることもできる。

【0011】

一方、ガードリング部のN型の取り出し領域233は、半導体基板(第2の半導体層15)の電位を固定するとともに、上記P型の半導体領域232から広がる空乏層の平面方向への広がりを抑制し、深さ方向へ広げることで、半導体装置500のチップ端面(側面)にP型の半導体領域231から広がる空乏層が到達するのを抑制する機能を有している。

30

【0012】

ここで、前述したように、半導体装置500ではDouble-SOI基板を用いているため、図17において、埋め込み酸化膜12と埋め込み酸化膜14との間に第3の半導体層13が形成されている。

本比較例に係る半導体装置500では、この第3の半導体層13が第1の半導体層11と第2の半導体層15とを電気的に分離するように作用することで、電源28により第2の半導体層15に印加されたバイアス電圧の第1の半導体層11に及ぼす影響が抑制されている。

40

【0013】

すなわち、第3の半導体層13が無い場合には、第2の半導体層15を空乏化するために電源28により第2の半導体層15の裏面に印加されたバイアス電圧が、埋め込み酸化膜12を介して埋め込み酸化膜12上に形成した第1の半導体層11にも伝わる場合がある。すると、第1の半導体層11に形成したMOSトランジスタ40のチャネル領域において、意図しない電流が発生し、半導体装置500が誤動作することもある。

これに対し、第3の半導体層13を設け、第1の半導体層11と第2の半導体層15と

50

を電氣的に分離することにより、このような電流の発生が抑制される。

【0014】

ところが、比較例に係る半導体装置500では、製造工程上、ガードリング部を構成するP型の半導体領域232とN型の取り出し領域233との間にもフローティング状態の第3の半導体層13bが存在する。そして、この第3の半導体層13bがフォトダイオード30のブレークダウン電圧を低くするように作用し、半導体装置500の逆方向耐圧を低下させているという問題がある。

【0015】

すなわち、図17に示すように、P型の半導体領域231および232を接地し、N型の取り出し領域233および基板裏面に数百Vのバイアス電圧を印加すると、容量結合によってある電位をもった第3の半導体層13bが、X線センサ部からガードリング部の一番外側の領域(N型の取り出し領域233近傍の領域)に広がる電位ポテンシャルの広がりを抑制してしまう。つまり、第3の半導体層13bが空乏層の広がりを抑圧してしまう。この現象により、半導体装置500の逆方向耐圧を大幅に低下させてしまうという問題がある。

10

【0016】

本発明は、上述した課題を解決するためになされたものであり、半導体層同士の電氣的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

20

【0017】

上記目的を達成するために、請求項1に記載の半導体装置は、第1の半導体層に形成されたフォトダイオードと、前記第1の半導体層の一主面上に設けられ回路素子が形成された第2の半導体層と、前記第1の半導体層と前記第2の半導体層との間に設けられた第3の半導体層と、前記第1の半導体層と前記第3の半導体層との間に設けられた第1の絶縁層と、前記第3の半導体層と前記第2の半導体層との間に設けられた第2の絶縁層と、を含む放射線検知部、及び前記放射線検知部を取り囲んで形成されると共に、前記第1の半導体層の前記一主面に形成された第1の領域と、前記第1の領域を取り囲んで形成されると共に、前記第1の半導体層の前記一主面に形成された第2の領域と、前記第1の半導体層の前記一主面上の領域で前記第1の領域と前記第2の領域とで挟まれた前記第3の半導体層に対応する深さの領域に形成された第3の絶縁層と、を含むガードリング部を備えている。

30

【0018】

また、上記目的を達成するために、請求項2に記載の半導体装置は、第1の半導体層に形成されたフォトダイオードと、前記第1の半導体層の一主面上に設けられ回路素子が形成された第2の半導体層と、前記第1の半導体層と前記第2の半導体層との間に設けられた第1の絶縁層と、を含む放射線検知部、及び前記放射線検知部を取り囲んで形成されると共に、前記第1の半導体層の前記一主面に形成された第1の領域と、前記第1の領域を取り囲んで形成されると共に、前記第1の半導体層の前記一主面に形成された第2の領域と、前記第1の半導体層の前記一主面上の領域で前記第1の領域と前記第2の領域とで挟まれた前記第2の半導体層に対応する深さの領域に、化学気相成長法によって形成された第2の絶縁層と、を含むガードリング部を備えている。

40

【0019】

一方、請求項10に記載の半導体装置の製造方法は、第1の半導体層と、前記第1の半導体層上の第1の絶縁層と、前記第1の絶縁層上の第3の半導体層と、前記第3の半導体層上の第2の絶縁層と、前記第2の絶縁層上の第2の半導体層を備えたシリコン基板を準備する工程と、前記シリコン基板に形成された第1の領域を囲んで前記第1の半導体層上に不純物を導入して形成される第2の領域と、前記第2の領域を囲んで前記第1の半導体層上に不純物を導入して形成される第3の領域とで囲まれる領域の、少なくとも前記第2の半導体層、前記第2の絶縁層、及び前記第3の半導体層を除去する工程と、前記第2の

50

領域に第 1 の導電型の不純物を導入する工程と、前記第 3 の領域に前記第 1 の導電型とは反対の導電型の第 2 の導電型の不純物を導入する工程と、前記第 2 の領域と前記第 3 の領域とで囲まれた領域の、前記第 3 の半導体層に対応する深さに第 3 の絶縁層を形成する工程と、を備えている。

【発明の効果】

【0020】

本発明によれば、半導体層同士の電気的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【0021】

【図 1】第 1 の実施の形態に係る半導体装置の概略構成の一例を示す平面図である。

【図 2】第 1 の実施の形態に係る半導体装置の概略構成の一例を示す縦断面図である。

【図 3】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 4】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 5】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 6】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 7】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 8】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 9】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 10】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 11】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 12】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 13】第 1 の実施の形態に係る半導体装置の製造工程の一例の説明に供する縦断面図である。

【図 14】第 2 の実施の形態に係る半導体装置の概略構成の一例を示す縦断面図である。

【図 15】第 2 の実施の形態に係る半導体装置の第 3 の半導体層の形成パターンの一例を示す平面図である。

【図 16】第 3 の実施の形態に係る半導体装置の概略構成の一例を示す縦断面図である。

【図 17】比較例に係る半導体装置の構成を示す縦断面図である。

【発明を実施するための形態】

【0022】

[第 1 の実施の形態]

以下、図面を参照して本実施の形態に係る半導体装置 100 について詳細に説明する。

なお、本実施の形態に係る半導体装置 100 は、X 線、 γ 線、可視光等に感度を有するセンサとして構成することができるが、以下では、X 線センサとして機能する半導体装置 100 を例示して説明する。

【0023】

図 1 に示すように、半導体装置 100 は、センサ部 70、および、センサ部 70 を取り囲んで形成されたガードリング部 72 を含んで構成されている。同図では、ガードリング部を構成する後述の P 型の半導体領域 232 および N 型の取り出し領域 233 も併せて示

10

20

30

40

50

している。

以下では、まず、センサ部 70 の構成について説明する。

【0024】

図 2 は、図 1 において A - A で示された部分の縦断面図である。

図 2 に示すように、本実施の形態に係る半導体装置 100 は、周辺回路の一部として MOS トランジスタ 40 が形成された第 1 の半導体層 11 と、センサピクセルとして機能し、第 2 の半導体層 15 と P 型の半導体領域 231 とを備えるフォトダイオード 30 と、第 1 の半導体層 11 と第 2 の半導体層 15 との間に設けられた第 3 の半導体層 13 と、第 1 の半導体層 11 と第 3 の半導体層 13 との間に設けられた埋め込み酸化膜 12 と、第 2 の半導体層 15 と第 3 の半導体層 13 との間に設けられた埋め込み酸化膜 14 とを備えている。

10

【0025】

第 1 の半導体層 11、第 3 の半導体層 13 は P 型半導体基板、第 2 の半導体層 15 は N 型半導体基板で各々形成している。第 2 の半導体層 15 の主面 151 の領域 51 には、P 型の半導体領域 231 が設けられている。P 型の半導体領域 231 と N 型の第 2 の半導体層 15 で、センサピクセルとして機能する、X 線用のフォトダイオード 30 が形成されている。第 2 の半導体層 15 の主面 151 とは反対側の主面 152 には、電極 280 が設けられている。MOS トランジスタ 40 が形成された第 1 の半導体層 11 のアクティブ領域 111 は、第 2 の半導体層 15 の主面 151 の領域 51 とは異なる領域 61 上に設けられている。第 1 の半導体層 11 のアクティブ領域 111 と第 2 の半導体層 15 との間に設けられた第 3 の半導体層 13 には、高濃度の P 型の取り出し領域 24 が設けられている。

20

【0026】

センサ部 70 は、上記のフォトダイオード 30、および MOS トランジスタ 40 を含んで構成されている。

図 2 に示すように、センサ部 70 には第 3 の半導体層 13 が形成されており、この第 3 の半導体層 13 が第 1 の半導体層 11 と第 2 の半導体層 15 とを電氣的に分離する機能を果たしている。

【0027】

次に、ガードリング部 72 の構成について説明する。ガードリング部 72 は、第 2 の半導体層 15 にバイアス電圧を印加したり、スクライブ等を行ってペレットイズ（チップ個別化）した後のチップの端面（側面）に空乏層が到達するのを抑制したりする機能を有している。

30

【0028】

図 2 に示すように、ガードリング部 72 は、高濃度の P 型の半導体領域 232、ガードリング部絶縁膜領域 74、および高濃度の N 型の取り出し領域 233 を含んで構成されている。前述したセンサ部 70 とは異なり、P 型の半導体領域 232 と N 型の取り出し領域 233 とで挟まれたガードリング部絶縁膜領域 74 には、第 3 の半導体層 13 に対応する深さにガードリング部絶縁膜 76 が形成されており、第 3 の半導体層 13 が形成されていない。

【0029】

次に、本実施の形態に係る半導体装置 100 のバイアス電圧の印加について説明する。

半導体装置 100 では、X 線用のフォトダイオード 30 を構成する N 型の第 2 の半導体層 15 を空乏化するために、第 2 の半導体層 15 の裏面（主面 152）と高濃度の N 型の取り出し領域 233（カソード電極）に対し、電源 28 より正の高電圧が印加される。また、第 3 の半導体層 13 とフォトダイオード 30 のアノード電極となる P 型の半導体領域 231、およびガードリング部 72 の一部である P 型の半導体領域 232 は、電源 28 の負極側に接続されるとともに GND（接地）90 に接続される（接地される）。

40

【0030】

より具体的には、N 型の第 2 の半導体層 15 は、第 2 の半導体層 15 の主面 152 に設けられた電極 280 および第 2 の半導体層 15 の主面 151 に設けられた高濃度の N 型の

50

取り出し領域 233 に接続された電位固定電極 276 を介して電源 28 の正極側に接続されている。また、第 2 の半導体層 15 の主面 151 に設けられた P 型の半導体領域 231 および 232 は、各々取り出し電極 274 および電位固定電極 275 を介して電源 28 の負極側および GND 90 に接続されている。P 型の第 3 の半導体層 13 は、高濃度の P 型の取り出し領域 24 に接続された電位固定電極 271 を介して GND 90 に接続されている。

【0031】

P 型基板で形成された第 3 の半導体層 13 を接地電位に固定することにより、第 2 の半導体層 15 を空乏化するために第 2 の半導体層 15 の裏面（主面 152）に電源 28 から高電圧を印加した場合でも、第 1 の半導体層 11 のアクティブ領域 111 の埋め込み酸化膜 12 側の界面には当該高電圧は伝達されない。

10

【0032】

このように、第 1 の半導体層 11 のアクティブ領域 111 に形成した MOS トランジスタ 40 と第 2 の半導体層 15 に形成したセンサピクセルとしてのフォトダイオード 30 の間には接地電位に固定された第 3 の半導体層 13 があるために、センサピクセルへの寄生容量が非常に小さくなる。また、センサピクセルへ信号が入力された際に第 1 の半導体層 11 の MOS トランジスタ 40 へ影響を及ぼすクロストークも、ほぼ無視できる程度となる。

【0033】

一方、上述したように、ガードリング部 72 には、フィールドプレートとして機能してしまう第 3 の半導体層 13 が存在しないため、空乏層を形成する電位分布の広がりが抑圧されずに一定の耐圧を確保することが可能となる。

20

【0034】

次に、本実施の形態に係る半導体装置 100 の製造方法について説明する。

なお、以下で各部の寸法や電気的特性等を示す数値は一例であり、本発明はこれらの値に限定されるものではない。

【0035】

まず、図 3 に示すように埋め込み酸化膜 12、14 を挟んで上側に第 1 の半導体層 11、下側に約 700 μm の厚さの第 2 の半導体層 15、中央に第 3 の半導体層 13 を各々有する Double-SOI 基板を作製する。この時、例えば第 1 の半導体層 11 および第 3 の半導体層 13 は比抵抗約 10 Ω・cm の P 型半導体基板、第 2 の半導体層 15 は比抵抗約 10 k Ω・cm の N 型半導体基板で形成する。

30

【0036】

第 1 の半導体層 11 の表面に、パッド酸化膜（図示せず）と窒化膜（図示せず）を形成し、LOCOS（Local Oxidization of Silicon）形成法によりフィールド酸化膜を形成した後に、図 4 に示すように、全ての窒化膜と、パッド酸化膜を除去する。これにより、第 1 の半導体層 11 にアクティブ領域 111 が形成される。

【0037】

さらに、図 5 に示すように、第 1 の半導体層 11 のアクティブ領域 111 の表面にゲート酸化膜 16 を形成し、ポリシリコン膜を堆積、フォトレジスト（図示せず）でパターニングを行なったポリシリコン膜のドライエッチングを行い、ゲート電極 18 を形成する。

40

【0038】

次に、図 6 に示すように、フォトレジスト（図示せず）を除去した後に、第 1 の半導体層 11 のアクティブ領域 111 に LDD（Lightly Doped Drain、図示せず）のイオン注入を行い、サイドウォールスペーサ 20 を形成したのちに、高濃度ソース・ドレイン 19 のイオン注入工程を行い、MOS トランジスタ 40 を形成する。

【0039】

次に、図 7 に示すように、第 2 の半導体層 15 に形成するべき P 型の半導体領域 231、232、および N 型の取り出し領域 233 以外の領域をフォトレジスト（図示せず）に

50

て覆い、埋め込み酸化膜 1 2、1 4、および第 3 の半導体層 1 3 をエッチングして、開口 2 1 1、2 1 2 をそれぞれ形成した後に、フォトレジストを除去する。この際、ガードリング部 7 2 を構成する P 型の半導体領域 2 3 2 および N 型の取り出し領域 2 3 3 を形成すべき領域については、その間の領域も含めてフォトレジストを塗布しないようにする。つまり、開口 2 1 2 は、P 型の半導体領域 2 3 2 と N 型の取り出し領域 2 3 3 との間に存在する第 3 の半導体層 1 3 等も除去するように形成される。

【0040】

次に、図 8 に示すように、第 3 の半導体層 1 3 に形成すべき P 型の取り出し領域 2 4 以外の領域をフォトレジスト（図示せず）にて覆い、埋め込み酸化膜 1 2 をエッチングして、開口 2 2 を形成した後にフォトレジストを除去する。

10

【0041】

次に、図 9 に示すように、開口 2 1 1、2 1 2、および 2 2 を埋めるようにして全面にフォトレジスト 3 0 0 を塗布する。本フォトレジスト 3 0 0 の塗布は、N 型の取り出し領域 2 3 3、P 型の半導体領域 2 3 1 および 2 3 2、および P 型の取り出し領域 2 4 に対応する部分へ不純物を注入するための工程の一部である。

【0042】

次に、図 1 0 に示すように、マスク（図示せず）によりパターニングしてフォトレジスト 3 0 0 の N 型の取り出し領域 2 3 3 に対応する部分に開口 2 1 3 を形成し、該開口 2 1 3 を介して例えば不純物 3 1 P⁺ を注入した後、フォトレジスト 3 0 0 を除去する。

20

【0043】

同様にして、リソグラフィ技術を用いてフォトダイオード 3 0 のアノードを兼ねた P 型の半導体領域 2 3 1 およびガードリング部 7 2 の P 型の半導体領域 2 3 2 に対応する部分に各々フォトレジスト 3 0 0 の開口を形成し、該開口を介して例えば不純物 1 1 B⁺ を注入した後、フォトレジスト 3 0 0 を除去する。

さらに、リソグラフィ技術を用いて第 3 の半導体層 1 3 の P 型の取り出し領域 2 4 に対応する部分にフォトレジスト 3 0 0 の開口を形成し、該開口を介して例えば不純物 4 9 B₂⁺ を注入する（図示せず）。

その後、残留しているフォトレジスト 3 0 0 を除去する。

【0044】

なお、上記においては、不純物の注入を、N 型の取り出し領域 2 3 3、P 型の半導体領域 2 3 1 および 2 3 2、および P 型の取り出し領域 2 4 の順序で行うことを例示して説明したが、これに限られず、不純物の注入順序は適宜変えてもよい。

30

【0045】

次に、図 1 1 に示すように、CVD（Chemical Vapor Deposition：化学気相成長）膜の堆積によって開口 2 1 1、2 1 2、および 2 2 の埋め込みを行う。ここで、開口 2 1 2 の第 3 の半導体層 1 3 に対応する領域にはガードリング絶縁膜 7 6 が形成される。なお、開口 2 1 1、2 1 2 および 2 2 を埋め込んだ CVD 膜を層間膜 2 5 として使用してもよい。

その後、第 1 の半導体層 1 1 のアクティブ領域 1 1 1、第 2 の半導体層 1 5、および第 3 の半導体層 1 3 に各々接続するための電極を形成する場所をエッチングすることによって、図 1 2 に示すように、コンタクトホール 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5、および 2 6 6 を形成する。最後にスパッタによって形成したメタル層の、電極形成領域以外の部分をエッチングすることによって、図 1 3 に示すように、電位固定電極 2 7 1、2 7 5、2 7 6、トランジスタ電極 2 7 2、2 7 3、および取り出し電極 2 7 4 を形成する。また、第 2 半導体層 1 5 の裏面にも、電極 2 8 0 を形成する。

40

【0046】

以上詳述したように、本実施の形態に係る半導体装置 1 0 0 によれば、半導体層同士の電氣的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法を提供することが可能となる。

【0047】

50

[第 2 の実施の形態]

図 1 4 および図 1 5 を参照して、本実施の形態に係る半導体装置 2 0 0 について説明する。

第 1 の実施の形態に係る半導体装置 1 0 0 は、ガードリング部 7 2 において第 3 の半導体層 1 3 をすべて除去する形態であったのに対し、本実施の形態は、該第 3 の半導体層 1 3 の一部を残す形態である。したがって、図 2 と同様の構成には同一の符号を付してその説明を省略する場合がある。

【 0 0 4 8 】

図 1 4 において、ガードリング部 7 2 におけるガードリング部絶縁膜領域 7 4 の内部には、第 3 の半導体層 1 3 が複数の部分に分離されて部分的に第 3 の半導体層 1 3 a が形成されている。このように第 3 の半導体層 1 3 を複数に分離することにより、分離された個々の第 3 の半導体層 1 3 が異なる電位に保たれ得るようになる。その結果、第 3 の半導体層 1 3 が特定の電位に保たれることにより第 2 の半導体層 1 5 における空乏層の広がり方が抑圧されるという先述した作用が生じにくくなるため、第 3 の半導体層 1 3 a のように第 3 の半導体層 1 3 を部分的に残して形成しても本発明の効果を奏することができる。

10

【 0 0 4 9 】

図 1 5 (a) および (b) は、各々異なる第 3 の半導体層 1 3 a の形成パターンを示しており、図 1 4 に示す第 3 の半導体層 1 3 a を主面 1 5 1 (1 5 2) に対し垂直な方向から見た平面図により表したものである。すなわち、図 1 5 (a) はスリット (帯) 状に第 3 の半導体層 1 3 a を形成する場合を示しており、また、図 1 5 (b) はアイランド (島) 状に第 3 の半導体層 1 3 a を形成する場合を示している。

20

なお、第 3 の半導体層 1 3 a の形成パターンは図 1 5 に示した帯状あるいは島状に限られず、第 3 の半導体層を部分的に形成した部分と形成しない部分が存在すればよいので、様々なパターンを適用することが可能である。

【 0 0 5 0 】

半導体装置 2 0 0 は、図 3 ないし図 1 3 に示す半導体装置 1 0 0 の製造方法に準じて製造することが可能である。特に、本実施の形態に係る第 3 の半導体層 1 3 a は、図 7 においてフォトレジストをパターンングして埋め込み酸化膜 1 2、1 4、および第 3 の半導体層 1 3 をエッチングする際、該パターンング用のマスクに上記帯状あるいは島状の部分を含ませて形成することができる。

30

【 0 0 5 1 】

以上のように、本実施の形態に係る半導体装置 2 0 0 によっても、半導体層同士の電気的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法を提供することが可能となる。

【 0 0 5 2 】

[第 3 の実施の形態]

図 1 6 を参照して、本実施の形態に係る半導体装置 4 0 0 について説明する。

第 1 の実施の形態および第 2 の実施の形態は、D o u b l e - S O I 基板を採用した形態であったが、本実施の形態は、S i n g l e - S O I、すなわち通常の S O I 基板を採用した形態である。したがって、図 2 と同様の構成には同一の符号を付してその説明を省略する場合がある。

40

【 0 0 5 3 】

図 1 6 に示すように、半導体装置 4 0 0 も M O S トランジスタ 4 0 等の回路素子、フォトダイオード 3 0 等を含んで構成されるセンサ部 7 0、P 型の半導体領域 2 3 2、N 型の取り出し領域 2 3 3、およびガードリング部絶縁膜領域 7 4 を含んで構成されるガードリング部 7 2 を具備している。

しかしながら、半導体装置 4 0 0 は、図 2 に示す第 3 の半導体層 1 3 を有しておらず、埋め込み酸化膜 1 4 の上に第 1 の半導体層 1 1 が配置されており、該第 1 の半導体層 1 1 に M O S トランジスタ 4 0 が形成されている。

【 0 0 5 4 】

50

以上のような構成の半導体装置 400 においては、製造工程上特に配慮しなければ、P 型の半導体領域 231、232、および N 型の取り出し領域 233 に対応する領域以外の領域に第 1 の半導体層 11 が配置される。すなわち、図 16 において、P 型の半導体領域 232 と N 型の取り出し領域 233 との間にも、P 型の半導体領域 232 と N 型の取り出し領域 233 との間以外の部分に配置された第 1 の半導体層 11 と同じ位置に第 1 の半導体層 11 が配置される。

【0055】

しかしながら、本実施の形態では、製造工程において、P 型の半導体領域 232 と N 型の取り出し領域 233 との間のガードリング部絶縁膜領域 74 に配置される第 1 の半導体層 11 を除去し、当該除去した第 1 の半導体層 11 に対応する深さにガードリング部絶縁膜 76 を形成している。

10

【0056】

これは、P 型の半導体領域 232 と N 型の取り出し領域 233 との間にプレート状に第 1 の半導体層 11 が配置されることにより、第 1 の実施の形態および第 2 の実施の形態で説明したのと同じ理由で、該プレート状の第 1 の半導体層 11 が半導体装置 400 の耐圧の低下をもたらすからである。

【0057】

半導体装置 400 は、Single-SOI を用い、図 3 ないし図 13 に示す半導体装置 100 の製造方法に準じて製造することが可能である（例えば、特許文献 1 参照。）。特に、P 型の半導体領域 232 と N 型の取り出し領域 233 との間の第 1 の半導体層 11 の除去は、例えば、第 1 の半導体層 11 に MOS トランジスタ 40 を形成した後、P 型の半導体領域 231、232、および N 型の取り出し領域 233 にイオン注入するための開口を形成する際に行うことができる。

20

【0058】

以上のように、本実施の形態に係る半導体装置 400 によっても、半導体層同士の電気的な分離を確保しつつ、耐圧の低下が抑制された半導体装置およびその製造方法を提供することが可能となる。

【0059】

ここで、上記では、半導体装置 400 において、P 型の半導体領域 232 と N 型の取り出し領域 233 との間の第 1 の半導体層 11 を完全に除去する形態を例示して説明したが、本発明はこれに限定されず、第 2 の実施の形態と同様にして、当該領域の第 1 の半導体層 11 を帯状あるいは島状に部分的に形成してもよい。

30

【0060】

なお、上記各実施の形態では、第 2 の半導体層 15 が N 型基板である場合について説明しているが、第 2 の半導体層 15 が P 型の半導体装置にも適用可能である。

【符号の説明】

【0061】

- 10 ウエハ
- 11 第 1 の半導体層
- 12、14 埋め込み酸化膜
- 13、13a、13b 第 3 の半導体層
- 15 第 2 の半導体層
- 16 ゲート酸化膜
- 18 ゲート電極
- 19 ソース・ドレイン
- 20 サイドウォールスペーサ
- 22 開口
- 24 P 型の取り出し領域
- 25 層間膜
- 28 電源

40

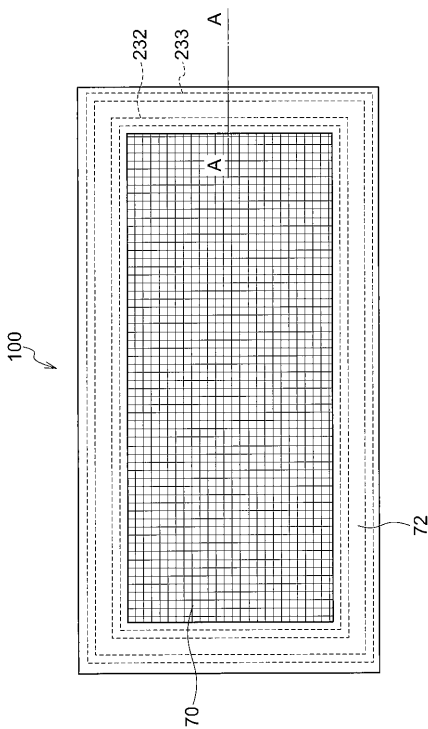
50

- 30 フォトダイオード
- 40 MOSトランジスタ
- 51 領域
- 61 領域
- 70 センサ部
- 72 ガードリング部
- 74 ガードリング部絶縁膜領域
- 76 ガードリング部絶縁膜
- 90 GND
- 100、200、400、500 半導体装置
- 111 アクティブ領域
- 151、152 主面
- 211、212、213、 開口
- 231、232 P型の半導体領域
- 233 N型の取り出し領域
- 261、262、263、264、265、266 コンタクトホール
- 271、275、276 電位固定電極
- 272、273 トランジスタ電極
- 274 取り出し電極
- 300 フォトレジスト

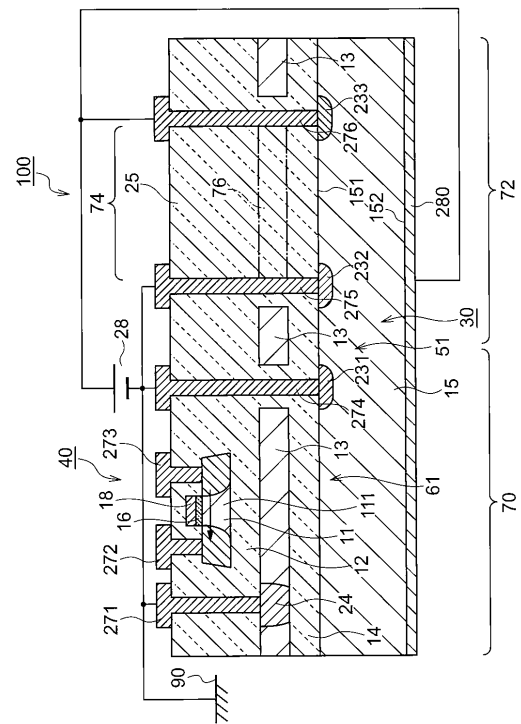
10

20

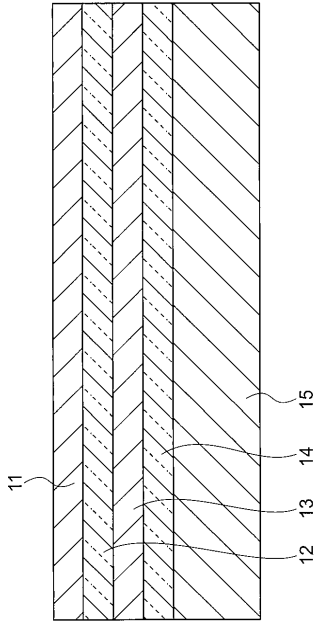
【図1】



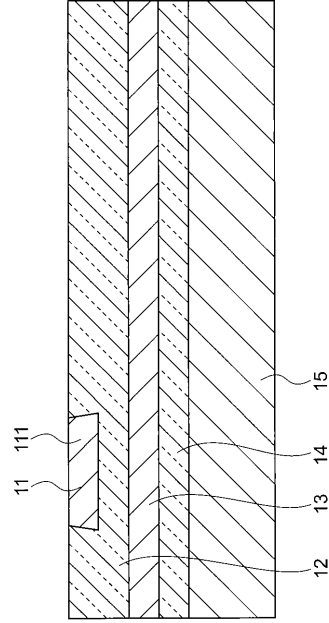
【図2】



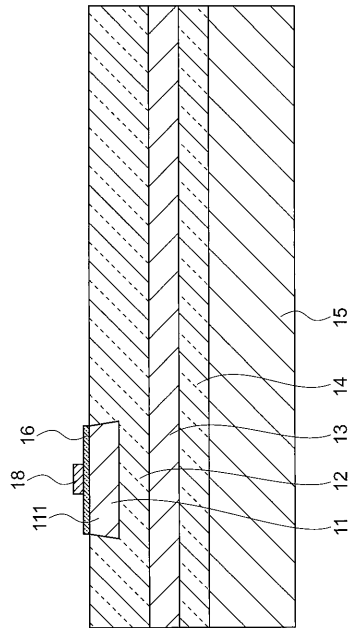
【 図 3 】



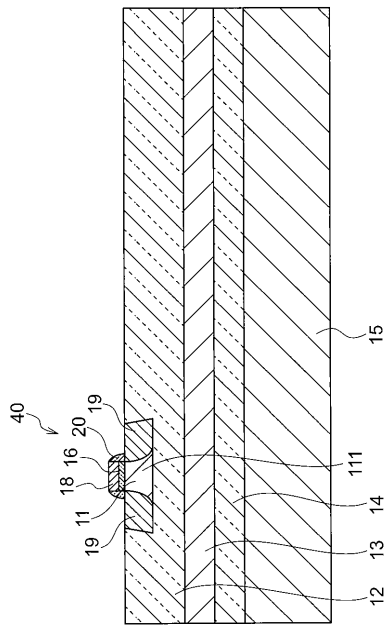
【 図 4 】



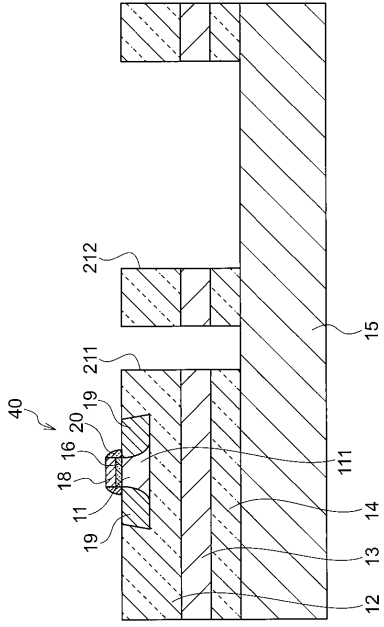
【 図 5 】



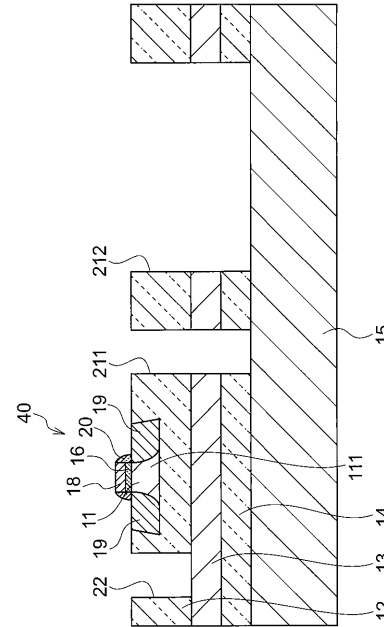
【 図 6 】



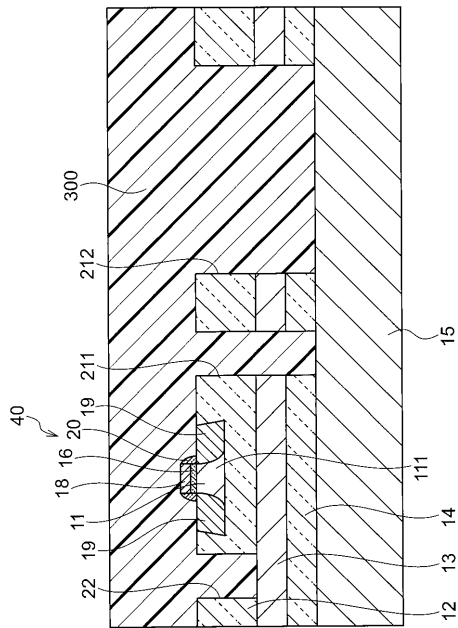
【 図 7 】



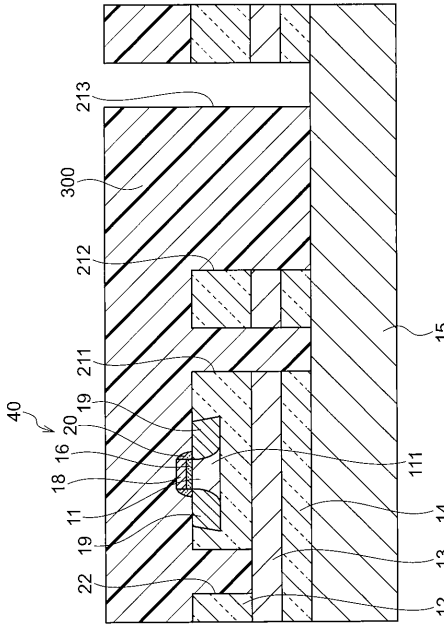
【 図 8 】



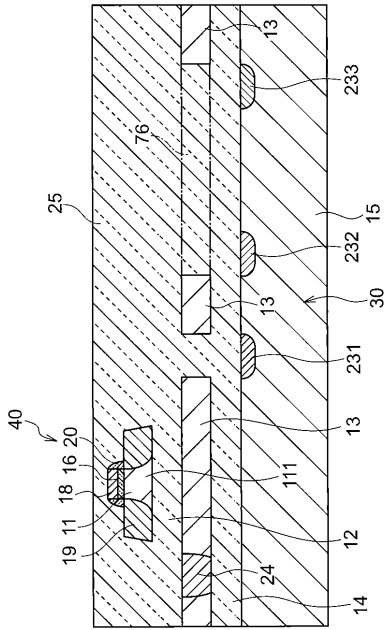
【 図 9 】



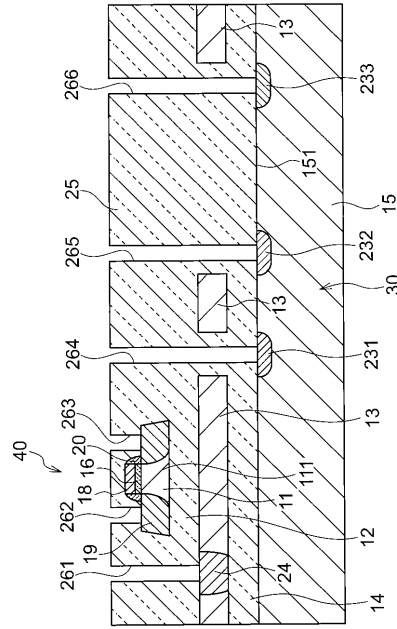
【 図 10 】



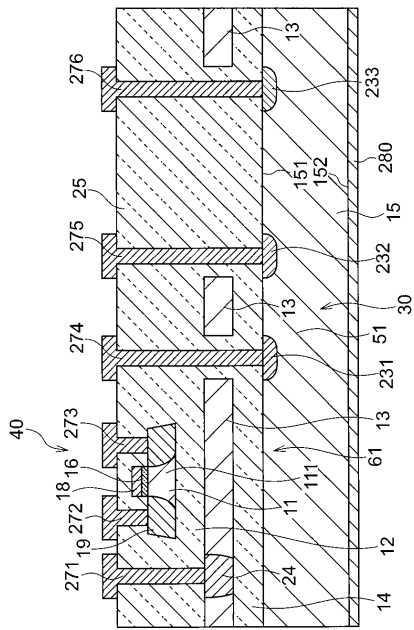
【図 1 1】



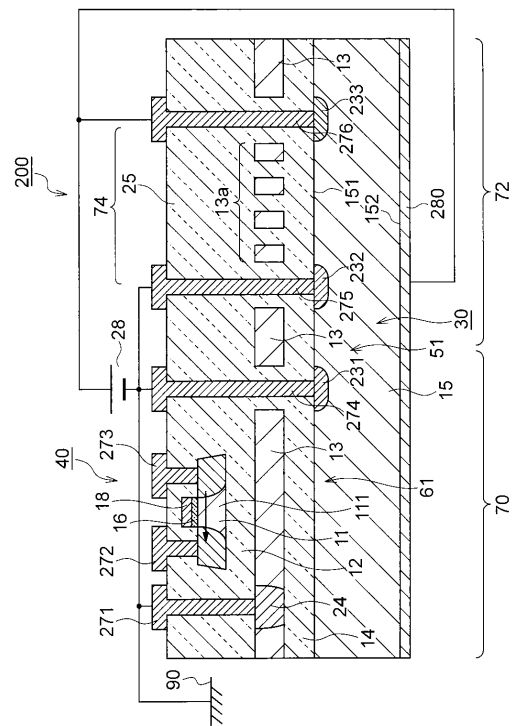
【図 1 2】



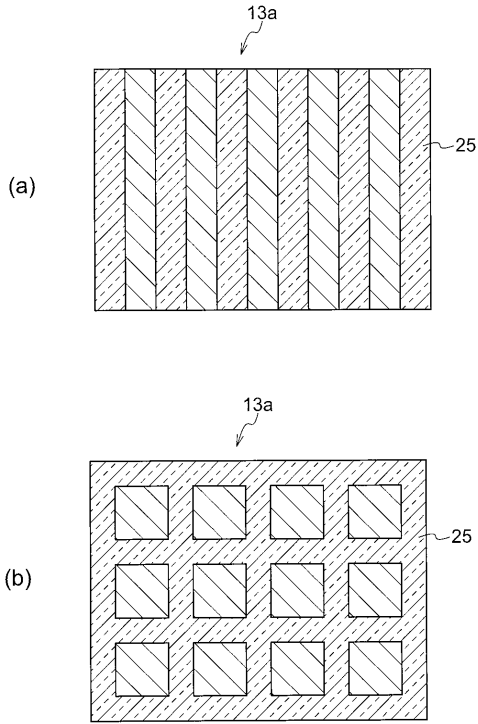
【図 1 3】



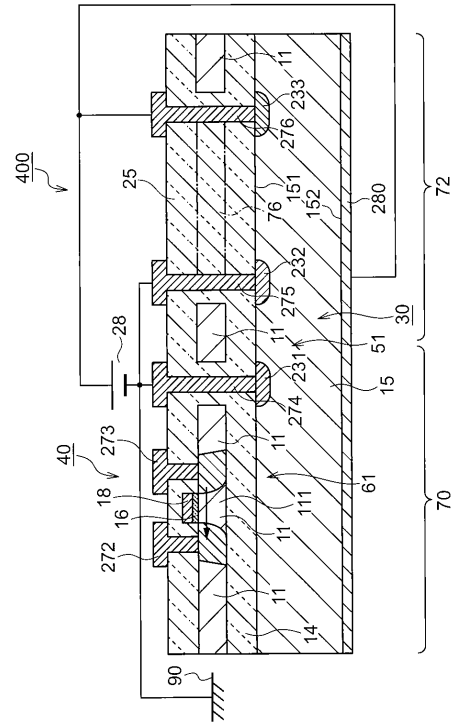
【図 1 4】



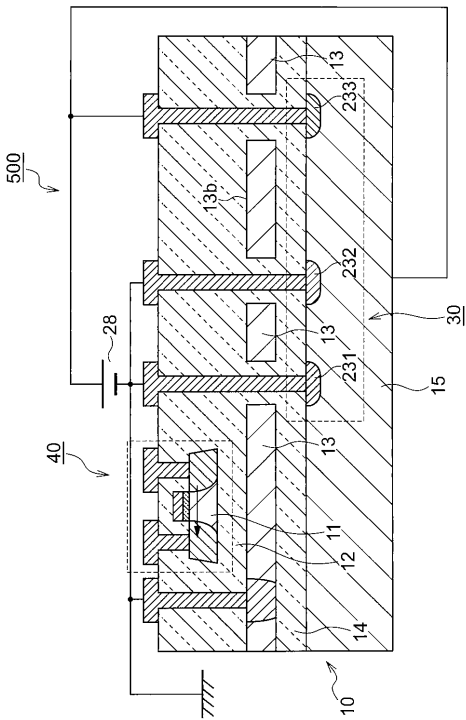
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 葛西 大樹

宮城県黒川郡大衡村沖の平 1 番 ラピスセミコンダクタ宮城株式会社内

(72)発明者 新井 康夫

茨城県つくば市大穂 1 番地 1 大学共同利用機関法人 高エネルギー加速器研究機構内

Fターム(参考) 4M118 BA09 CA02 EA14

5C024 AX11 CY47 GX03 GX16 GY31 HX01

5F088 AA02 AB02 BA20 BB03 EA04 GA02 LA03 LA07 LA08