

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-225918

(P2015-225918A)

(43) 公開日 平成27年12月14日(2015.12.14)

(51) Int.Cl.		F I	テーマコード (参考)			
HO 1 L	25/07	(2006.01)	HO 1 L	25/04	C	5 F 1 3 6
HO 1 L	25/18	(2006.01)	HO 1 L	23/34	A	
HO 1 L	23/34	(2006.01)	HO 1 L	23/36	A	
HO 1 L	23/29	(2006.01)				

審査請求 未請求 請求項の数 15 O L (全 28 頁)

(21) 出願番号 特願2014-109072 (P2014-109072)
 (22) 出願日 平成26年5月27日 (2014.5.27)

(71) 出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 岡村 勝也
 茨城県つくば市大穂1番地1 大学共同利用機関法人 高エネルギー加速器研究機構内

最終頁に続く

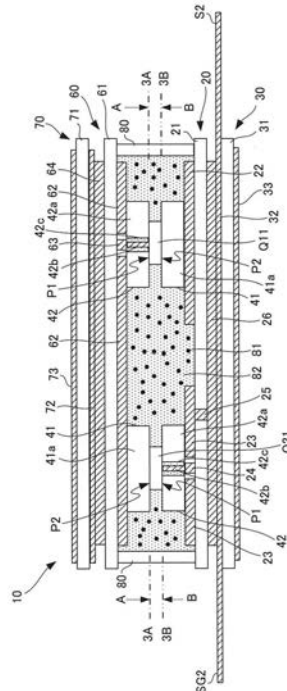
(54) 【発明の名称】 半導体モジュールおよび半導体スイッチ

(57) 【要約】

【課題】 放熱性能を従来よりも向上させた半導体モジュールを提供する。

【解決手段】 ドレイン面側熱拡散部材41は、半導体素子のドレイン電極に電氣的に接続された導体ブロック41aを有する。ゲート・ソース面側熱拡散部材42は、半導体素子のソース電極に電氣的に接続された導体ブロック42aと、導体ブロック42aから絶縁され且つ半導体素子のゲート電極に電氣的に接続された導体ピン42bと、を有する。半導体素子の一方の面側に配置された配線基板20は、ドレイン面側熱拡散部材41の導体ブロック41aに電氣的に接続されたドレイン配線22を有する。半導体素子の他方の面側に配置された配線基板60は、ゲート・ソース面側熱拡散部材42の導体ブロック42aに接続された中間配線62と、導体ピン42bに接続されたゲート配線63とを有する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の面に第 1 の電極を有し、前記第 1 の面とは反対側の第 2 の面に第 2 の電極および制御電極を有し、前記制御電極に供給される制御信号に応じて前記第 1 の電極と前記第 2 の電極との間を導通させる半導体素子と、

前記半導体素子の前記第 1 の面に接合され、前記第 1 の電極に電氣的に接続された導体部分を有する第 1 の熱拡散部材と、

前記半導体素子の前記第 2 の面に接合され、前記第 2 の電極に電氣的に接続された第 1 の導体部分および前記第 1 の導体部分から絶縁され且つ前記制御電極に電氣的に接続された第 2 の導体部分を有する第 2 の熱拡散部材と、

前記第 1 の熱拡散部材の前記半導体素子との接合面とは反対側の面に接合された少なくとも 1 層の配線基板であって、前記第 1 の熱拡散部材の前記導体部分に電氣的に接続された第 1 の配線を有する第 1 の配線基板と、

前記第 2 の熱拡散部材の前記半導体素子との接合面とは反対側の面に接合された少なくとも 1 層の配線基板であって、前記第 2 の熱拡散部材の前記第 1 の導体部分に電氣的に接続された第 2 の配線および前記第 2 の熱拡散部材の前記第 2 の導体部分に電氣的に接続された第 3 の配線を有する第 2 の配線基板と、

を含む半導体モジュール。

【請求項 2】

前記第 2 の熱拡散部材の前記第 1 の導体部分は、前記半導体素子との接合面と前記第 2 の配線基板との接合面との間を貫通する貫通孔を有し、

前記第 2 の熱拡散部材の前記第 2 の導体部分は、前記貫通孔内に設けられ、一方の端部が前記半導体素子との接合面に表出し、他方の端部が前記第 2 の配線基板との接合面に表出した柱状体である

請求項 1 に記載の半導体モジュール。

【請求項 3】

前記第 1 の配線基板は、前記第 2 の配線に対向し且つ前記半導体素子の導通に伴って前記第 2 の配線に流れる電流の方向とは逆方向の電流が流れる配線部分を有する

請求項 1 または請求項 2 に記載の半導体モジュール。

【請求項 4】

前記第 1 の配線基板および前記第 2 の配線基板の間に設けられ、前記半導体素子に電氣的に接続された少なくとも 1 つの他の半導体素子を含み、

前記他の半導体素子は、一方の面に接合された熱拡散部材および他方の面に接合された熱拡散部材を介して前記第 1 の配線基板の前記配線部分および前記第 2 の配線基板の前記第 2 の配線に電氣的に接続されている

請求項 3 に記載の半導体モジュール。

【請求項 5】

前記半導体素子は、トランジスタであり、

前記他の半導体素子は、前記第 2 の配線を介して前記半導体素子に直列接続されたトランジスタを含む

請求項 4 に記載の半導体モジュール。

【請求項 6】

前記第 2 の配線に接続された 2 つの端子が前記第 2 の配線基板から互いに逆方向に引き出されている

請求項 5 に記載の半導体モジュール。

【請求項 7】

前記半導体素子および前記他の半導体素子を含む複数の半導体素子が前記第 1 の配線基板および前記第 2 の配線基板の中心点に対して点対称となるように配置されている

請求項 4 から請求項 6 のいずれか 1 項に記載の半導体モジュール。

【請求項 8】

10

20

30

40

50

前記第 1 の配線基板および前記第 2 の配線基板は、それぞれ、両面に略同じ厚さ且つ略同面積の導体からなる配線を有する

請求項 1 から請求項 7 のいずれか 1 項に記載の半導体モジュール。

【請求項 9】

前記第 1 の配線基板および前記第 2 の配線基板は、それぞれ、2 層の配線基板によって構成され、前記 2 層の配線基板のうちの前記半導体素子から近い側に配置された配線基板の配線を形成する導体の厚さが、前記 2 層の配線基板のうちの前記半導体素子から遠い側に配置された配線基板の配線を形成する導体の厚さよりも厚い

請求項 1 から請求項 8 のいずれか 1 項に記載の半導体モジュール。

【請求項 10】

前記第 1 の配線基板と前記第 2 の配線基板との間に熱伝導性および絶縁性を有する固体粒子を含有するゲル状の樹脂が充填されている

請求項 1 から請求項 9 のいずれか 1 項に記載の半導体モジュール。

【請求項 11】

前記固体粒子はダイヤモンドパウダーである

請求項 10 に記載の半導体モジュール。

【請求項 12】

前記固体粒子は、粒径が異なる少なくとも 2 種類の粒子を含む

請求項 10 または請求項 11 に記載の半導体モジュール。

【請求項 13】

前記半導体素子および前記少なくとも 1 つの他の半導体素子を含む複数の半導体素子に電力を供給するための第 1 の端子および第 2 の端子を更に含み、

前記第 1 の端子および前記第 2 の端子は、前記第 1 の配線基板または前記第 2 の配線基板から互いに同じ方向に異なる引き出し長さで引き出され、前記第 1 の配線基板および前記第 2 の配線基板の主面と交差する方向に曲げられている

請求項 5 に記載の半導体モジュール。

【請求項 14】

請求項 1 から請求項 13 のいずれか 1 項に記載の半導体モジュールを複数備え、当該複数の半導体モジュールをヒートシンクを間に挟んで積層するとともに、当該複数の半導体モジュールの各々の前記半導体素子を直列接続して構成された直列ユニットを含む

半導体スイッチ。

【請求項 15】

前記直列ユニットを複数備え、当該複数の直列ユニットを構成する複数の半導体モジュールがマトリックスアレイを形成するように、各直列ユニットを構成する複数の半導体モジュールの各々を、他の直列ユニットを構成する対応する半導体モジュールの各々と並列接続して構成された

請求項 14 に記載の半導体スイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

開示の技術は、半導体モジュールおよび半導体スイッチに関する。

【背景技術】

【0002】

パワートランジスタ等のパワーデバイスは、高圧および大電流にて駆動されるパワースイッチやインバータなどの用途に好適に用いられる。パワーデバイスは、通常大量の熱を発生させることから、パワーデバイスから発せられた熱を効率的に外部に放出させることが重要である。

【0003】

パワーデバイスの放熱性を高めるための技術として、複数のパワーデバイスの上面側と下面側に接触する両面ヒートシンクを備えたパワー半導体パッケージが知られている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-58733号公報

【特許文献2】特開2001-156225号公報

【特許文献3】特開2012-33864号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

次世代パワーデバイスの材料として炭化ケイ素(SiC)が注目されている。SiCは従来のシリコン(Si)に比べて高耐圧、低損失で素子の消費電力を低減することが可能である。また、SiCは、Siに比べてバンドギャップ幅が広く、絶縁破壊に至る電界強度が約10倍程度大きいという特徴を持つ。また、SiCはバンド幅が広いので熱によって励起されるキャリアが少なく、高温動作が可能である。また、SiCによれば、絶縁破壊電界強度が高いことから耐圧部を薄型化できるためオン抵抗を低減できる。SiCデバイスは、以上のような利点を有することから、モジュールの小型化や電力損失の低減に寄与できるものと期待されている。

10

【0006】

SiCデバイスを製造する上での最大の問題は、欠陥である。SiCウェーハの欠陥が形成された部分に作り込んだSiCデバイスは、欠陥のない部分に作り込んだSiCデバイスよりも不良品になる確率が高い。このため、欠陥の数が多いSiCウェーハを用いてSiCデバイスを製造すると歩留まりが低下してしまう。SiCデバイスの電流容量を大きくするには、デバイス1個当たりの面積を大きくする必要がある。しかしながら、欠陥数の多いSiCウェーハ上で面積の大きなデバイスを製造すれば、より面積の小さなデバイスを製造するよりも、デバイス内に欠陥が存在する可能性は高くなり、歩留まりは低下してしまう。このような事情から現状SiCデバイスのサイズは、Siデバイスと比較して小さい。これにより、SiCデバイスにおける面積あたりの発熱量は、Siデバイスと比較して大きくなり易く、デバイスパッケージの放熱性を従来のSiデバイスにおけるパッケージよりも向上させることが望ましい。

20

【0007】

本発明は、上記した点に鑑みてなされたものであり、放熱性能を従来よりも向上させた半導体モジュールを提供することを目的とする。

30

【課題を解決するための手段】

【0008】

本発明に係る半導体モジュールは、第1の面に第1の電極を有し、前記第1の面とは反対側の第2の面に第2の電極および制御電極を有し、前記制御電極に供給される制御信号に応じて前記第1の電極と前記第2の電極との間を導通させる半導体素子と、前記半導体素子の前記第1の面に接合され、前記第1の電極に電氣的に接続された導体部分を有する第1の熱拡散部材と、前記半導体素子の前記第2の面に接合され、前記第2の電極に電氣的に接続された第1の導体部分および前記第1の導体部分から絶縁され且つ前記制御電極に電氣的に接続された第2の導体部分を有する第2の熱拡散部材と、前記第1の熱拡散部材の前記半導体素子との接合面とは反対側の面に接合された少なくとも1層の配線基板であって、前記第1の熱拡散部材の前記導体部分に電氣的に接続された第1の配線を含む第1の配線パターンを備えた第1の配線基板と、前記第2の熱拡散部材の前記半導体素子との接合面とは反対側の面に接合された少なくとも1層の配線基板であって、前記第2の熱拡散部材の前記第1の導体部分に電氣的に接続された第2の配線および前記第2の熱拡散部材の前記第2の導体部分に電氣的に接続された第3の配線を含む第2の配線パターンを備えた第2の配線基板と、を含む。

40

【0009】

また、本発明に係る半導体スイッチは、前記半導体モジュールを複数備え、当該複数の

50

半導体モジュールをヒートシンクを間に挟んで積層するとともに、当該複数の半導体モジュールの各々の前記半導体素子を直列接続して構成された直列ユニットを含む。

【発明の効果】

【0010】

本発明によれば、放熱性能を従来よりも向上させた半導体モジュールを提供することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施形態に係る半導体モジュールの等価回路図である。

【図2】本発明の実施形態に係る半導体モジュール10の構成を示す断面図である。

10

【図3A】図2における3A-3A線に沿った断面を矢印Aの方向から眺めた平面図である。

【図3B】図2における3B-3B線に沿った断面を矢印Bの方向から眺めた平面図である。

【図4A】本発明の実施形態に係る半導体素子の下面側に配置される2つの配線基板の貼り合わせ前の状態を示す斜視図である。

【図4B】本発明の実施形態に係る半導体素子の下面側に配置される2つの配線基板の貼り合わせ後の状態を示す斜視図である。

【図5A】本発明の実施形態に係る半導体素子の上面側に配置される2つの配線基板の貼り合わせ前の状態を示す斜視図である。

20

【図5B】本発明の実施形態に係る半導体素子の上面側に配置される2つの配線基板の貼り合わせ後の状態を示す斜視図である。

【図6】本発明の実施形態に係る半導体素子Qの構成を示す斜視図である。

【図7】本発明の実施形態に係る半導体素子、ドレイン面側熱拡散部材41およびゲート・ソース面側熱拡散部材を示す斜視図である。

【図8A】本発明の実施形態に係るゲート・ソース面側熱拡散部材の構成を示す平面図である。

【図8B】図8Aにおける8B-8B線に沿った断面図である。

【図9】本発明の実施形態に係る半導体素子、ゲート・ソース面側熱拡散部材および配線パターンの相互間の接続状態を示す断面図である。

30

【図10】本発明の実施形態に係る半導体モジュールの外観を示す斜視図である。

【図11】本発明の実施形態に係る半導体モジュールにおける放熱経路を示す断面図である。

【図12】本発明の実施形態に係る半導体モジュールに流れる電流の方向を示す断面図である。

【図13】本発明の実施形態に係る半導体モジュールをインバータとして使用する場合における構成例を示す平面図である。

【図14】本発明の実施形態に係る半導体モジュールのドレイン端子およびソース端子を図12における矢印Xの方向からみた側面図である。

【図15】本発明の実施形態に係る半導体モジュールの構成を示す断面図である。

40

【図16】複数の半導体モジュールを含んで構成される本発明の実施形態に係る半導体スイッチの構成を示す図である。

【図17】複数の半導体モジュール10を含んで構成される本発明の実施形態に係る半導体スイッチの構成を示す図である。

【図18】本実施形態に係る半導体スイッチの等価回路図である。

【発明を実施するための形態】

【0012】

以下、開示の技術の実施形態の一例を図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素および部分には同一の参照符号を付与している。

【0013】

50

【第1の実施形態】

図1は、本発明の第1の実施形態に係る半導体モジュール10の等価回路図である。半導体モジュール10は、4つの半導体素子Q11、Q12、Q21およびQ22を含んで構成されている。なお、以降において、4つの半導体素子Q11、Q12、Q21およびQ22を区別しない場合またはこれらを総称する場合には、半導体素子Qと表記する。

【0014】

本実施形態において、各半導体素子Qは、大電流容量かつ高耐圧のNチャネル型の電界効果トランジスタ(FET:Field Effect Transistor)である。しかしながら、これに限定されるものではなく、各半導体素子Qは、IGBTやバイポーラトランジスタ等の他のデバイスであってもよい。また、半導体素子QとしてSiCデバイスを使用することを想定しているが、これに限定されるものではなく、Si、Ge、GaN等の他の材料からなる半導体デバイスを使用することも可能である。

10

【0015】

半導体モジュール10において、半導体素子Q11とQ12とが並列に接続され、半導体素子Q21とQ22とが並列に接続されている。半導体素子Q11およびQ12からなるペアは、半導体素子Q21およびQ22からなるペアと直列接続されている。すなわち、半導体モジュール10において、複数の半導体素子Qは、所謂2in1構成とされている。複数の半導体素子を並列接続したペア同士を直列することで、単一の半導体素子同士を直列接続した場合と比較して電流容量を増大させることが可能である。

20

【0016】

半導体素子Q11およびQ12のゲートは、ゲート端子G1に接続されている。半導体素子Q11およびQ12のドレインは、ドレイン端子D1に接続されている。半導体素子Q11およびQ12のソースは、中間端子C、制御信号基準端子SG1および半導体素子Q21およびQ22のドレインに接続されている。半導体素子Q11およびQ12は、制御信号基準端子SG1およびゲート端子G1を介して外部から供給される制御信号に応じて互いに同じタイミングでオンオフする。

【0017】

半導体素子Q21およびQ22のゲートは、ゲート端子G2に接続されている。半導体素子Q21およびQ22のソースは、ソース端子S2に接続されるとともに制御信号基準端子SG2に接続されている。半導体素子Q21およびQ22は、制御信号基準端子SG2およびゲート端子G2を介して外部から供給される制御信号に応じて互いに同じタイミングでオンオフする。

30

【0018】

半導体モジュール10を例えば、インバータ用途で使用する場合には、複数の半導体モジュール10を用いる。複数の半導体モジュール10の各ドレイン端子D1を電源の正極に接続し、各ソース端子S2を電源の負極に接続し、各中間端子Cを負荷に接続する。そして、各半導体モジュール10において半導体素子Q11およびQ12からなるペアと、半導体素子Q21およびQ22からなるペアを互いに異なるタイミングでオンオフさせる。

【0019】

一方、半導体モジュール10を半導体スイッチとして使用する場合には、ドレイン端子D1を電流経路の高圧側に接続し、ソース端子S2を電流経路の低圧側に接続し、半導体素子Q11およびQ12からなるペアと、半導体素子Q21およびQ22からなるペアを同時にオンオフさせる。

40

【0020】

図2は、半導体モジュール10の構成を示す断面図である。図3Aは、図2における3A-3A線に沿った断面を矢印Aの方向から眺めた平面図である。図3Bは、図2における3B-3B線に沿った断面を矢印Bの方向から眺めた平面図である。

【0021】

半導体モジュール10において、各半導体素子Qの上面および下面には、導体を含んで

50

構成されるドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2 が接合されている。具体的には、図 2 に示すように、半導体素子 Q 1 1 の下面（ドレイン面 P 2）にドレイン面側熱拡散部材 4 1 が接合され、上面（ゲート・ソース面 P 2）にゲート・ソース面側熱拡散部材 4 2 が接合されている。また、半導体素子 Q 2 1 の下面（ゲート・ソース面 P 1）にゲート・ソース面側熱拡散部材 4 2 が接合され、上面（ドレイン面 P 2）にドレイン面側熱拡散部材 4 1 が接合されている。半導体素子 Q 1 2 および Q 2 2 は、図 2 には示されていないが、図 3 A および図 3 B から明らかなように、半導体素子 Q 1 2 の下面（ドレイン面 P 2）にドレイン面側熱拡散部材 4 1 が接合され、上面（ゲート・ソース面 P 1）にゲート・ソース面側熱拡散部材 4 2 が接合されている。半導体素子 Q 2 2 の下面（ゲート・ソース面 P 1）にゲート・ソース面側熱拡散部材 4 2 が接合され、上面（ドレイン面 P 2）にドレイン面側熱拡散部材 4 1 が接合されている。

10

【0022】

半導体素子 Q の下面に接合されたドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2 の、半導体素子 Q との接合面とは反対側の面は、配線基板 2 0 に接合されている。配線基板 2 0 は、絶縁基板 2 1 と、絶縁基板 2 1 の表裏に形成された配線を含んで構成されている。絶縁基板 2 1 の半導体素子 Q 側の面には、ドレイン配線 2 2、ソース配線 2 3 およびゲート配線 2 4 が設けられている。絶縁基板 2 1 の半導体素子 Q 側の面とは反対側の面にはスルーホール 2 5 を介してソース配線 2 3 と電氣的に接続された裏面配線 2 6 が設けられている。

20

【0023】

配線基板 2 0 の裏面配線 2 6 は、配線基板 3 0 に接合されている。配線基板 3 0 は、絶縁基板 3 1 と、絶縁基板 3 1 の表裏に形成された配線を含んで構成されている。絶縁基板 3 1 の半導体素子 Q 側の面には、ソース配線 3 2 が設けられ、ソース配線 3 2 は裏面配線 2 6 に接続されている。絶縁基板 3 1 の半導体素子 Q 側の面とは反対側の面には半導体モジュール 1 0 のいずれの端子にも電氣的に接続されていないダミー配線 3 3 が設けられている。

30

【0024】

一方、半導体素子 Q の上面に接合されたドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2 の、半導体素子 Q との接合面とは反対側の面は、配線基板 6 0 に接合されている。配線基板 6 0 は、絶縁基板 6 1 と、絶縁基板 6 1 の表裏に形成された配線を含んで構成されている。絶縁基板 6 1 の半導体素子 Q 側の面には、中間配線 6 2 およびゲート配線 6 3 が設けられている。絶縁基板 6 1 の半導体素子 Q 側の面とは反対側の面には半導体モジュール 1 0 のいずれの端子にも電氣的に接続されていないダミー配線 6 4 が設けられている。

40

【0025】

配線基板 6 0 のダミー配線 6 4 は、配線基板 7 0 に接合されている。配線基板 7 0 は、絶縁基板 7 1 と、絶縁基板 7 1 の表裏に形成された配線を含んで構成されている。絶縁基板 7 1 の半導体素子 Q 側の面には、半導体モジュール 1 0 のいずれの端子にも電氣的に接続されていないダミー配線 7 2 が設けられている。絶縁基板 7 1 の半導体素子 Q 側の面とは反対側の面には半導体モジュール 1 0 のいずれの端子にも電氣的に接続されていないダミー配線 7 3 が設けられている。

【0026】

このように、半導体モジュール 1 0 において、各半導体素子 Q の上面側および下面側には、それぞれ、2 層構成の配線基板が設けられている。各半導体素子 Q の下面側に配置されたドレイン配線 2 2、ソース配線 2 3、裏面配線 2 6 およびソース配線 3 2 と、各半導体素子 Q の上面側に配置された中間配線 6 2 とが平行に対向するように、配線基板 2 0、3 0、6 0 および 7 0 は、互いに平行に配置されている。

【0027】

各半導体素子 Q を間に挟んで対向配置された配線基板 2 0 と配線基板 6 0 との間には、各半導体素子 Q の外周を囲む環状の枠体 8 0 が設けられている。配線基板 2 0、6 0 およ

50

び枠体 80 によって画定される空間には、高熱伝導性および高絶縁性を兼ね備えた固体粒子 81 を含有するゲル状の絶縁樹脂 82 が充填されている。すなわち、各半導体素子 Q は、固体粒子 81 を含有するゲル状の絶縁樹脂 82 の内部に埋設されている。固体粒子 81 として例えばダイヤモンドパウダーを好適に用いることができる。固体粒子 81 は、粒径が異なる少なくとも 2 種類の粒子の混合物であることが好ましい。固体粒子 81 が異なる複数の粒径を含むことで、絶縁樹脂 82 内に分散される固体粒子 81 同士の隙間を小さくすることができ、固体粒子 81 の含有率を高くすることができる。これにより、固体粒子 81 同士の接触面積が増加するので、各半導体素子 Q から発せられた熱を効率的に外部に放出させることができる。

【0028】

以下に、各半導体素子 Q の下面側に設けられた配線基板 20 および 30 の構成について説明する。図 4 A は、配線基板 20 と配線基板 30 の貼り合わせ前の状態を示す斜視図、図 4 B は、配線基板 20 と配線基板 30 の貼り合わせ後の状態を示す斜視図である。

【0029】

図 3 A、図 4 A および図 4 B に示すように、配線基板 20 は、セラミック等の絶縁体からなる絶縁基板 21 を有する。絶縁基板 21 の表面（半導体素子 Q 側の面）には、銅などの導電率および熱伝導率の比較的高い導体によって構成されるドレイン配線 22、ソース配線 23 およびゲート配線 24 が形成されている。ドレイン配線 22 を配線基板 20 の外部に引き出すことによりドレイン端子 D1 が形成されている。すなわちドレイン端子 D1 は、ドレイン配線 22 と一体的に形成されている。また、ゲート配線 24 を配線基板 20 の外部に引き出すことによりゲート端子 G2 が形成されている。すなわち、ゲート端子 G2 は、ゲート配線 24 と一体的に形成されている。本実施形態において、ゲート端子 G2 の引き出し方向は、ドレイン端子 D1 の引き出し方向とは反対方向となるように構成されている。ソース配線 23 は、図 2 に示すように、絶縁基板 21 に設けられたスルーホール 25 を介して絶縁基板 21 の裏面（半導体素子 Q 側とは反対側の面）に形成された裏面配線 26 に接続されている。裏面配線 26 は、絶縁基板 21 の表面側に設けられたドレイン配線 22、ソース配線 23 およびゲート配線 24 と同じ導体によって構成されており、絶縁基板 21 の裏面の略全体を覆うように設けられている。絶縁基板 21 の表面および裏面の各配線を構成する導体は、絶縁基板 21 の表裏で略同じ厚さおよび略同じ面積となるように構成されている。これにより、絶縁基板 21 と、各配線を構成する導体との間の熱膨張係数差による絶縁基板 21 の反りを抑制することができる。

【0030】

一方、配線基板 30 は、図 4 A に示すように、セラミック等の絶縁体からなる絶縁基板 31 を有する。絶縁基板 31 の表面（半導体素子 Q 側の面）には、銅などの導電率および熱伝導率の比較的高い導体によって構成され、当該表面の略全体を覆うソース配線 32 が形成されている。ソース配線 32 を配線基板 30 の外部に引き出すことによりソース端子 S2 および制御信号基準端子 SG2 が形成されている。すなわち、ソース端子 S2 および制御信号基準端子 SG2 は、ソース配線 32 と一体的に形成されている。本実施形態において、ソース端子 S2 は、図 3 A に示すように、半導体素子 Q21 の搭載位置に対応する位置および半導体素子 Q22 の搭載位置に対応する位置の 2 箇所から引き出されている。

【0031】

絶縁基板 31 の裏面（半導体素子 Q 側とは反対側の面）には、半導体モジュール 10 のいずれの端子にも電気的に接続されないダミー配線 33（図 2 参照）が形成されている。ダミー配線 33 は、絶縁基板 31 の表面側に設けられたソース配線 32 と同じ導体によって構成されており、絶縁基板 31 の裏面の略全体を覆うように設けられている。絶縁基板 31 の表面および裏面の各配線を構成する導体は、絶縁基板 31 の表裏で略同じ厚さおよび略同じ面積となるように構成されている。これにより、絶縁基板 31 と、各配線を構成する導体との間の熱膨張係数差による絶縁基板 31 の反りを抑制することができる。

【0032】

また、各半導体素子 Q から近い側に配置された配線基板 20 における導体の厚さは、各

10

20

30

40

50

半導体素子Qから遠い側に配置された配線基板30における導体の厚さよりも厚くなっている。このように、発熱源である半導体素子Qから近い側に配置された配線基板20の導体を、半導体素子Qから遠い側に配置された配線基板30の導体よりも厚くすることで、放熱経路の上流側での熱拡散が促進され、放熱性が向上する。

【0033】

図4Aおよび図4Bに示すように、配線基板20と配線基板30は、配線基板20の裏面配線26と配線基板30のソース配線32とが接するように貼り合わせられる。図4Bに示すように、配線基板20と配線基板30とを貼り合わせたときに、ドレイン端子D1と2つのソース端子S2の各々が平行となるように、これらの端子は互いに同じ方向に引き出されている。また、ゲート端子G2と制御信号基準端子GS2とが平行となるように、これらの端子は互いに同じ方向に引き出されている。

10

【0034】

以下に、各半導体素子Qの上面側に設けられた配線基板60および70の構成について説明する。図5Aは、配線基板60と配線基板70の貼り合わせ前の状態を示す斜視図、図5Bは、配線基板60と配線基板70の貼り合わせ後の状態を示す斜視図である。

【0035】

半導体素子Q側に設けられる配線基板60は、図3B、図5Aおよび図5Bに示すように、セラミック等の絶縁体からなる絶縁基板61を有する。絶縁基板61の表面(半導体素子Q側の面)には、銅などの導電率および熱伝導率の比較的高い導体によって構成される中間配線62およびゲート配線63が形成されている。中間配線62を配線基板60の外部に引き出すことにより中間端子Cおよび制御信号基準端子SG1が形成されている。すなわち、中間端子Cおよび制御信号基準端子SG1は、中間配線62と一体的に形成されている。本実施形態において中間端子Cは、引き出し方向が互いに逆方向となるように中間配線62の異なる2箇所から引き出されている。

20

【0036】

一方、ゲート配線63を、絶縁基板61の裏面(半導体素子Q側とは反対側の面)を經由して配線基板60の外部に引き出すことによりゲート端子G1が形成されている。ゲート端子G1と制御信号基準端子GS1とが平行となるように、これらの端子は互いに同じ方向に引き出されている。絶縁基板61の裏面には、ゲート配線63の引き出し配線の他、半導体モジュール10のいずれの端子にも電氣的に接続されないダミー配線64(図2参照)が形成されている。ダミー配線64は、絶縁基板61の表面側に設けられた中間配線62およびゲート配線63と同じ導体によって構成されており、絶縁基板61の裏面の略全体を覆うように設けられている。絶縁基板61の表面および裏面の各配線を構成する導体は、絶縁基板61の表裏で略同じ厚さおよび略同じ面積となるように構成されている。これにより、絶縁基板61と、配線を構成する導体との間の熱膨張係数差による絶縁基板61の反りを抑制することができる。

30

【0037】

一方、配線基板70は、図5Aに示すように、セラミック等の絶縁体からなる絶縁基板71を有する。絶縁基板71の表面(半導体素子Q側の面)には、銅などの導電率および熱伝導率の比較的高い導体によって構成され且つ半導体モジュール10のいずれの端子にも電氣的に接続されないダミー配線72が形成されている。ダミー配線72は、配線基板60と配線基板70とを貼り合せたときに、配線基板60に設けられたゲート配線63の引き出し配線とダミー配線72とが接触しないように導体を切り欠いた切り欠き部72aを有する。

40

【0038】

絶縁基板71の裏面(半導体素子Q側とは反対側の面)には、半導体モジュール10のいずれの端子にも電氣的に接続されないダミー配線73が形成されている。ダミー配線73は、絶縁基板71の表面側に設けられたダミー配線72と同じ導体によって構成されており、絶縁基板71の裏面の略全体を覆うように設けられている。絶縁基板71の表面および裏面の各配線を構成する導体は、絶縁基板71の表裏で略同じ厚さおよび略同じ面積

50

となるように構成されている。これにより、絶縁基板 7 1 と、配線を構成する導体との間の熱膨張係数差による絶縁基板 7 1 の反りを抑制することができる。

【 0 0 3 9 】

また、各半導体素子 Q から近い側に配置された配線基板 6 0 における導体の厚さは、半導体素子 Q から遠い側に配置された配線基板 7 0 における導体の厚さよりも厚くなっている。このように、発熱源である半導体素子 Q から近い側に配置された配線基板 6 0 の導体を、半導体素子 Q から遠い側に配置された配線基板 7 0 の導体よりも厚くすることで、放熱経路の上流側での熱拡散が促進され、放熱性が向上する。

【 0 0 4 0 】

図 5 A および図 5 B に示すように、配線基板 6 0 と配線基板 7 0 は、ダミー配線 6 4 とダミー配線 7 2 とが接するように貼り合わせられる。

10

【 0 0 4 1 】

図 6 は、半導体素子 Q の構成を示す斜視図である。各半導体素子 Q は、一方の面にソース電極 E_s およびゲート電極 E_g を有し、他方の面にドレイン電極 E_d を有する。以降において、半導体素子 Q のソース電極 E_s およびゲート電極 E_g が設けられた面をゲート・ソース面 P 1 と表記し、ドレイン電極 E_d が設けられた面をドレイン面 P 2 と表記する。ゲート電極 E_g は、ゲート・ソース面 P 1 の中央に配置され、ソース電極 E_s は、ゲート電極 E_g の周囲を囲み且つゲート・ソース面 P 1 の略全域に延在するように設けられている。ドレイン電極 E_d は、ドレイン面 P 2 の略全域に延在するように設けられている。

【 0 0 4 2 】

20

図 7 は、半導体素子 Q 1 1、半導体素子 Q 1 1 のドレイン面 P 2 に接合されたドレイン面側熱拡散部材 4 1、半導体素子 Q 1 1 のゲート・ソース面 P 1 に接合されたゲート・ソース面側熱拡散部材 4 2 を示す斜視図である。図 8 A は、ゲート・ソース面側熱拡散部材 4 2 の構成を示す平面図、図 8 B は、図 8 A における 8 B - 8 B 線に沿った断面図である。

【 0 0 4 3 】

ドレイン面側熱拡散部材 4 1 は、導電率および熱伝導率の比較的高い銅などの導体からなる導体ブロック 4 1 a を含んで構成されている。半導体素子 Q 1 1 のドレイン電極 E_d は、ドレイン面側熱拡散部材 4 1 の導体ブロック 4 1 a に電気的および熱的に接続されている。

30

【 0 0 4 4 】

ゲート・ソース面側熱拡散部材 4 2 は、導電率および熱伝導率の比較的高い銅などの導体を含んで構成される導体ブロック 4 2 a と導体ピン 4 2 b とを含んで構成されている。導体ブロック 4 2 a の中央部には、半導体素子 Q との接合面と配線基板 6 0 との接合面との間を貫通する貫通孔 4 2 d が設けられている。導体ピン 4 2 b は、角柱状または円柱状の形状を有する柱状体であり、貫通孔 4 2 d の内部に挿入されている。導体ピン 4 2 b の一方の端部は、半導体素子との接合面に表出し、他方の端部は、配線基板 6 0 との接合面に表出している。導体ピン 4 2 b と導体ブロック 4 2 a との間には、絶縁樹脂 4 2 c が充填されており、導体ピン 4 2 b は導体ブロック 4 2 a から絶縁されている。半導体素子 Q 1 1 のソース電極 E_s は、ゲート・ソース面側熱拡散部材 4 2 の導体ブロック 4 2 a に電気的および熱的に接続されている。半導体素子 Q 1 1 のゲート電極 E_g は、ゲート・ソース面側熱拡散部材 4 2 の導体ピン 4 2 b に電気的および熱的に接続されている。導体ブロック 4 2 a の配線基板 6 0 との接合面には、配線基板 6 0 のゲート配線 6 3 と、導体ブロック 4 2 a との接触を回避するための凹部 4 2 e が設けられている。

40

【 0 0 4 5 】

半導体素子 Q 1 2、Q 2 1 および Q 2 2 も、同様に、ドレイン面 P 2 にドレイン面側熱拡散部材 4 1 が接合され、ゲート・ソース面 P 1 にゲート・ソース面側熱拡散部材 4 2 が接合されている。

【 0 0 4 6 】

図 3 A に示すように、半導体素子 Q 1 1 および Q 1 2 のドレイン面 P 2 に一方の面が接

50

合されたドレイン面側熱拡散部材 4 1 の他方の面は、配線基板 2 0 のドレイン配線 2 2 に電気的および熱的に接続されている。すなわち、半導体素子 Q 1 1 および Q 1 2 のドレイン電極 E_D は、ドレイン面側熱拡散部材 4 1 の導体ブロック 4 1 a を介して配線基板 2 0 のドレイン配線 2 2 に電気的および熱的に接続されている。

【0047】

半導体素子 Q 2 1 および Q 2 2 のゲート・ソース面 P 1 に一方の面が接合されたゲート・ソース面側熱拡散部材 4 2 の他方の面は、配線基板 2 0 のソース配線 2 3 およびゲート配線 2 4 に電気的および熱的に接続されている。

【0048】

図 9 は、半導体素子 Q 2 1 (Q 2 2)、ゲート・ソース面側熱拡散部材 4 2、配線基板 2 0 の相互間の接続状態を示す断面図である。半導体素子 Q 2 1 (Q 2 2) のソース電極 E_S は、ゲート・ソース面側熱拡散部材 4 2 の導体ブロック 4 2 a に電気的および熱的に接続され、ゲート電極 E_G は、ゲート・ソース面側熱拡散部材 4 2 の導体ピン 4 2 b に電気的および熱的に接続されている。導体ブロック 4 2 a は、配線基板 2 0 のソース配線 2 3 に電気的および熱的に接続され、導体ピン 4 2 b は、配線基板 2 0 のゲート配線 2 4 に電気的および熱的に接続されている。すなわち、半導体素子 Q 2 1 (Q 2 2) のソース電極 E_S は、導体ブロック 4 2 a を介してソース配線 2 3 に電気的および熱的に接続され、半導体素子 Q 2 1 (Q 2 2) のゲート電極 E_G は、導体ピン 4 2 b を介してゲート配線 2 4 に電気的および熱的に接続されている。

10

【0049】

図 3 B に示すように、半導体素子 Q 1 1 および Q 1 2 のゲート・ソース面 P 1 に一方の面が接合されたゲート・ソース面側熱拡散部材 4 2 の他方の面は、配線基板 6 0 の中間配線 6 2 およびゲート配線 6 3 に電気的および熱的に接続されている。

20

【0050】

半導体素子 Q 1 1 および Q 1 2、ゲート・ソース面側熱拡散部材 4 2、配線基板 6 0 の相互間の接続状態は、図 9 に示したものと同様である。すなわち、半導体素子 Q 1 1 および Q 1 2 のソース電極 E_S は、ゲート・ソース面側熱拡散部材 4 2 の導体ブロック 4 2 a を介して配線基板 6 0 の中間配線 6 2 に電気的および熱的に接続され、半導体素子 Q 1 1 および Q 1 2 のゲート電極 E_G は、ゲート・ソース面側熱拡散部材 4 2 の導体ピン 4 2 b を介して配線基板 6 0 のゲート配線 6 3 に電気的および熱的に接続されている。

30

【0051】

半導体素子 Q 2 1 および Q 2 2 のドレイン面 P 2 に一方の面が接合されたドレイン面側熱拡散部材 4 1 の他方の面は、配線基板 6 0 の中間配線 6 2 に電気的および熱的に接続されている。すなわち、半導体素子 Q 2 1 および Q 2 2 のドレイン電極 E_D は、ドレイン面側熱拡散部材 4 1 の導体ブロック 4 1 a を介して配線基板 6 0 の中間配線 6 2 に電気的および熱的に接続されている。

【0052】

半導体素子 Q 1 1 と Q 1 2 とは、配線基板 2 0 のドレイン配線 2 2 および配線基板 6 0 の中間配線 6 2 によって並列接続され、半導体素子 Q 2 1 と Q 2 2 とは、配線基板 2 0 のソース配線 2 3 および配線基板 6 0 の中間配線 6 2 によって並列接続されている。半導体素子 Q 1 1 および Q 1 2 のソース電極 E_S は、半導体素子 Q 2 1 および Q 2 2 のドレイン電極 E_D と、中間配線 6 2 によって電気的に接続されている。

40

【0053】

図 3 A および図 3 B に示すように、配線基板 2 0 (絶縁基板 2 1) および配線基板 6 0 (絶縁基板 6 1) の外形は、略正方形とされており、半導体素子 Q 1 1、Q 1 2、Q 2 1 および Q 2 2 は、配線基板 2 0 と配線基板 6 0 の間で、これらの配線基板の中心点に対して点対称となるように配置されている。このように、半導体素子 Q 1 1、Q 1 2、Q 2 1、Q 2 2 を配線基板 2 0 および 6 0 の中心点に対して点対称となるように配置することで、各半導体素子 Q を両面から押し付けるように作用する押圧力が半導体素子間で均一とすることができ、半導体モジュール 1 0 の信頼性を向上させることができる。

50

【 0 0 5 4 】

図 1 0 は、半導体モジュール 1 0 の外観を示す斜視図である。半導体モジュール 1 0 は、各半導体素子 Q の上面および下面にドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2 を接合したものを、配線基板 2 0 および 3 0 からなる積層基板と配線基板 6 0 および 7 0 からなる積層基板で挟むことによって形成される。

【 0 0 5 5 】

図 1 1 は、半導体モジュール 1 0 における放熱経路を示す断面図である。図 1 1 において、熱の主な放出方向が矢印で示されている。図 1 1 に示すように、半導体モジュール 1 0 は、上面側および下面側にヒートシンク 1 1 0 を取り付けて使用することが可能である。各半導体素子 Q から発せられた熱は、各半導体素子 Q の上面に接合されたドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2、配線基板 6 0 および 7 0 を介して上面側のヒートシンク 1 1 0 に放出されるとともに、各半導体素子 Q の下面に接合されたドレイン面側熱拡散部材 4 1 またはゲート・ソース面側熱拡散部材 4 2、配線基板 2 0 および 3 0 を介して下面側のヒートシンク 1 1 0 に放出される。このように、本実施形態に係る半導体モジュール 1 0 によれば、各半導体素子 Q の上面側および下面側にそれぞれ放熱経路を有するので、片側にのみ放熱経路を有する従来のパッケージと比較して放熱性能を向上させることができる。

【 0 0 5 6 】

また、本実施形態に係る半導体モジュール 1 0 において、各半導体素子 Q のゲート・ソース面 P 1 に接合されるゲート・ソース面側熱拡散部材 4 2 は、半導体素子 Q のゲート電極 E_g に当接される部分に半導体素子 Q のソース電極 E_s に当接される導体ブロック 4 2 a から絶縁された導体ピン 4 2 b を有する。このように、ゲート・ソース面側熱拡散部材 4 2 にゲート接続用の導体ピン 4 2 b を設けることで、各半導体素子 Q に対するワイヤボンディングが不要となり、製造工程を簡略化することが可能となる。また、ワイヤボンディングが不要となることで、半導体素子 Q のゲート・ソース面 P 1 の全体を熱拡散部材 4 2 に接合させることが可能となる。すなわち、仮にゲート電極 E_g に対するワイヤボンディングが必要とされる場合には、半導体素子 Q のゲート・ソース面 P 1 のワイヤボンディング部の周囲には熱拡散部材を当接させることができなくなる。その結果、半導体素子 Q と熱拡散部材との接合面積が制限され、放熱性が低下する。本実施形態に係る半導体モジュール 1 0 によれば、ゲート・ソース面側熱拡散部材 4 2 にゲート接続用の導体ピン 4 2 b を設けたことにより、ゲート電極 E_g に対するワイヤボンディングが不要となるので、半導体素子 Q のゲート・ソース面 P 1 の全体をゲート・ソース面側熱拡散部材 4 2 に接合することが可能である。このように、本実施形態に係る半導体モジュールによれば、両面ヒートシンク構造を有する従来のパッケージよりも更に高い放熱性能を得ることができる。

【 0 0 5 7 】

また、本実施形態に係る半導体モジュール 1 0 において、半導体素子 Q の下面側において、半導体素子 Q から近い側に配置された配線基板 2 0 における導体の厚さは、半導体素子 Q から遠い側に配置された配線基板 3 0 における導体の厚さよりも厚くなっている。同様に、半導体素子 Q の上面側において、半導体素子 Q から近い側に配置された配線基板 6 0 における導体の厚さは、半導体素子 Q から遠い側に配置された配線基板 7 0 における導体の厚さよりも厚くなっている。このように、発熱源である半導体素子 Q から近い側に配置された配線基板 2 0 および 6 0 の導体を、半導体素子 Q から遠い側に配置された配線基板 3 0 および 7 0 の導体よりも厚くすることで、放熱経路の上流側での熱拡散が促進され、放熱性が向上する。

【 0 0 5 8 】

図 1 2 は、各半導体素子 Q が制御信号に応じて導通状態となっているときの半導体モジュール 1 0 に流れる電流 I の方向を示す断面図である。半導体モジュール 1 0 は、例えば、ドレイン配線 2 2 に接続されたドレイン端子 D 1 に電源の正極が接続され、配線基板 2 0 上のソース配線 2 3 に接続されたソース端子 S 2 に電源の負極が接続される。この場合

において、各半導体素子Qがオン状態となると、電流Iは、ドレイン端子D1からドレイン配線22に流れ、ドレイン面側熱拡散部材41を介して半導体素子Q11およびQ12のドレイン電極E_Dに入力される。電流Iは、半導体素子Q11およびQ12のソース電極E_Sから出力され、ゲート・ソース面側熱拡散部材42を介して配線基板60の中間配線62に流れる。その後、電流Iはドレイン面側熱拡散部材41を介して半導体素子Q21およびQ22のドレイン電極E_Dに入力され、ソース電極E_Sから出力される。半導体素子Q21およびQ22から出力された電流Iは、配線基板20のソース配線23、スルーホール25および配線基板30のソース配線32を介してソース端子S2から出力される。

【0059】

半導体モジュール10をインバータ用途で使用する場合、各半導体素子Qは高速でオンオフを繰り返すことから、電流経路上の配線インダクタンスが大きいと、オーバーシュートによる過電圧が発生する。したがって、配線インダクタンスを低減し、過電圧の発生を抑制することが好ましい。

【0060】

本実施形態に係る半導体モジュール10の構成によれば、図12に示すように、各半導体素子Qの上面側を流れる電流と、各半導体素子Qの下面側を流れる電流とが逆方向に流れる。すなわち、半導体素子Qの上面側に設けられた中間配線62に流れる電流の方向は、中間配線62に対して対向配置されたソース配線23および32に流れる電流の方向とは逆方向となる。これにより、中間配線62に流れる電流によって生じる磁場と、ソース配線23および32に流れる電流によって生じる磁場とが互いに打ち消し合うように作用するので、電流入力端子であるドレイン端子D1および電流出力端子であるソース端子S2からみたパッケージ内部の配線インダクタンスを低減することができる。これにより、各半導体素子Qを高速でオンオフさせた場合におけるオーバーシュートによる過電圧を抑制することができる。

【0061】

図13は、半導体モジュール10をインバータとして使用する場合における構成例を示す平面図である。半導体モジュール10をインバータとして使用する場合、負荷の構成に応じた数の半導体モジュール10を用いる。図13では、2つの半導体モジュール10を使用する場合が例示されている。2つの半導体モジュール10は、図13に示すように面方向に並置される。直流電源（図示しない）の正極に接続されたP母線121は、各半導体モジュール10のドレイン端子D1に接続され、直流電源の負極に接続されたN母線122は、各半導体モジュール10のソース端子S2に接続される。ゲート端子G1、G2、制御信号基準端子GS1、GS2は、半導体モジュール10毎に設けられたゲート基板123に接続される。ゲート端子G1と制御信号基準端子GS1との間、ゲート端子G2と制御信号基準端子GS2との間には、ゲート基板123を介して制御信号が供給され、これによって各半導体素子Qのオンオフが制御される。

【0062】

各半導体モジュール10の中間端子Cには、モータ等の負荷（図示せず）に接続された負荷線124および125が接続される。例えば、図中左側の半導体モジュール10の中間端子CにはU相に対応する負荷線124が接続され、図中右側の半導体モジュール10の中間端子CにはV相に対応する負荷線125が接続されている。本実施形態に係る半導体モジュール10において、中間端子Cは、配線基板60の対向する2辺から互いに逆方向に引き出されているので、負荷線124および125を、2つの半導体モジュール10の間に集約させることができる。これにより、負荷線124および125の引き回しが容易となる。

【0063】

図14は、半導体モジュールのドレイン端子D1およびソース端子S2を図13における矢印Xの方向からみた側面図である。ソース端子S2およびドレイン端子D1は、半導体モジュール10の同じ辺から同じ方向に引き出されている。また、ソース端子S2の引

10

20

30

40

50

き出し長さは、ドレイン端子D 1の引き出し長さよりも長くなっている。更に、ドレイン端子D 1およびソース端子S 2は、それぞれ、配線基板2 0、3 0の主面と平行な引き出し方向から配線基板2 0、3 0の主面に対して垂直な方向上向きに曲げられている。なお、ドレイン端子D 1およびソース端子S 2の曲げ方向は、配線基板2 0、3 0の主面に対して垂直方向下向きであってもよい。また曲げ角度は、厳密に垂直でなくてもよく、配線基板2 0、3 0の主面に対して概略上向きまたは下向きとなっていればよい。ドレイン端子D 1およびソース端子S 2を、このように構成することにより、図1 3に示すように、P母線1 2 1およびN母線1 2 2を直線的に配置することが可能であり、P母線1 2 1およびN母線1 2 2の引き回しが容易となる。また、P母線1 2 1およびN母線1 2 2を平行且つ近接させて配置することが可能である。これにより、P母線1 2 1に流れる電流の方向とN母線1 2 2に流れる電流の方向を逆方向とすることができ、P母線1 2 1に流れる電流によって生じる磁場と、N母線1 2 2に流れる電流によって生じる磁場とが互いに打ち消し合うように作用させることができる。これにより、ドレイン端子D 1およびソース端子S 2からみたP母線1 2 1およびN母線1 2 2の配線インダクタンスを低減することができ、半導体素子Qを高速でオンオフさせた場合におけるオーバーシュートによる過電圧を抑制することができる。

10

【0064】

なお、本実施形態においては、4つの半導体素子Q 1 1、Q 1 2、Q 2 1およびQ 2 2を用いて所謂2 in 1構成とする場合を例示したが、直列接続された2つの半導体素子を用いた2 in 1構成としてもよい。

20

【0065】

また、本実施形態において、各半導体素子Qの上面側および下面側にそれぞれ2つの配線基板を設けているが、各半導体素子Qの上面側および下面側に設けられる配線基板を1つとしてもよい。この場合、ソース端子S 2を配線基板2 0の裏面配線2 6から引き出して、配線基板3 0を廃止する。配線基板7 0にはダミー配線7 2、7 3しか設けられていないので、配線基板7 0を省略できる。配線基板2 0の裏面配線2 6からソース端子S 2を引き出すよりも、配線基板2 0とは別の配線基板3 0からソース端子S 2を引き出す方が、配線のパターンニングが容易である。このため、本実施形態では、半導体素子Qの下面側の配線基板を2層構成としている。半導体素子Qの上面側の配線基板を2層構成としているのは、下面側の配線基板の構成に合わせるためである。これにより、半導体素子Qの上面側および下面側における放熱性能を均一することができる。

30

【0066】

なお、半導体素子Qは、本発明における半導体素子および他の半導体素子の一例である。ドレイン電極E_Dは、本発明における第1の電極の一例である。ソース電極E_Sは本発明における第2の電極の一例である。ゲート電極E_Gは、本発明における制御電極の一例である。ドレイン面側熱拡散部材4 1は、本発明における第1の熱拡散部材の一例である。ゲート・ソース面側熱拡散部材4 2は、本発明における第2の熱拡散部材の一例である。導体ブロック4 2 aは、本発明における第2の熱拡散部材の第1の導体部分の一例である。導体ピン4 2 bは、本発明における第2の熱拡散部材の第1の導体部分の一例である。配線基板2 0および3 0は、本発明における第1の配線基板の一例である。ドレイン配線2 2は、本発明における第1の配線の一例である。配線基板6 0および7 0は、本発明における第2の配線基板の一例である。中間配線6 2は、本発明における第2の配線の一例である。ゲート配線6 3は、本発明における第3の配線の一例である。ドレイン端子D 1は、本発明における第1の端子の一例である。ソース端子S 2は、本発明における第2の端子の一例である。

40

【0067】

[第2の実施形態]

図1 5は、本発明の第2の実施形態に係る半導体モジュール1 1の構成を示す断面図である。なお、図1 5において、上記した第1の実施形態に係る半導体モジュール1 0と同一または対応する構成要素には同一の参照符号を付与し、重複する説明は省略する。

50

【 0 0 6 8 】

上記した第 1 の実施形態に係る半導体モジュール 1 0 は、パッケージ内に 4 つの半導体素子 Q 1 1、Q 1 2、Q 2 1、Q 2 2 を設け、直列回路を形成するものであった。これに対して、第 2 の実施形態に係る半導体モジュール 1 1 は、単一の半導体素子 Q 1 1 を含んで構成されている。また、第 1 の実施形態に係る半導体モジュール 1 0 では、半導体素子 Q の上面側および下面側にそれぞれ 2 つの配線基板が設けられていたが、第 2 の実施形態に係る半導体モジュール 1 1 では半導体素子 Q の上面側および下面側の配線基板を 1 つとしている。

【 0 0 6 9 】

半導体素子 Q 1 1 のドレイン面 P 2 は、ドレイン面側熱拡散部材 4 1 に接合されており、ドレイン電極 E_D がドレイン面側熱拡散部材 4 1 の導体ブロック 4 1 a を介して配線基板 2 0 のドレイン配線 2 2 に電氣的に接続されている。電流入力端子であるドレイン端子 D 1 は、ドレイン配線 2 2 から引き出されている。半導体素子 Q 1 1 のゲート・ソース面 P 1 は、ゲート・ソース面側熱拡散部材 4 2 に接合されており、ソース電極 E_S が導体ブロック 4 2 a を介して配線基板 6 0 のソース配線 6 6 に電氣的に接続されている、ゲート電極 E_G が導体ピン 4 2 b を介して配線基板 6 0 のゲート配線 6 3 に電氣的に接続されている。電流出力端子であるソース端子 S 1 は、ソース配線 6 6 に接続されている。ドレイン端子 D 1 とソース端子 S 1 とは、半導体モジュール 1 1 の同じ辺から同じ方向に引き出されている。

【 0 0 7 0 】

絶縁基板 2 1 および絶縁基板 6 1 の裏面側（半導体素子 Q 1 1 側とは反対側）にはそれぞれ、ダミー配線 2 7 および 6 7 が設けられている。絶縁基板 2 1 の表面および裏面の各配線を構成する導体は、絶縁基板 2 1 の表裏で略同じ厚さおよび略同じ面積となるように構成されている。これにより、絶縁基板 2 1 と導体との間の熱膨張係数差による絶縁基板 2 1 の反りを抑制することができる。同様に、絶縁基板 6 1 の表面および裏面の各配線を構成する導体は、絶縁基板 6 1 の表裏で略同じ厚さおよび略同じ面積となるように構成されている。これにより、絶縁基板 6 1 と導体との間の熱膨張係数差による絶縁基板 6 1 の反りを抑制することができる。

【 0 0 7 1 】

図 1 5 には、半導体素子 Q 1 1 が制御信号に応じて導通状態となっているときの半導体モジュール 1 1 に流れる電流 I の方向が示されている。第 2 の実施形態に係る半導体モジュール 1 1 によれば、第 1 の実施形態の場合と同様、半導体素子 Q 1 1 の上面側のソース配線 6 6 に流れる電流と、半導体素子 Q 1 1 の下面側のドレイン配線 2 2 を流れる電流とが対向し且つ逆方向に流れる。これにより、ソース配線 6 6 に流れる電流によって生じる磁場と、ドレイン配線 2 2 に流れる電流によって生じる磁場とが互いに打ち消し合うように作用するので、ドレイン端子 D 1 およびソース端子 S 1 からみたパッケージ内部の配線インダクタンスを低減することができる。これにより、半導体素子 Q 1 1 を高速でオンオフさせた場合におけるオーバーシュートによる過電圧を抑制することができる。

【 0 0 7 2 】

また、半導体素子 Q 1 1 のドレイン面 P 2 には、ドレイン面側熱拡散部材 4 1 が接合され、半導体素子 Q 1 1 のゲート・ソース面 P 1 には、ゲート・ソース面側熱拡散部材 4 2 が接合されている。これにより、第 1 の実施形態の場合と同様、半導体素子 Q 1 1 から発せられた熱を半導体素子 Q 1 1 の両面から放出させることが可能となる。

【 0 0 7 3 】

[第 3 の実施形態]

図 1 6 は、複数の半導体モジュール 1 0 を含んで構成される本発明の第 3 の実施形態に係る半導体スイッチ 2 0 0 の構成を示す図である。複数の半導体モジュール 1 0 は、ヒートシンク 2 1 0 を間に挟んで、半導体素子 Q のゲート・ソース面 P 1 およびドレイン面 P 2 に対して垂直な方向に沿って積層されている。すなわち、複数の半導体モジュール 1 0 は、内部に形成された放熱経路の方向（図 1 1 に示す矢印の方向）に沿って積層されてい

10

20

30

40

50

る。なお、最上段の半導体モジュールの上面にもヒートシンク 210 を取り付けることが好ましい。ヒートシンク 210 として例えば空冷式や水冷式の方熱器を用いることが可能である。最下段の半導体モジュール 10 の下面は、熱伝導率の高い部材によって構成される基台 220 の表面に当接されている。

【0074】

複数の半導体モジュール 10 の各々は、ドレイン端子 D1 およびソース端子 S2 が互いに同じ方向を向くように配置されている。この場合、複数の半導体モジュール 10 のゲート端子 G1、G2 および制御信号基準端子 GS1、GS2 は、ドレイン端子 D1 およびソース端子 S2 とは反対方向を向くことになる。

【0075】

半導体スイッチ 200 において、複数の半導体モジュール 10 は直列接続されている。すなわち、最上段に配置された半導体モジュール 10 のドレイン端子 D1 は、電流経路の高圧ライン HV に接続され、ソース端子 S2 は 2 段目の半導体モジュールのドレイン端子 D1 に接続されている。同様に、各半導体モジュール 10 のソース端子 S2 は、1 つ下段の半導体モジュール 10 のドレイン端子 D1 に接続されている。最下段の半導体モジュール 10 のソース端子 S2 は、リターン導体 230 を介して電流経路の低圧ライン LV に接続されている。

【0076】

複数の半導体モジュール 10 の各々のゲート端子 G1、G2 および制御信号基準端子 GS1、GS2 は、半導体モジュール 10 の各々に対応して設けられた別個の制御回路 241 ~ 246 に接続されている。複数の半導体モジュール 10 の各々の半導体素子 Q は、自身に対応する制御回路 241 ~ 246 から供給される制御信号に応じてオンオフする。複数の半導体モジュール 10 を半導体スイッチとして用いる場合には、通常、複数の半導体モジュール 10 内の全ての半導体素子 Q を互いに同じタイミングでオンオフさせる。複数の半導体モジュール 10 を直列に接続することで、各半導体素子 Q に印加される電圧が小さくなるので、高耐圧の半導体スイッチを構成することができる。なお、図 16 では、6 つの半導体モジュール 10 を直列に接続した例が示されているが、半導体スイッチ 200 を構成する半導体モジュール 10 の数は、必要とされる耐圧に応じて適宜増減することが可能である。また、本実施形態では、第 1 の実施形態に係る半導体モジュール 10 を用いて半導体スイッチ 200 を構成しているが、第 2 の実施形態に係る半導体モジュール 11

【0077】

本実施形態に係る半導体スイッチ 200 によれば、複数の半導体モジュール 10 が、ヒートシンク 210 を間に挟んで半導体モジュール 10 の内部に形成された放熱経路の方向に沿って積層されるので、効率的な放熱を実現するとともに半導体スイッチの高耐圧化を図ることができる。また、複数の半導体モジュール 10 を積層することで、装置の面方向におけるサイズを小さくすることができる。

【0078】

また、ドレイン端子 D1 およびソース端子 S2 が半導体モジュール 10 の同じ側に引き出されるとともに、これらの端子が半導体モジュール 10 の積層方向に並んでいるので、積層された半導体モジュール間を直列接続するための配線の引き回しが容易となる。すなわち、図 16 に示すように、複数の半導体モジュール 10 を積層したときに、上段の半導体モジュール 10 のソース端子 S2 と、下段の半導体モジュール 10 のドレイン端子 D1 とが隣り合うように配置されるので、これらの配線接続が容易である。

【0079】

[第 4 の実施形態]

図 17 は、複数の半導体モジュール 10 を含んで構成される本発明の第 4 の実施形態に係る半導体スイッチ 201 の構成を示す図である。図 17 において、図 16 に示す半導体スイッチ 200 と同一または対応する構成要素には同一の参照符号を付与し、重複する説明は省略する。また、図 17 において、図 16 における制御回路 241 ~ 246 の図示を

10

20

30

40

50

省略している。

【 0 0 8 0 】

第 4 の実施形態に係る半導体スイッチ 2 0 1 において、複数の直列ユニット 2 5 1、2 5 2 および 2 5 3 が構成されている。各直列ユニット 2 5 1、2 5 2、2 5 3 の構成は、上記した第 3 の実施形態に係る半導体スイッチ 2 0 0 と等価である。すなわち、直列ユニット 2 5 1、2 5 2、2 5 3 は、それぞれ、複数の半導体モジュール 1 0 を、ヒートシンク 2 1 0 を間に挟んで積層するとともに、当該複数の半導体モジュールの各々の半導体素子 Q を直列接続して構成されている。

【 0 0 8 1 】

直列ユニット 2 5 1、2 5 2、2 5 3 を構成する各段の半導体モジュール 1 0 は、他の直列ユニットを構成する対応する段の半導体モジュール 1 0 の各々に並列接続されている。例えば、直列ユニット 2 5 1 の最上段の半導体モジュール 1 0 は、直列ユニット 2 5 2 の最上段の半導体モジュール 1 0 に並列接続されるとともに、直列ユニット 2 5 3 の最上段の半導体モジュール 1 0 に並列接続されている。同様に、直列ユニット 2 5 1 の 2 段目の半導体モジュール 1 0 は、直列ユニット 2 5 2 の 2 段目の半導体モジュール 1 0 に並列接続されるとともに、直列ユニット 2 5 3 の 2 段目の半導体モジュール 1 0 に並列接続されている。

10

【 0 0 8 2 】

図 1 8 は、本実施形態に係る半導体スイッチ 2 0 1 の等価回路図である。本実施形態に係る半導体スイッチ 2 0 1 において、複数の半導体モジュールは、マトリクスアレイを形成している。このように、マトリクスアレイを形成することで、高耐圧および大電流容量の半導体スイッチを実現することができる。なお、本実施形態では、6 × 3 のマトリクスアレイを構成した場合を例示しているが、これに限定されるものではなく、必要とされる耐圧および電流容量に応じて適宜変更することが可能である。また、本実施形態では、第 1 の実施形態に係る半導体モジュール 1 0 を用いて半導体スイッチ 2 0 1 を構成しているが、第 2 の実施形態に係る半導体モジュール 1 1 を用いることも可能である。

20

【 符号の説明 】

【 0 0 8 3 】

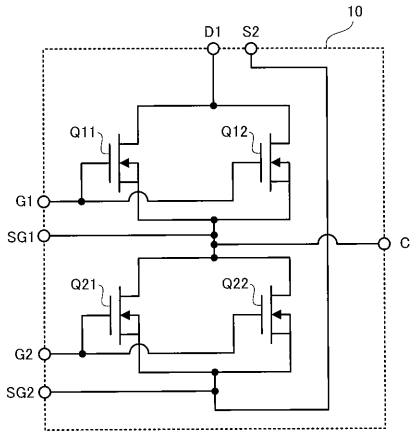
1 0、1 1 半導体モジュール
 2 0、3 0、6 0、7 0 配線基板
 2 2 ドレイン配線
 2 3 ソース配線
 4 1 ドレイン面側熱拡散部材
 4 2 ゲート・ソース面側熱拡散部材
 4 2 a 導体ブロック
 4 2 b 導体ピン
 6 2 中間配線
 6 3 ゲート配線 6 3
 8 1 固体粒子
 8 2 絶縁樹脂
 2 0 0、2 0 1 半導体スイッチ
 C 中間端子
 D 1 ドレイン端子
 S 2 ソース端子
 Q 1 1、Q 1 2、Q 2 1、Q 2 2 半導体素子
 E_D ドレイン電極
 E_S ソース電極
 E_G ゲート電極
 P₁ ゲート・ソース面
 P₂ ドレイン面

30

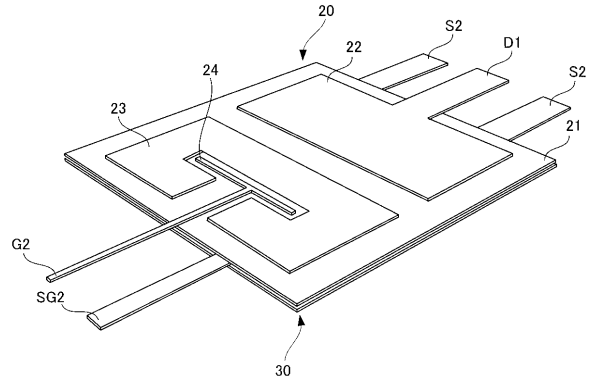
40

50

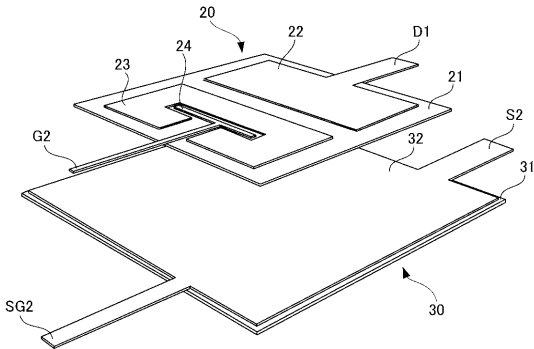
【図 1】



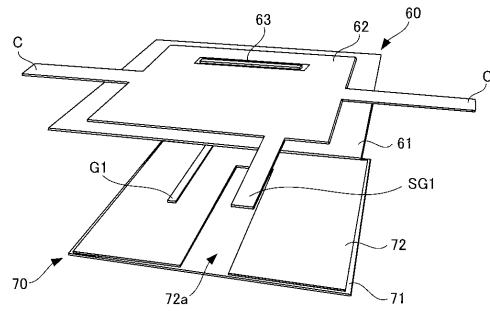
【図 4 B】



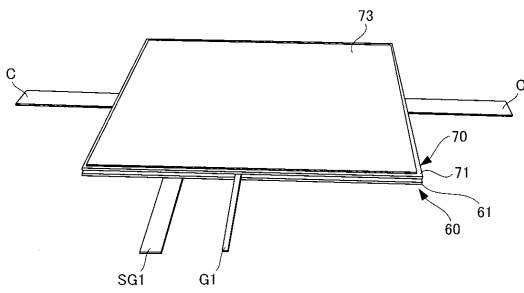
【図 4 A】



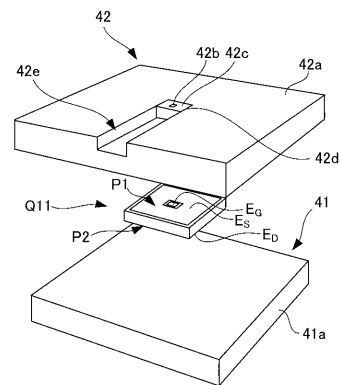
【図 5 A】



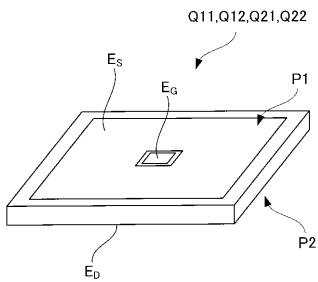
【図 5 B】



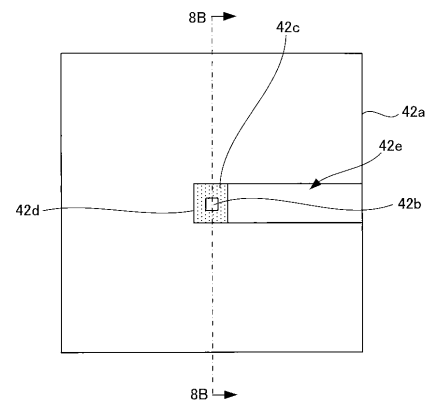
【図 7】



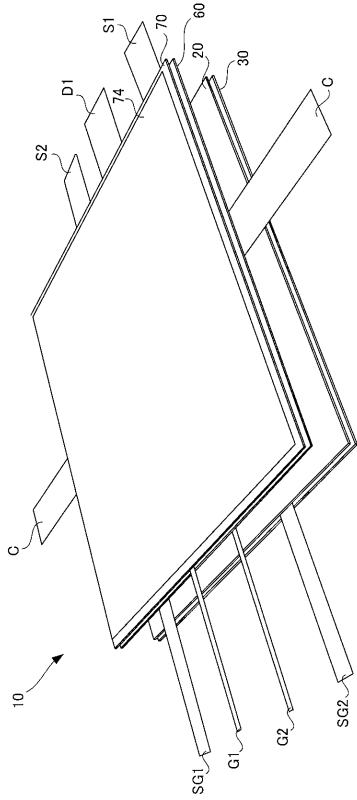
【図 6】



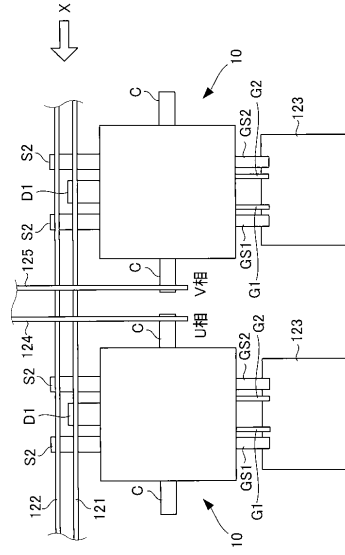
【図 8 A】



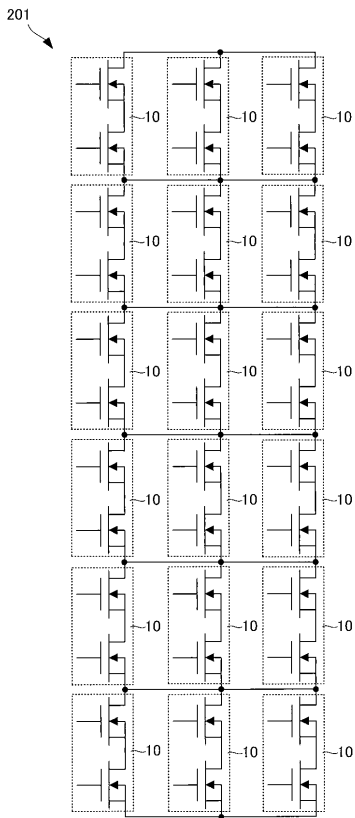
【 図 1 0 】



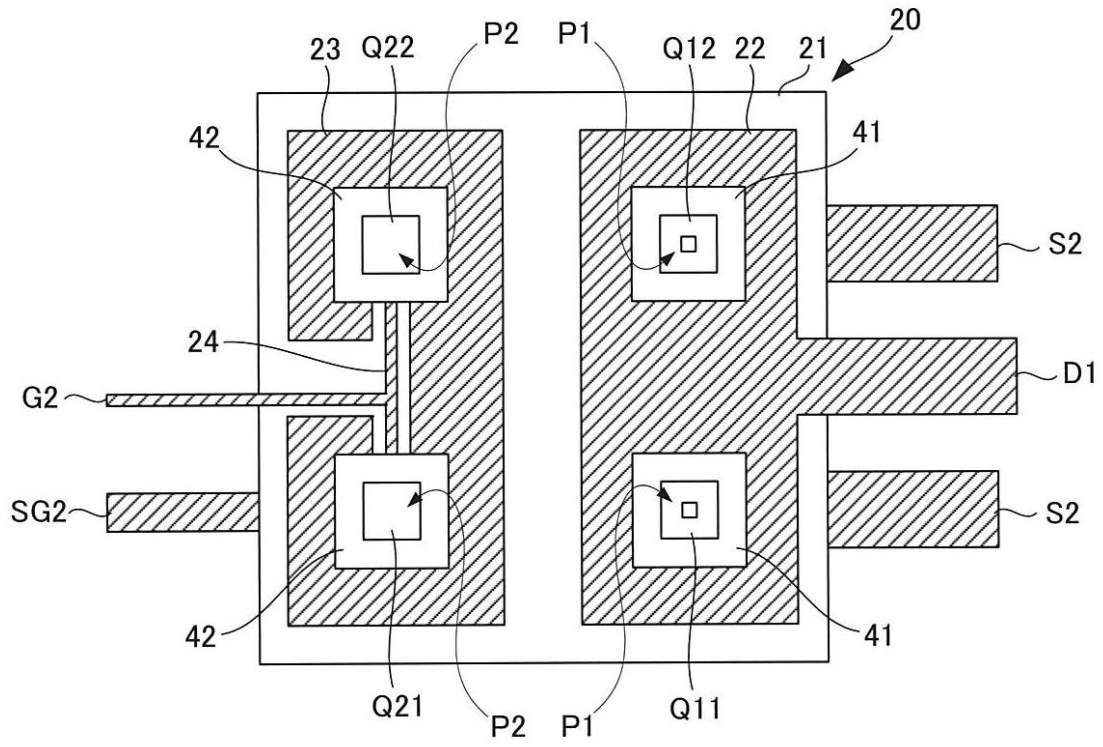
【 図 1 3 】



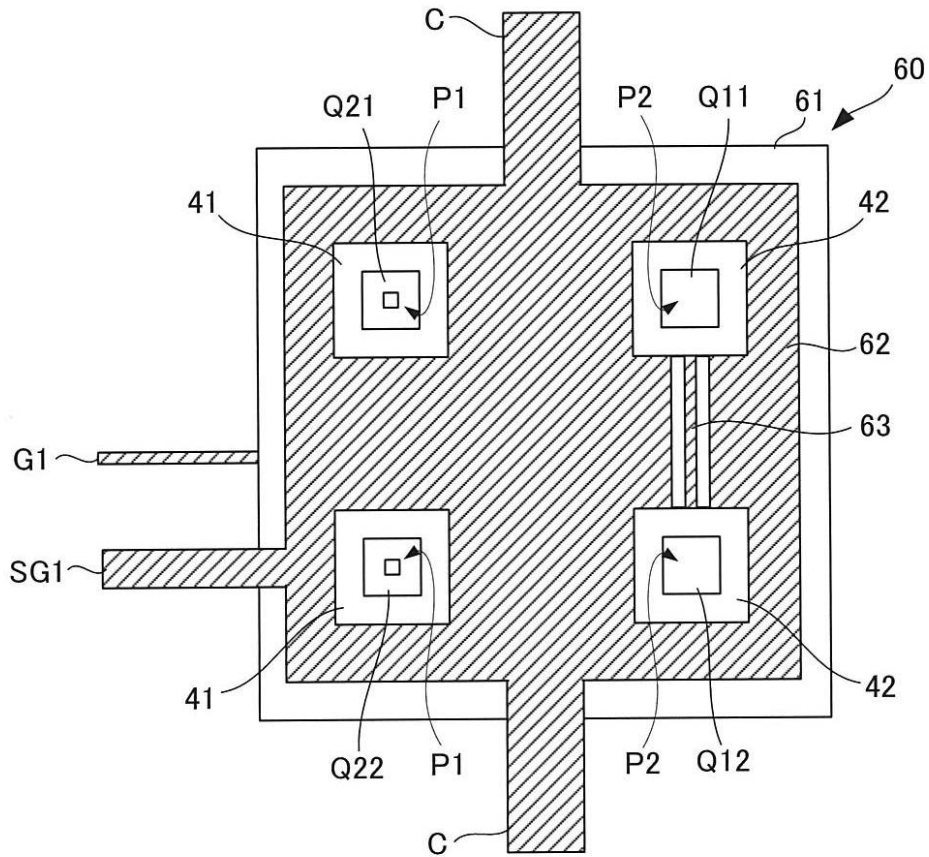
【 図 1 8 】



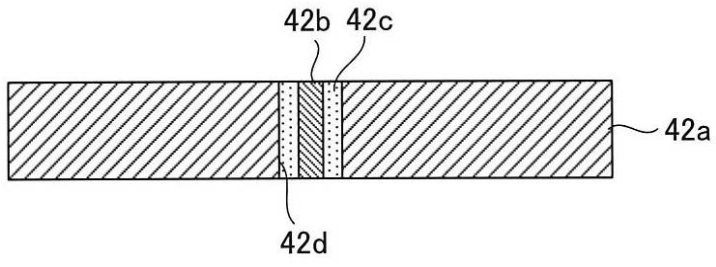
【図3A】



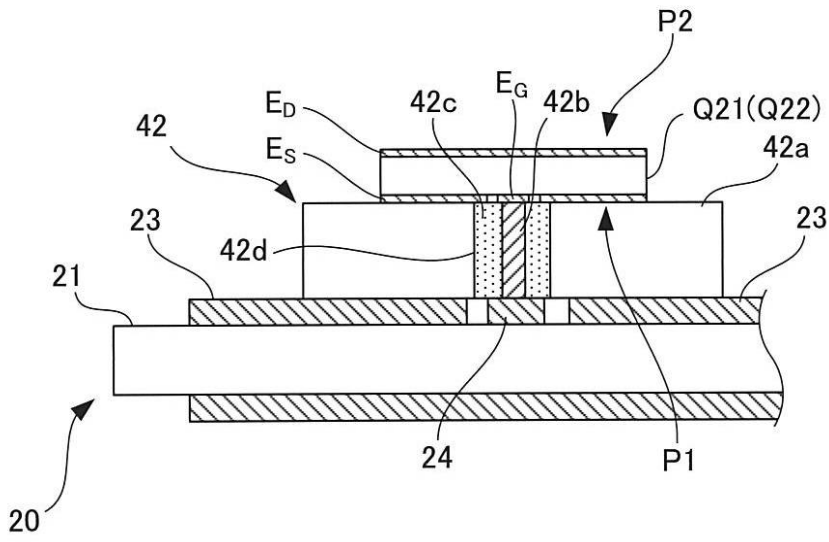
【図3B】



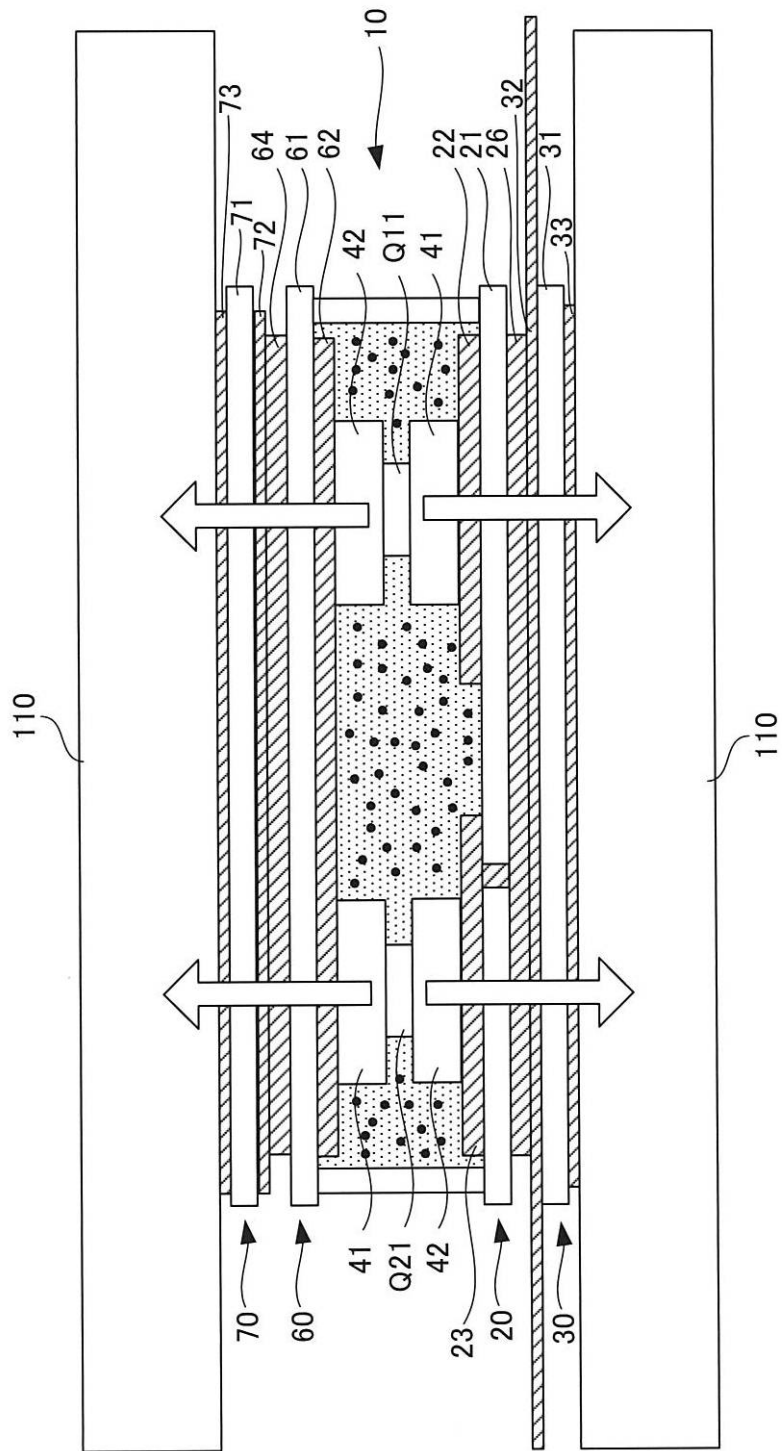
【 図 8 B 】



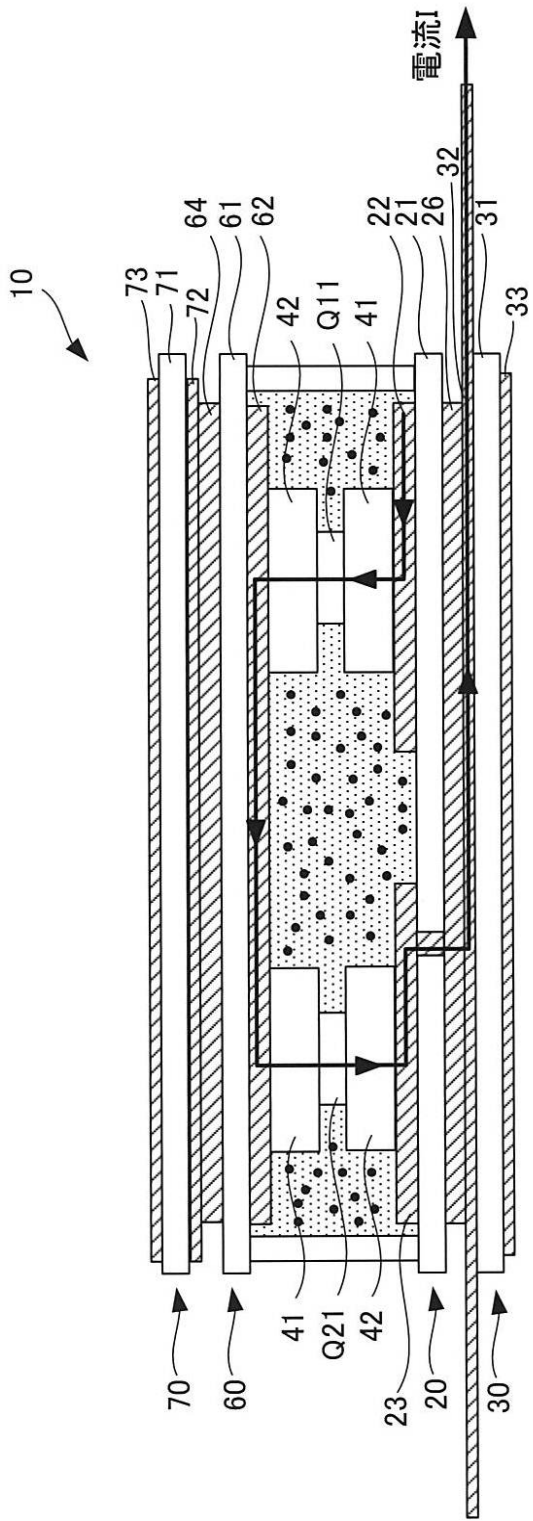
【 図 9 】



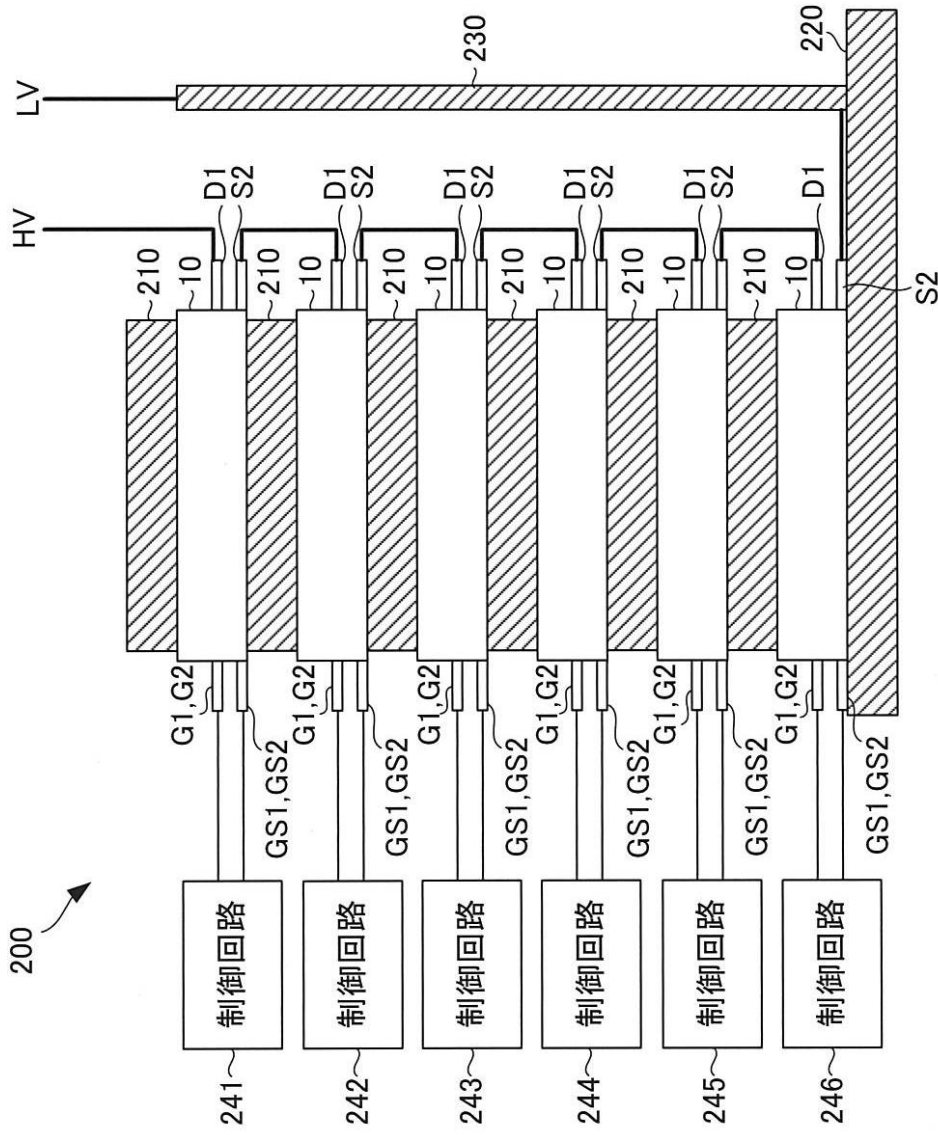
【図 11】



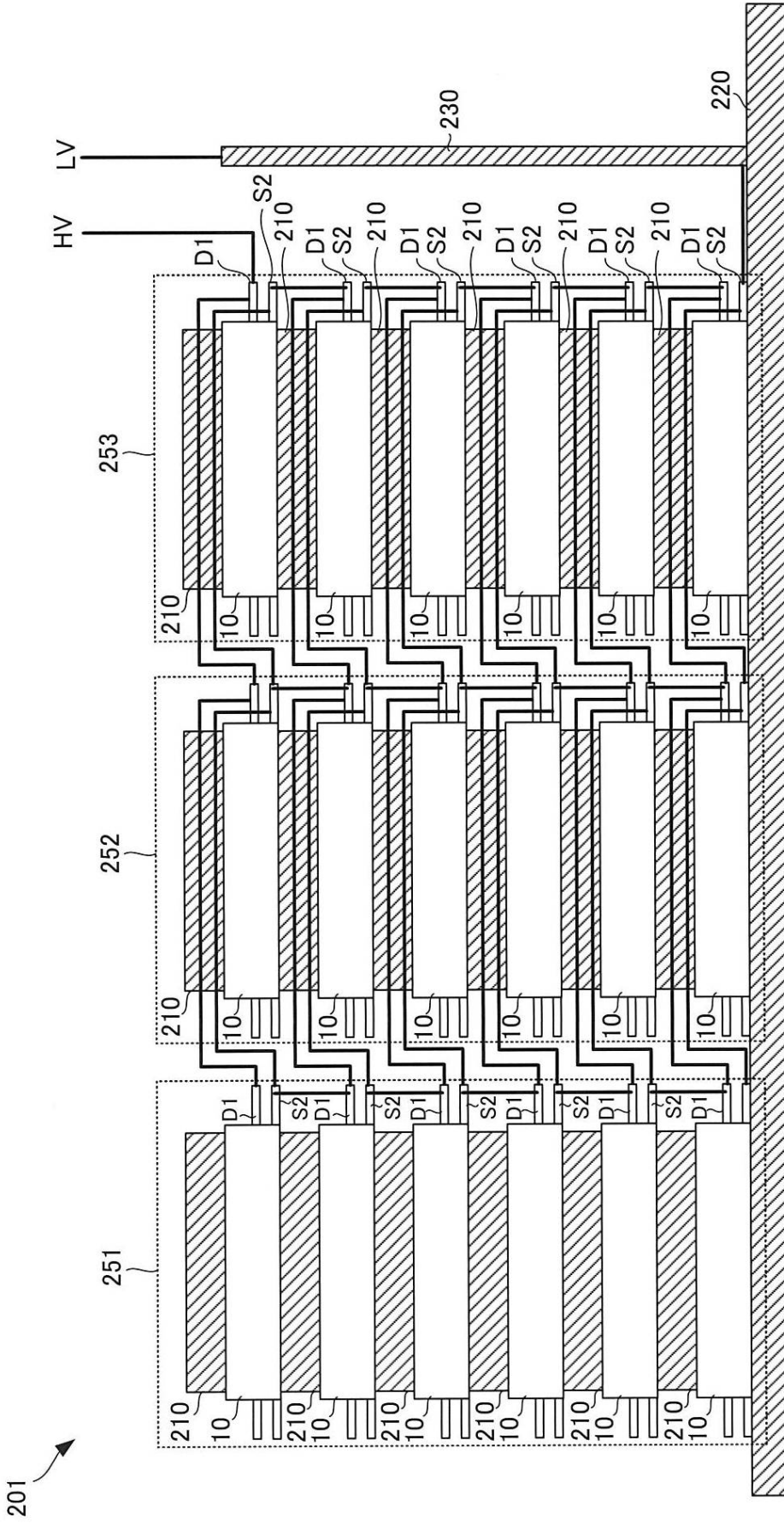
【 図 1 2 】



【図16】



【 図 17 】



フロントページの続き

(72)発明者 高山 健

茨城県つくば市大穂1番地1 大学共同利用機関法人 高エネルギー加速器研究機構内

(72)発明者 和気 正芳

茨城県つくば市大穂1番地1 大学共同利用機関法人 高エネルギー加速器研究機構内

Fターム(参考) 5F136 DA22 DA27 FA24