

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-157859
(P2017-157859A)

(43) 公開日 平成29年9月7日(2017.9.7)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|-----------------|-------------|
| HO 1 L 27/146 (2006.01) | HO 1 L 27/146 A | 4M118 |
| HO 1 L 27/144 (2006.01) | HO 1 L 27/144 K | 5C024 |
| HO 1 L 31/08 (2006.01) | HO 1 L 31/00 A | 5F849 |
| HO 1 L 31/10 (2006.01) | HO 1 L 31/10 A | |
| HO 4 N 5/32 (2006.01) | HO 4 N 5/32 | |

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2017-101258 (P2017-101258)
 (22) 出願日 平成29年5月22日 (2017.5.22)
 (62) 分割の表示 特願2013-4017 (P2013-4017) の分割
 原出願日 平成25年1月11日 (2013.1.11)

特許法第30条第2項適用申請有り 平成24年9月3日開催 International Workshop on Semiconductor Pixel Detectors for Particles and Imaging (PIXEL2012) にて発表

(出願人による申告) 平成22年度、文部科学省、先端計測分析技術・機器開発事業に係る委託業務、開発課題名「SOI技術による時間・空間X線イメージセンサー」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地8
 (71) 出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100099025
 弁理士 福田 浩志

最終頁に続く

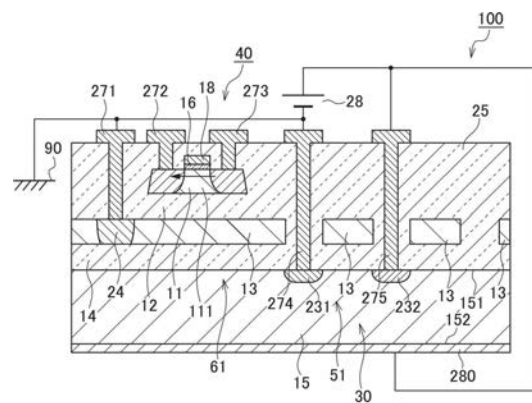
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フォトダイオードとトランジスタが絶縁膜を介して同一の半導体基板に形成され、寄生容量の小さい半導体装置を提供する。

【解決手段】 一導電型の第2の半導体層15と、第2の半導体層の一面151の第1の領域51に設けられた反対導電型の半導体領域231と、を備えるフォトダイオード30と、第2の半導体層の一面151の第2の領域61上に設けられ、トランジスタ素子が形成された第1の半導体層11と、第1の半導体層と第2の半導体層との間に設けられ、固定電位が与えられる第3の半導体層13と、第1の半導体層と第3の半導体層との間に設けられた絶縁層12と、第2の半導体層と前記第3の半導体層との間に設けられた絶縁層14と、第1の領域51の第3の半導体層13に対応する深さに設けられた第4の半導体層13と、半導体領域231に接続され、第3の半導体層13と第4の半導体層13との間に配置される電極274と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一導電型の第 2 の半導体層と、前記第 2 の半導体層の一主面の第 1 の領域に設けられた、前記一導電型とは反対の導電型である反対導電型の第 1 半導体領域と、を備えるフォトダイオードと、

前記第 2 の半導体層の一主面の第 1 の領域とは異なる第 2 の領域上に設けられ、トランジスタ素子が形成された第 1 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層との間に設けられ、固定電位が与えられる第 3 の半導体層と、

前記第 1 の領域の前記第 3 の半導体層に対応する深さに設けられた第 4 の半導体層と、

前記第 1 の半導体層と前記第 3 の半導体層との間に設けられた第 1 の絶縁層と、

前記第 2 の半導体層と前記第 3 の半導体層との間に設けられた第 2 の絶縁層と、

前記第 1 半導体領域に接続されると共に前記第 3 の半導体層と前記第 4 の半導体層との間に配置される第 1 電極と、を備える半導体装置。

10

【請求項 2】

前記一主面の第 1 の領域に設けられた前記一導電型の第 2 半導体領域と、

前記第 2 半導体領域に接続された第 2 電極と、

を備え、

前記第 4 の半導体層は、前記第 1 電極と前記第 2 電極との間に配置される、ことを特徴とする請求項 1 記載の半導体装置。

20

【請求項 3】

前記固定電位は接地電位である請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記一導電型は N 型であり、前記反対導電型は P 型である請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記フォトダイオードは、X 線検出用のフォトダイオードである請求項 1 から 4 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置に関し、特に、同一の SOI (Silicon On Insulator) 基板上に、X 線検出用のフォトダイオードとトランジスタを混在させた X 線センサに関する。

【背景技術】

【0002】

同一の半導体基板に、センサと周辺回路とが絶縁膜を介して形成されている構造の半導体装置が特許文献 1、2 に開示されている。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献 1】特開 2009 - 170615 号公報

【特許文献 2】特開 2008 - 130795 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

同一の半導体基板に、センサと周辺回路とが形成されている構造の半導体装置の中で、X 線検出用のフォトダイオードとトランジスタとが同一の半導体基板に形成されている構造の X 線センサにおいては、放射線入射時の検出感度を高くするため、X 線検出用のフォトダイオードが形成されている半導体基板に低濃度高抵抗の半導体基板を使用したり、半

50

導体基板裏面に数百Vのバイアスを印加する等の方法により、半導体基板全体を空乏化することがある。

【0005】

この際、SOI(Silicon On Insulator)基板を用いることにより、図10のように、埋め込み酸化膜4の上側の第1の半導体層11を回路動作のMOSトランジスタ1等の素子形成用の高濃度低抵抗基板、埋め込み酸化膜4の下側の第2の半導体層15をフォトダイオード2形成用の低濃度高抵抗基板とすることで、1枚のウエハ10上で周辺回路を含めたX線センサを構成することができる。

【0006】

しかしながら、第2の半導体層15を空乏化するために第2の半導体層15の裏面に印加した電圧3が、埋め込み酸化膜4を介して埋め込み酸化膜4上に形成した第1の半導体層11にも伝わり、第1の半導体層11に形成したMOSトランジスタ1において、本来、ポリシリコン膜で形成されたゲート電極5によってコントロールされる電流経路6とは別に、第2の半導体層15から伝達した電圧によって埋め込み酸化膜4側のチャネル領域が電流経路7として動作してしまう問題点と、X線の照射によって埋め込み酸化膜4が正に帯電することで埋め込み酸化膜4側のチャネル領域が電流経路7として動作してしまう問題点があった。

10

【0007】

これらの問題を解決するために、図11に示すように、MOSトランジスタ1の直下の第2の半導体層15の表面に、第2の半導体層15にドーピングされている不純物とは逆の導電型を持ち、センサピクセルとして動作する拡散層8を形成し、更にその内側に拡散層8と逆の導電型を持つ拡散層9を形成し、これらの電位をGNDに接地することで、第2の半導体層15を空乏化するために第2の半導体層15の裏面に印加した電圧3が第1の半導体層11に伝わることを抑制し、さらに放射線耐性を高めることが考えられる。

20

【0008】

しかしながら、この構造においては、図11に示すように、第1の半導体層11と拡散層8との間に寄生容量101を持ってしまい、また、第2の半導体層15中に形成したセンサピクセルとしてのダイオードにおいて、拡散層8と拡散層9との間に寄生容量102を持ってしまい、センサに対するノイズ増加や、速度低下の原因となってしまう。

30

【0009】

本発明の主な目的は、フォトダイオードとトランジスタとが絶縁膜を介して同一の半導体基板に形成され、寄生容量の小さい半導体装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明によれば、

一導電型の第2の半導体層と、前記第2の半導体層の一主面の第1の領域に設けられた、前記一導電型とは反対の導電型である反対導電型の第1半導体領域と、を備えるフォトダイオードと、

前記第2の半導体層の一主面の第1の領域とは異なる第2の領域上に設けられ、トランジスタ素子が形成された第1の半導体層と、

40

前記第1の半導体層と前記第2の半導体層との間に設けられ、固定電位が与えられる第3の半導体層と、

前記第1の領域の前記第3の半導体層に対応する深さに設けられた第4の半導体層と、

前記第1の半導体層と前記第3の半導体層との間に設けられた第1の絶縁層と、

前記第2の半導体層と前記第3の半導体層との間に設けられた第2の絶縁層と、

前記第1半導体領域に接続されると共に前記第3の半導体層と前記第4の半導体層との間に配置される第1電極と、を備える半導体装置が提供される。

【発明の効果】

【0011】

本発明によれば、フォトダイオードとトランジスタとが絶縁膜を介して同一の半導体基

50

板に形成され、寄生容量の小さい半導体装置が提供される。

【図面の簡単な説明】

【0012】

【図1】図1は、本発明の好ましい実施の形態の半導体装置を説明するための概略縦断面図である。

【図2】図2は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図3】図3は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図4】図4は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図5】図5は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図6】図6は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図7】図7は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図8】図8は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図9】図9は、本発明の好ましい実施の形態の半導体装置の製造方法を説明するための概略縦断面図である。

【図10】図10は、従来の半導体装置を説明するための概略縦断面図である。

【図11】図11は、関連する半導体装置を説明するための概略縦断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の好ましい実施の形態について図面を参照しながら説明する。

【0014】

図1を参照すれば、本発明の好ましい実施の形態の半導体装置100は、周辺回路用のMOSトランジスタ40が形成された第1の半導体層11と、センサピクセルとして機能し、第2の半導体層15と半導体領域231とを備えるフォトダイオード30と、第1の半導体層11と第2の半導体層15との間に設けられた第3の半導体層13と、第1の半導体層11と第3の半導体層13との間に設けられた埋め込み酸化膜12と、第2の半導体層15と第3の半導体層13との間に設けられた埋め込み酸化膜14とを備えている。

【0015】

第1の半導体層11、第3の半導体層13はP型半導体基板、第2の半導体層15はN型半導体基板で形成している。第2の半導体層15の主面151の領域51には、P型の半導体領域231が設けられている。P型の半導体領域231とN型の第2の半導体層15で、センサピクセルとして機能する、X線用のフォトダイオード30が形成されている。なお、第2の半導体層15の主面151の領域51には、高濃度のN型の取り出し領域232が設けられている。第2の半導体層15の主面151と反対側の主面152には、電極280が設けられている。MOSトランジスタ40が形成された第1の半導体層11のアクティブ領域111は、第2半導体層15の主面151の領域51とは異なる領域61上に設けられている。第1の半導体層11のアクティブ領域111と第2の半導体層15との間に設けられた第3の半導体層13には、高濃度のP型の取り出し領域24が設けられている。

【0016】

N型の第2の半導体層15は、第2の半導体層15の主面152に設けられた電極280および第2の半導体層15の主面151に設けられた高濃度のN型の取り出し領域232に接続された取り出し電極275を介して電源28の正極側に接続されている。第2の半導体層15の主面151に設けられたP型の半導体領域231は、取り出し電極274

10

20

30

40

50

を介して電源 28 の負極側および GND 90 に接続されている。P 型の第 3 の半導体層 13 は、高濃度の P 型の取り出し領域 24 に接続された取り出し電極 271 を介して GND 90 に接続されている。

【0017】

X 線用のフォトダイオード 30 を構成する N 型の第 2 の半導体層 15 を空乏化するために、第 2 半導体層 15 の裏面（主面 152）と高濃度の N 型の取り出し領域 232（カソード電極）に電源 28 より正の高電圧を印加する。この時、第 3 の半導体層 13 とダイオードのアノード電極となる P 型の半導体領域 231 は GND 90 に接地する。

【0018】

P 型基板で形成された第 3 の半導体層 13 を GND 電位に固定することにより、第 2 の半導体層 15 を空乏化するために第 2 の半導体層 15 の裏面（主面 152）に高電圧を印加した場合でも、第 1 の半導体層 11 のアクティブ領域 111 の埋め込み酸化膜 12 側の界面には第 2 の半導体層 15 の裏面に印加した高電圧 28 は伝達しない。

【0019】

このように、第 1 の半導体層 11 のアクティブ領域 111 に形成した MOS トランジスタ 40 と第 2 の半導体層 15 に形成したセンサピクセルとしてのダイオード 30 の間には GND に固定された第 3 の半導体層 13 があるために、センサピクセルへの寄生容量は非常に小さくなる。また、センサピクセルへ信号が入力された際に第 1 の半導体層 11 の MOS トランジスタ 40 へ影響を及ぼすクロストークも、ほぼ無視できる程度となる。

【0020】

次に、本発明の好ましい実施の形態の半導体装置 100 の製造方法について説明する。

【0021】

まず、図 2 に示すように 100 ~ 200 nm 程度の厚さの埋め込み酸化膜 10、14 を挟んで上側に 100 nm の厚さの第 1 の半導体層 11 と、下側に 700 μm 程度の厚さの第 2 の半導体層 15、中央に 100 nm の厚さの第 3 の半導体層 13 を有する Double-SOI (Double-Silicon On Insulator) 基板を用いる。この時、例えば第 1 の半導体層 11、第 3 の半導体層 13 は比抵抗 $10 \cdot \text{cm}$ の P 型半導体基板、第 2 の半導体層 15 は比抵抗 $10 \text{ k} \cdot \text{cm}$ の N 型半導体基板で形成する。

【0022】

第 1 の半導体層 11 の表面に、パッド酸化膜（図示せず）と窒化膜（図示せず）を形成し、LOCOS 形成法によりフィールド酸化膜を形成した後に、図 3 に示すように、全ての窒化膜と、パッド酸化膜を除去する。これにより、第 1 の半導体層 11 にアクティブ領域 111 が形成される。

【0023】

さらに、図 4 に示すように、第 1 の半導体層 11 のアクティブ領域 111 の表面にゲート酸化膜 16 を形成し、ポリシリコン膜を堆積、フォトレジスト（図示せず）でパターニングを行なったポリシリコン膜のドライエッチングを行い、ゲート電極 18 を形成する。

【0024】

その後、図 5 に示すように、フォトレジスト（図示せず）を除去した後に、第 1 の半導体層 11 のアクティブ領域 111 に LDD（図示せず）のイオン注入を行い、サイドウォールスペーサ 20 を形成したのちに、高濃度ソース・ドレイン 19 のイオン注入工程を行い、MOS トランジスタ 40 を形成する。

【0025】

その後、図 6 に示すように、第 2 の半導体層 15 に形成するべき P 型の半導体領域 231、N 型の取り出し領域 232、第 3 半導体層 13 の分離領域 131 以外の場所をフォトレジスト（図示せず）にて覆い、埋め込み酸化膜 12、14、第 3 の半導体層 13 をエッチングして、開口 211、212、分離領域用溝 213 をそれぞれ形成した後に、フォトレジストを除去する。また、第 3 の半導体層 13 に形成するべき P 型の取り出し電極領域 24 以外の場所をフォトレジスト（図示せず）にて覆い、埋め込み酸化膜 12 をエッチン

10

20

30

40

50

グして、開口 2 2 を形成した後にフォトレジストを除去する。

【 0 0 2 6 】

ダイオードのカソードを兼ねた N 型の取り出し領域 2 3 2 には、開口 2 1 2 を介して、例えば注入エネルギー 60 keV 、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物 3 1 P⁺ を注入し、ダイオードのアノードを兼ねた P 型の半導体領域 2 3 1 には、開口 2 1 1 を介して、例えば注入エネルギー 40 keV 、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物 1 1 B⁺ を注入する。また、第 3 の半導体層 1 3 の P 型の取り出し領域 2 4 には、開口 2 2 を介して、例えば注入エネルギー 15 keV 、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物 4 9 B F₂⁺ を注入する。

【 0 0 2 7 】

この後、図 7 に示すように、CVD 膜 2 5 の堆積によって層間膜を形成する。その後、第 1 の半導体層 1 1 のアクティブ領域 1 1 1 と第 2 の半導体層 1 5、第 3 の半導体層 1 3 の取り出し電極を形成する場所をエッチングすることによって、図 8 に示すように、コンタクトホール 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5 を形成する。最後にスパッタによって形成したメタル層を、電極形成領域以外の部分をエッチングすることによって、図 9 に示すように、取り出し電極 2 7 1、2 7 2、2 7 3、2 7 4、2 7 5 を形成する。また、第 2 半導体層 1 5 の裏面にも、電極 2 8 0 を形成する。

【 0 0 2 8 】

第 3 の半導体層 1 3 に分離領域を形成する手法として、図 7 に示すように第 2 の半導体層 1 5 の主面 1 5 1 に P 型の半導体領域 2 3 1 および N 型の取り出し領域を形成する際に、同時に第 3 の半導体層 1 3 の分離領域 1 3 1 を形成する部分のエッチングを行うことで、特別な工程を行ったり、マスクなどを準備することなく、第 3 半導体層 1 3 の分離領域 1 3 1 の形成を行うことが可能となり、第 3 の半導体層 1 3 同士を電氣的に分離することが可能となる。

【 0 0 2 9 】

なお、上記の実施の形態では、第 2 の半導体層 1 5 が N 型基板である場合について説明しているが、第 2 の半導体層 1 5 が P 型の半導体装置にも適用可能であり、その場合には、他の領域についても、P 型とあったのを N 型とし、N 型とあったのを P 型とする。

【 0 0 3 0 】

以上、本発明の種々の典型的な実施の形態を説明してきたが、本発明はそれらの実施の形態に限定されない。従って、本発明の範囲は、次の特許請求の範囲によってのみ限定されるものである。

【 符号の説明 】

【 0 0 3 1 】

- 1 1 第 1 の半導体層
- 1 2 埋め込み酸化膜
- 1 3 第 3 の半導体層
- 1 4 埋め込み酸化膜
- 1 5 第 2 の半導体層
- 1 6 ゲート酸化膜
- 1 8 ゲート電極
- 1 9 ソース・ドレイン
- 2 2 開口
- 2 4 P 型の取り出し領域
- 2 8 電源
- 3 0 フォトダイオード
- 4 0 M O S トランジスタ
- 5 1、6 1 領域
- 9 0 G N D
- 1 0 0 半導体装置

10

20

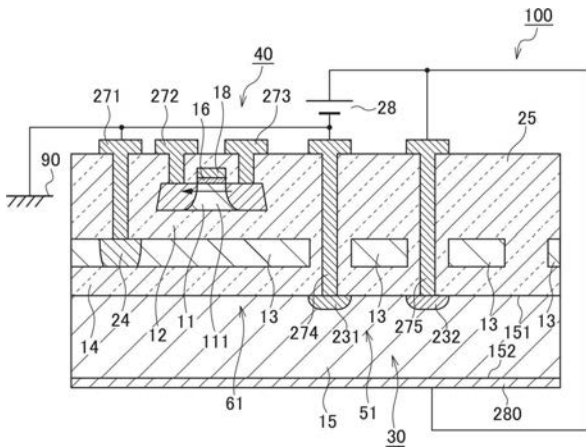
30

40

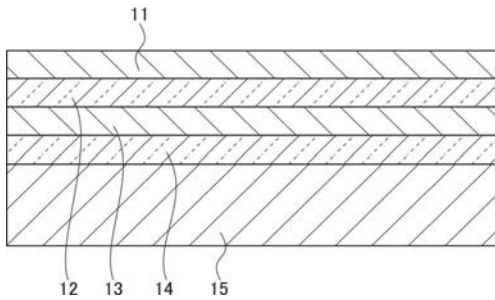
50

- 1 1 1 アクティブ領域
- 1 3 1 分離領域
- 1 5 1 主面
- 1 5 2 主面
- 2 1 1、2 1 2 開口
- 2 1 3 分離領域用溝
- 2 3 1 P型の半導体領域
- 2 3 2 N型の取り出し領域
- 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5 コンタクトホール
- 2 7 1、2 7 2、2 7 3、2 7 4、2 7 5 取り出し電極
- 2 8 0 電極

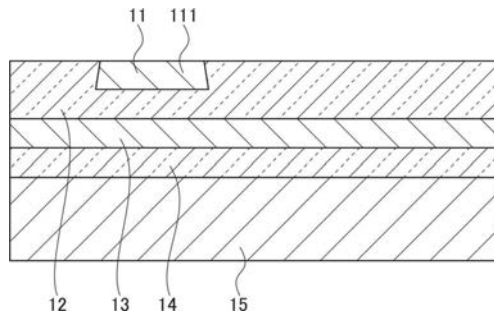
【図1】



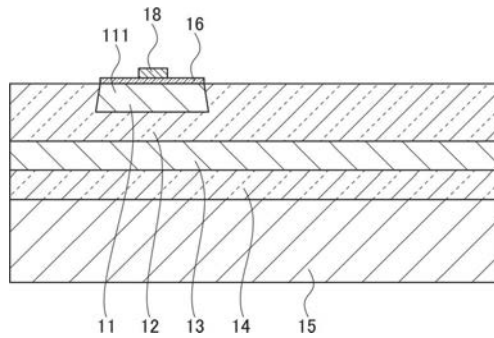
【図2】



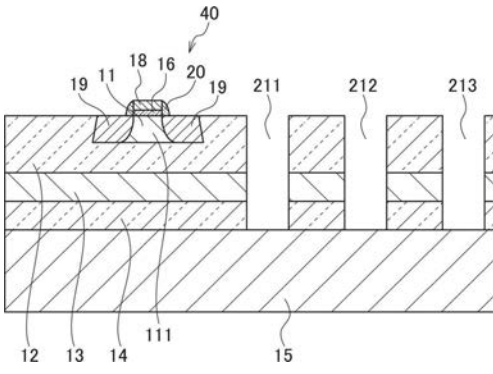
【図3】



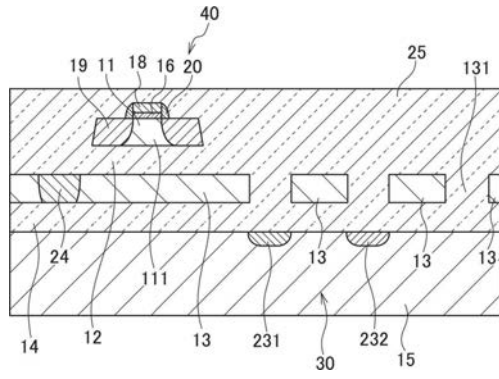
【図4】



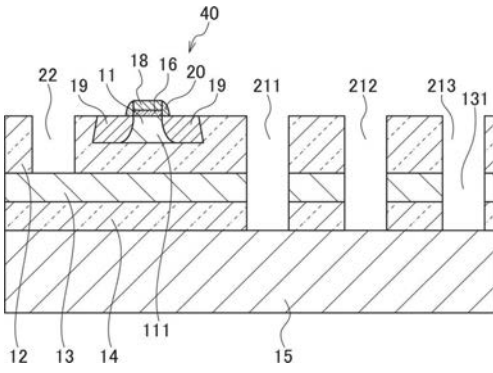
【 図 5 】



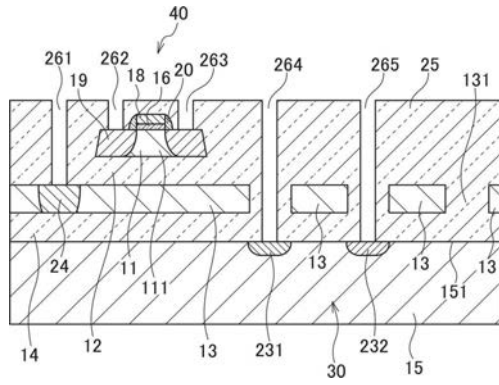
【 図 7 】



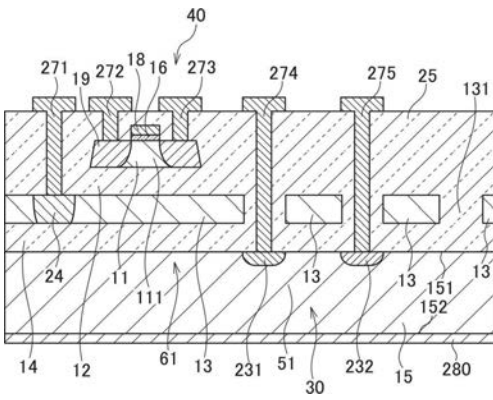
【 図 6 】



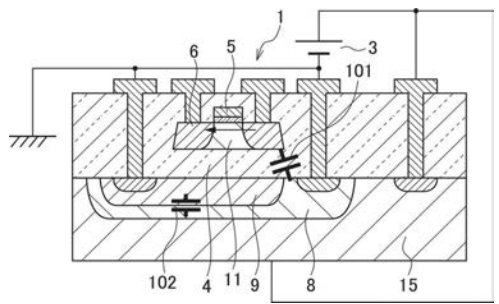
【 図 8 】



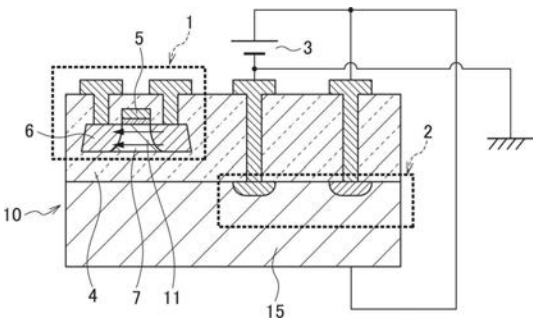
【 図 9 】



【 図 1 1 】



【 図 1 0 】



フロントページの続き

(72)発明者 葛西 大樹

宮城県黒川郡大衡村沖の平 1 番 ラピスセミコンダクタ宮城株式会社内

(72)発明者 沖原 将生

宮城県黒川郡大衡村沖の平 1 番 ラピスセミコンダクタ宮城株式会社内

(72)発明者 新井 康夫

茨城県つくば市大穂 1 番地 1 大学共同利用機関法人 高エネルギー加速器研究機構内

F ターム(参考) 4M118 AA08 AB01 AB10 BA06 BA14 CA03 EA01 EA14 FA28 FB13

5C024 AX11 GX03 GX16 HX01 HX40

5F849 AA02 BA15 EA13 EA16 LA07 XB45