

【特許請求の範囲】

【請求項 1】

一方の面側の予め定められた第 1 領域に、第 1 導電型の第 1 の第 1 導電型領域が形成されると共に、前記第 1 の第 1 導電型領域の一部分に前記第 1 の第 1 導電型領域より不純物濃度を高くした第 2 の第 1 導電型領域が形成され、かつ前記一方の面側の前記第 1 領域と隣接する第 2 領域の一部分に不純物濃度を高くした第 1 の第 2 導電型領域、及び第 3 の第 1 導電型領域が形成された第 2 導電型の半導体層と、

前記第 2 導電型の半導体層の前記一方の面側の前記第 1 領域及び前記第 2 領域に積層された酸化膜層と、

前記第 1 領域の前記酸化膜層上に積層された第 1 導電型の半導体層を含む MOS 型トランジスタと、

前記第 2 の第 1 導電型領域に接続された第 1 電極と、

前記第 1 の第 2 導電型領域に接続された第 2 電極と、

前記第 3 の第 1 導電型領域に接続された第 3 電極と、

を備えた半導体装置。

10

【請求項 2】

前記第 2 導電型の半導体層の前記一方の面に対向する面と、前記第 2 電極と、に電圧を印加する電圧印加手段を備え、前記第 1 電極及び前記第 3 電極が接地されている請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の第 1 導電型領域に、第 2 導電型の第 2 の第 2 導電型領域が前記酸化膜層と接するように形成されると共に、前記第 2 の第 2 導電型領域の一部分に前記第 2 の第 2 導電型領域より不純物濃度を高くした第 3 の第 2 導電型領域が前記酸化膜層と接するように形成されており、前記第 3 の第 2 導電型領域に接続された第 4 電極を備えた請求項 1 に記載の半導体装置。

20

【請求項 4】

前記第 2 導電型の半導体層の前記一方の面に対向する面と、前記第 2 電極と、に電圧を印加する電圧印加手段を備え、前記第 1 電極、前記第 3 電極、及び前記第 4 電極が接地されている請求項 3 に記載の半導体装置。

【請求項 5】

第 2 導電型の半導体層上に酸化膜層及び第 1 導電型の半導体層を順次積層する工程と、

前記第 1 導電型の半導体層に活性領域を形成する工程と、

前記第 1 導電型の半導体層上に、絶縁膜を形成する工程と、

前記活性領域の位置に基づいて、前記活性領域の下部を含む前記第 2 導電型の半導体層の第 1 領域に第 1 導電型の不純物を拡散させて第 1 の第 1 導電型領域を形成する工程と、

前記活性領域に MOS 型トランジスタを形成する工程と、

前記第 1 導電型半導体層の第 1 電極、第 2 電極、及び第 3 電極を形成する予め定められた領域の前記酸化膜を除去する工程と、

前記第 1 の第 1 導電型領域中の、前記酸化膜が除去された第 1 電極を形成する予め定められた領域に第 1 導電型の不純物を拡散させて、第 2 の第 1 導電型領域を形成すると共に、第 3 電極を形成する予め定められた領域に第 1 導電型の不純物を拡散させて、第 3 の第 1 導電型領域を形成する工程と、

40

前記酸化膜が除去された第 2 電極を形成する予め定められた領域に第 2 導電型の不純物を拡散させて、第 2 導電型領域を形成する工程と、

前記第 1 電極、前記第 2 電極、及び前記第 3 電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 6】

前記絶縁膜を形成する工程と、前記第 1 の第 1 導電型領域を形成する工程と、の間に、前記活性領域の位置に基づいて、前記活性領域の下部を含む前記第 2 導電型の半導体層の第 1 領域に第 2 導電型の不純物を拡散させて第 2 の第 2 導電型領域を形成する工程を備え

50

た請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関するものである。

【背景技術】

【0002】

一般に、SOI(Silicon On Insulator)基板上にダイオードとトランジスタを混在させた半導体装置がある。例えば、特開2002-124657号公報には、フォトダイオードと、フォトダイオードにシリコン基板内で光電変換され蓄積された信号電荷を増幅する増幅用トランジスタと、シリコン基板上に混在させたCMOSイメージセンサが記載されている。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

SOI基板上にダイオードとトランジスタを混在させた従来の半導体装置の一例を図2に示す。なお、図2に示した半導体装置は、X線等の検出に用いるセンサである。

【0004】

半導体装置100は、N型半導体層114と、埋め込み酸化膜116と、P型半導体層1220と、から成るSOI基板上に、MOS型トランジスタ182及びダイオード184とが形成されている。X線等の検出に用いるセンサにおいては、放射線入射時の検出感度を高くするため、基板に低濃度高抵抗基板を使用したり、基板裏面に数百Vのバイアスを印加する等の方法により、基板全体を空乏化したりする必要がある。

20

【0005】

しかしながら、半導体装置100では、N型半導体層114を空乏化するためにN型半導体層114の裏面に印加した電圧が、埋め込み酸化膜116を介して埋め込み酸化膜116上に形成したP型半導体層1220にも伝わってしまう。当該現象によって、P型半導体層1220に形成したMOS型トランジスタ182において、本来ポリシリコン膜で形成されたゲート電極130によって制御される電流経路とは別に、N型半導体層114から伝達したバイアス電圧によって埋め込み酸化膜116側のチャネル領域が電流経路として動作してしまうため、ゲート電極130による制御と無関係にリーク電流183が発生してしまうという問題があった。

30

【0006】

本発明は、上述した問題を解決するために提案されたものであり、同一の基板上にダイオードとトランジスタとを混在させた半導体装置において、トランジスタのゲート電極による制御と無関係に発生するリーク電流を抑制することができる半導体装置、及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の第1の態様に係る半導体装置は、一方の面側の予め定められた第1領域に、第1導電型の第1の第1導電型領域が形成されると共に、前記第1の第1導電型領域の一部に前記第1の第1導電型領域より不純物濃度を高くした第2の第1導電型領域が形成され、かつ前記一方の面側の前記第1領域と隣接する第2領域の一部分に不純物濃度を高くした第1の第2導電型領域、及び第3の第1導電型領域が形成された第2導電型の半導体層と、前記第2導電型の半導体層の前記一方の面側の前記第1領域及び前記第2領域に積層された酸化膜層と、前記第1領域の前記酸化膜層上に積層された第1導電型の半導体層を含むMOS型トランジスタと、前記第2の第1導電型領域に接続された第1電極と、前記第1の第2導電型領域に接続された第2電極と、前記第3の第1導電型領域に接続された第3電極と、を備える。

40

【0008】

50

本発明の第2の態様に係る半導体装置は、第1の態様に係る半導体装置において、前記第2導電型の半導体層の前記一方の面に対向する面と、前記第2電極と、に電圧を印加する電圧印加手段を備え、前記第1電極及び前記第3電極が接地されている。

【0009】

本発明の第2の態様に係る半導体装置は、第1の態様に係る半導体装置において、前記第1の第1導電型領域に、第2導電型の第2の第2導電型領域が前記酸化膜層と接するように形成されると共に、前記第2の第2導電型領域の一部分に前記第2の第2導電型領域より不純物濃度を高くした第3の第2導電型領域が前記酸化膜層と接するように形成されており、前記第3の第2導電型領域に接続された第4電極を備える。

【0010】

本発明の第4の態様に係る半導体装置は、第3の態様に係る半導体装置において、前記第2導電型の半導体層の前記一方の面に対向する面と、前記第2電極と、に電圧を印加する電圧印加手段を備え、前記第1電極、前記第3電極、及び前記第4電極が接地されている。

【0011】

本発明の第5の態様に係る半導体装置の製造方法は、第2導電型の半導体層上に酸化膜層及び第1導電型の半導体層を順次積層する工程と、前記第1導電型の半導体層に活性領域を形成する工程と、前記第1導電型の半導体層上に、絶縁膜を形成する工程と、前記活性領域の位置に基づいて、前記活性領域の下部を含む前記第2導電型の半導体層の第1領域に第1導電型の不純物を拡散させて第1の第1導電型領域を形成する工程と、前記活性領域にMOS型トランジスタを形成する工程と、前記第1導電型半導体層の第1電極、第2電極、及び第3電極を形成する予め定められた領域の前記酸化膜を除去する工程と、前記第1の第1導電型領域中の、前記酸化膜が除去された第1電極を形成する予め定められた領域に第1導電型の不純物を拡散させて、第2の第1導電型領域を形成すると共に、第3電極を形成する予め定められた領域に第1導電型の不純物を拡散させて、第3の第1導電型領域を形成する工程と、前記酸化膜が除去された第2電極を形成する予め定められた領域に第2導電型の不純物を拡散させて、第2導電型領域を形成する工程と、前記第1電極、前記第2電極、及び前記第3電極を形成する工程と、を備える。

【0012】

本発明の第6の態様に係る半導体装置の製造方法は、第5の態様に係る半導体装置の製造方法において、前記絶縁膜を形成する工程と、前記第1の第1導電型領域を形成する工程と、の間に、前記活性領域の位置に基づいて、前記活性領域の下部を含む前記第2導電型の半導体層の第1領域に第2導電型の不純物を拡散させて第2の第2導電型領域を形成する工程を備える。

【発明の効果】

【0013】

本発明によれば、同一の基板上にダイオードとトランジスタとを混在させた半導体装置において、トランジスタのゲート電極による制御と無関係に発生するリーク電流を抑制することができる、という効果を奏する。

【図面の簡単な説明】

【0014】

【図1】第1の実施の形態に係る半導体装置の概略構成の一例を示す断面図である。

【図2】第1の実施の形態に係る半導体装置の製造方法の一例を説明するための工程図である。

【図3】第1の実施の形態に係る半導体装置の製造方法の一例の図2で示した工程の次の工程を説明するための工程図である。

【図4】第1の実施の形態に係る半導体装置の製造方法の一例の図3で示した工程の次の工程を説明するための工程図である。

【図5】第1の実施の形態に係る半導体装置の製造方法の一例の図4で示した工程の次の工程を説明するための工程図である。

10

20

30

40

50

【図 6】第 1 の実施の形態に係る半導体装置の製造方法の一例の図 5 で示した工程の次の工程を説明するための工程図である。

【図 7】第 1 の実施の形態に係る半導体装置の製造方法の一例の図 6 で示した工程の次の工程を説明するための工程図である。

【図 8】第 1 の実施の形態に係る半導体装置の製造方法の一例の図 7 で示した工程の次の工程を説明するための工程図である。

【図 9】第 1 の実施の形態に係る半導体装置の概略構成の一例を示す断面図である。

【図 10】第 2 の実施の形態に係る半導体装置の概略構成の一例を示す断面図である。

【図 11】第 1 の実施の形態に係る半導体装置に長時間 X 線を照射した場合を説明するための説明図である。

【図 12】第 2 の実施の形態に係る半導体装置に長時間 X 線を照射した場合を説明するための説明図である。

【図 13】第 2 の実施の形態に係る半導体装置の製造方法の一例を説明するための工程図である。

【図 14】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 13 で示した工程の次の工程を説明するための工程図である。

【図 15】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 14 で示した工程の次の工程を説明するための工程図である。

【図 16】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 15 で示した工程の次の工程を説明するための工程図である。

【図 17】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 16 で示した工程の次の工程を説明するための工程図である。

【図 18】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 17 で示した工程の次の工程を説明するための工程図である。

【図 19】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 18 で示した工程の次の工程を説明するための工程図である。

【図 20】第 2 の実施の形態に係る半導体装置の製造方法の一例の図 19 で示した工程の次の工程を説明するための工程図である。

【図 21】第 2 の実施の形態に係る半導体装置の概略構成の一例を示す断面図である。

【図 22】従来の半導体装置の概略構成の一例を示す断面図である。

【発明を実施するための形態】

【0015】

[第 1 の実施の形態]

以下、図面を参照して本発明の第 1 の実施の形態の半導体装置について詳細に説明する。なお、以下、電界効果トランジスタを MOS 型トランジスタと称する。

【0016】

まず、本実施の形態の半導体装置の構成について説明する。本実施の形態の半導体装置の概略構成の一例の断面図を図 1 に示す。本実施の形態の半導体装置 10 は、N 型半導体層 14、埋め込み酸化膜 16、及び P 型半導体層 22 (220、222、224) が積層された SOI 基板上に、N チャネル MOS 型トランジスタ 82 と、ダイオード 84 とが形成されている。なお、説明の便宜上、SOI 基板上の MOS 型トランジスタ 82 が形成される領域を第 1 領域と称し、一方ダイオード 84 が形成される領域を第 2 領域と称する。

【0017】

N 型半導体層 14 の表面 (埋め込み酸化膜 16 に接している側の面) の第 1 領域には、P 型ウェル拡散層 28 が形成されており、P 型ウェル拡散層 28 の表面には、P 型ウェル拡散層 28 よりも不純物濃度が高い P 型取り出し電極領域 40 が形成されている。また、N 型半導体層 14 の表面の第 2 領域には、ダイオード 84 の一部である、P 型取り出し電極領域 42、及び N 型半導体層 14 よりも不純物濃度が高い N 型取り出し電極領域 50、52 が形成されている。

【0018】

10

20

30

40

50

N型半導体層14に積層された埋め込み酸化膜16上には、P型半導体層220、222、224が積層されている。また、埋め込み酸化膜16上の第1領域にはMOS型トランジスタ82が形成されている。

【0019】

MOS型トランジスタ82は、P型半導体層220、ソース、ドレインとチャンネルの間に設けた低濃度不純物領域のLDD(Lightly Doped Drain)領域32、ゲート酸化膜24、ゲート電極30、及びMOS型トランジスタ82のソース及びドレインを形成する取り出し電極71、72を備えて構成されている。

【0020】

さらに、埋め込み酸化膜16上には、酸化膜17、及び層間膜18が積層されている。

10

【0021】

また、P型ウェル電極である取り出し電極70はP型取り出し電極領域40に接続されており、アノード電極76はP型取り出し電極領域42に接続されており、カソード電極74、78は各々N型取り出し電極領域50、52に接続されている。

【0022】

電源電圧80は、ダイオード84のカソード電極74、78、及びN型半導体層14の裏面(埋め込み酸化膜16に接していない側の面)にN型半導体層14を空乏化するためのバイアス電圧を印加する。本実施の形態では、具体的一例として、数百Vのバイアス電圧を印加する。また、半導体装置10上に形成された電極70、及びダイオード84のアノード電極76は、グランドに接地されている。

20

【0023】

このように本実施の形態の半導体装置10では、高抵抗N型基板で形成されたN型半導体層14中に、P型ウェル拡散層28を形成し、グランド電位に固定することにより、N型半導体層14を空乏化するためにN型半導体層14の裏面に高電圧を電源電圧80により印加した場合に、P型ウェル拡散層28と、N型半導体層14と、のPN接合面に空乏層が広がる。当該空乏層のうち、P型ウェル拡散層28側に広がる空乏層が、埋め込み酸化膜16との界面まで到達しないため、P型ウェル拡散層28の表面付近の電位はグランド電位に保たれる。従って、P型半導体層220の埋め込み酸化膜16側の界面に、N型半導体層14の裏面に電源電圧80から印加した電圧は伝達されない。

【0024】

30

以上説明したように、本実施の形態の半導体装置10によれば、N型半導体層14の裏面及びカソード電極74、78に電源電圧80から電圧を印加した場合、P型半導体層220に形成したMOS型トランジスタ82の埋め込み酸化膜16側のチャネル領域が動作しないため、ゲート電極30による制御に無関係なリーク電流83の発生を抑制することができる。

【0025】

次に、本実施の形態の半導体装置10の製造方法について説明する。

【0026】

まず、図2に示すように、埋め込み酸化膜16を挟んで、上側にP型半導体層22、下側にN型半導体層14が積層されたSOI基板を用意する。本実施の形態では、具体的一例として、N型半導体層14は、厚さ700 μm 程度の比抵抗 $10\text{ k}\cdot\text{cm}$ のN型基板を用いており、埋め込み酸化膜16は、厚さ2000程度の SiO_2 酸化膜を用いており、P型半導体層22は、厚さ880程度の比抵抗 $10\cdot\text{cm}$ のP型基板を用いている。

40

【0027】

P型半導体層22の上表面に、パッド酸化膜(SiO_2)を形成し、パッド酸化膜上に窒化膜(Si_3N_4)をCVD等により形成する(図示省略)。さらに、フィールド酸化膜を形成すべき領域にフォトレジストを塗布し、エッチングにより、窒化膜を除去した後、LOCOS(Local Oxidization of Silicon)形成法により窒化膜をマスクとして、フィールド酸化膜17の形成後、窒化膜及びパッド酸化膜

50

を除去する。これにより、図3に示すように、アクティブ領域であるP型半導体層220、222、224が形成される。

【0028】

さらに図4に示すように、P型半導体層220、222、224、及びフィールド酸化膜17の表面(図3に示した上側全面)にゲート酸化膜24をCVD等により形成し、第1領域のP型ウェル拡散層28を形成する領域以外の領域を、MOS型トランジスタ82のアクティブ領域であるP型半導体層220に位置合わせを行ったフォトレジスト26にて覆う。さらに、具体的一例として、注入エネルギー100keV、ドーズ量 $1.0E12 \sim 1.0E13 \text{ cm}^{-2}$ 程度で B^+ (B^+27)をP型の不純物として注入する。これにより、N型半導体層14にP型ウェル拡散層28を形成するための不純物が注入された状態になる。

10

【0029】

さらに、フォトレジスト26を除去した後に、ポリシリコン膜を堆積し、フォトレジストでパターニングを行ったポリシリコン膜にドライエッチングを行い(図示省略)、図5に示すようにゲート電極30をP型半導体層220のゲート酸化膜24上に形成する。

【0030】

さらに、図6に示すように、P型半導体層220にソース・ドレインの不純物イオンを浅く低濃度でイオン注入を行いLDD領域32を形成する。さらに、ゲートパターンを覆うように Si_3N_4 膜等を形成した後、ドライエッチングを行いゲート電極30の側壁部にサイドウォールスペーサ34を形成する。この後、再度ドレインのイオンを高濃度に注入して、MOS型トランジスタ82を形成する。MOS型トランジスタ82の形成後に、N型半導体層14上に形成するべき、予め定められたN型及びP型それぞれの取り出し電極(電極70、74、76、78)領域以外の領域をフォトレジストにて覆い、当該フォトレジストをマスクとして酸化膜17及び埋め込み酸化膜16をエッチングした後、当該フォトレジストを除去する。

20

【0031】

さらに、ダイオード84のカソード電極を兼ねたN型の取り出し電極領域50、52を形成する領域に、具体的一例として、注入エネルギー60keV、ドーズ量 $5.0E15 \text{ cm}^{-2}$ 程度で P^+ を不純物として注入する。これにより、図7に示すように、N型取り出し電極領域50、52が形成される。また、ダイオード84のアノード電極を兼ねたP型取り出し電極領域42、及びP型取り出し電極領域40を形成する領域に、具体的一例として、注入エネルギー40keV、ドーズ量 $5.0E15 \text{ cm}^{-2}$ 程度で B^+ を不純物として注入する。これにより、図7に示すように、P型取り出し電極領域42、及びP型取り出し電極領域40が形成される。また、P型取り出し電極領域40は、不純物濃度がP型ウェル拡散層28よりも高い状態になる。P型取り出し電極領域40、42、及びN型取り出し電極領域50、52の形成後、図7に示すように、CVD膜を堆積させて層間膜18を形成する。

30

【0032】

さらに、予め定められている、MOS型トランジスタ82の電極(P型半導体層220の取り出し電極)を形成する領域、及びN型半導体層14の取り出し電極を形成する領域以外の領域をフォトレジストによりマスクングし、エッチングすることにより、図8に示すように、コンタクトホール60、61、62、64、66、68を形成する。さらに、コンタクトホール60、61、62、64、66、68にスパッタによりメタル層を堆積させる。

40

【0033】

最後に、スパッタによって形成したメタル層の電極形成領域外の部分をエッチングすることにより、図9に示すように、取り出し電極70、71、72、74、76、78を形成する。このように、上述したこれらの工程により、本実施の形態の半導体装置10が製造される。

【0034】

50

このように、本実施の形態の半導体装置 10 の製造方法では、P 型半導体層 22 にアクティブ領域である P 型半導体層 220、222、224 を形成した後に、P 型ウェル拡散層 28 を形成するため、P 型ウェル拡散層 28 を形成するための不純物の注入前のホトリソ工程で、アクティブ領域 (P 型半導体層 220) を用いてホトリソの位置あわせを行うことができる。また、P 型ウェル拡散層 28 形成のための不純物を注入した後に、P 型半導体層 220 に MOS 型トランジスタ 82 を形成しているため、P 型ウェル拡散層 28 に十分な熱処理を加えることができる。

【0035】

以上説明したように、本実施の形態の半導体装置 10 の製造方法によれば、P 型半導体層 22 に形成したアクティブ領域 (P 型半導体層 220) へ最小限のホトリソ合わせズレ量で P 型ウェル拡散層 28 を形成し、更に、P 型ウェル拡散層 28 の形成のために不純物を N 型半導体層 14 に注入した後に、不純物を注入した領域に多くの熱処理が加えられるため、P 型ウェル拡散層 28 をさらに N 型半導体層 14 内部の深い位置まで形成することができる。

10

【0036】

[第2の実施の形態]

以下、図面を参照して本発明の第2の実施の形態の半導体装置について詳細に説明する。

【0037】

まず、本実施の形態の半導体装置の構成について説明する。図10に、本実施の形態の半導体装置 11 の概略構成の一例の断面図を示す。なお、本実施の形態の半導体装置 11 は、第1の実施の形態の半導体装置 10 と略同一の構成であるため、同一部分には同一符号を付し、詳細な説明を省略する。

20

【0038】

本実施の形態の半導体装置 11 に備えられた N 型半導体層 15 は、P 型ウェル拡散層 28 の中に、埋め込み酸化膜 16 と接するように N 型ウェル拡散層 90 が形成されており、さらに、N 型ウェル拡散層 90 の表面には、N 型ウェル拡散層 90 よりも不純物濃度が高い N 型取り出し電極領域 92 が形成されている。また、N 型ウェル電極である電極 94 が N 型取り出し電極領域 92 に接続されている。また、電極 94 は、P 型ウェル電極である電極 70 及びダイオード 84 のアノード電極である電極 76 と共に、グラウンドに接地されている。

30

【0039】

一般的に、X 線センサとして用いる場合、半導体装置 10 は、X 線の照射により、絶縁膜 (埋め込み酸化膜 16、酸化膜 17、層間膜 18) が正 (プラス) に帯電することが知られており、さらに X 線の照射を続けることにより、蓄積される電荷量が増加していく。例えば、第1の実施の形態の半導体装置 10 では、X 線の照射によって蓄積された正の電荷のうち、特に埋め込み酸化膜 16 と、N 型半導体層 14 の界面付近に蓄積された電荷の影響で P 型ウェル拡散層 28 の表面 (埋め込み酸化膜 16 に接している側の面) が空乏化してしまう場合がある。このような場合、グラウンド電位に保たれていた P 型ウェル拡散層 28 の表面付近の電位が、N 型半導体層 14 の裏面に電源電圧 80 によりバイアス電圧を印加した際に、P 型ウェル拡散層 28 側から拡がる空乏層と、P 型ウェル拡散層 28 と N 型半導体層 14 との PN 接合面側から拡がる空乏層と、が繋がった時点で保たれなくなってしまう。空乏層同士が繋がった場合、埋め込み酸化膜 16 を介して N 型半導体層 14 の裏面に印加されたバイアス電圧が MOS 型トランジスタ 82 に伝達し、ゲート電極 30 による制御に無関係にリーク電流 83 が発生してしまう。さらに、X 線を長時間照射することにより蓄積される電荷の蓄積量が増加するため、P 型ウェル拡散層 28 表面からの空乏層の拡がり量も増加してしまう。第1の実施の形態の半導体装置 10 に長時間 X 線を照射させた場合の、電荷蓄積量とバイアス電圧との関係を図11に示す。また、第2の実施の形態の半導体装置 11 に長時間 X 線を照射させた場合の、電荷蓄積量とバイアス電圧との関係を図12に示す。図11、12に示すように、半導体装置 10 では、電荷蓄積量の増

40

50

加と共にリーク電流 83 が発生し、基板バイアスが低下する。一方、半導体装置 11 では、電荷蓄積量が増加しても基板バイアスが低下しない。

【0040】

このように本実施の形態の半導体装置 11 では、高抵抗 N 型基板で形成された N 型半導体層 15 中に、N 型ウェル拡散層 90 を形成することにより、X 線の照射によって埋め込み酸化膜 16 と N 型半導体層 15 の界面付近に電荷が蓄積された場合でも、N 型ウェル拡散層 90 の表面には多数キャリアである電子が蓄積されるため、空乏層が拡がらない。また、本実施の形態の半導体装置 11 では、N 型ウェル拡散層 90 は P 型ウェル拡散層 29 中に形成されている。すなわち N 型ウェル拡散層 90 を覆うように P 型ウェル拡散層 29 が形成されており、N 型ウェル拡散層 90 及び P 型ウェル拡散層 29 をグラウンド電位に固定するため、N 型ウェル拡散層 90 と P 型ウェル拡散層 29 との間にも空乏層が拡がらない。これにより、N 型半導体層 15 を空乏化するために N 型半導体層 15 の裏面に高電圧のバイアス電圧を印加した場合に、P 型ウェル拡散層 29 と N 型半導体層 15 との間の P-N 接合面に拡がった空乏層のうち、P 型ウェル拡散層 29 に拡がる空乏層が、N 型半導体層 15 との接合面まで到達しないため、X 線照射による電荷蓄積量とは無関係に P 型ウェル拡散層 29 の表面付近の電位がグラウンド電位に保たれる。従って、P 型半導体層 220 の埋め込み酸化膜 16 側の界面に N 型半導体層 15 の裏面に電源電圧から印加した電圧は伝達されない。

10

【0041】

以上説明したように、本実施の形態の半導体装置 11 によれば、X 線の照射によって埋め込み酸化膜 16 と N 型半導体層 15 との界面付近に電荷が蓄積された場合であっても、P 型半導体層 220 に形成した MOS 型トランジスタ 82 の埋め込み酸化膜 16 側のチャネル領域が動作しないため、ゲート電極 30 による制御に無関係なリーク電流 83 の発生を抑制することができる。

20

【0042】

次に、本実施の形態の半導体装置 11 の製造方法について説明する。なお、本実施の形態の半導体装置 11 の製造方法は、第 1 の実施の形態の半導体装置 10 の製造方法と略同一の工程であるため、同一工程については詳細な説明を省略する。なお、本実施の形態の図 13 は第 1 の実施の形態の図 2 に対応し、図 14 は図 3 に対応し、図 16 は図 4 に対応し、図 17 は図 5 に対応し、図 18 は図 6 に対応し、図 19 は図 7 に対応し、図 20 は図 8 に対応する。

30

【0043】

まず、図 13 に示すように、埋め込み酸化膜 16 を挟んで、上側に P 型半導体層 22、下側に N 型半導体層 14 が積層された SOI 基板を用意する。

【0044】

さらに LOCOS 形成法によりフィールド酸化膜 17 の形成し、図 14 に示すように、アクティブ領域である P 型半導体層 220、221、222、224 が形成される。

【0045】

さらに図 15 に示すように、P 型半導体層 220、221、222、224、及びフィールド酸化膜 17 の表面にゲート酸化膜 24 を形成し、第 1 領域の N 型ウェル拡散層 90 を形成する領域以外の領域を、MOS 型トランジスタ 82 のアクティブ領域である P 型半導体層 220 に位置合わせを行ったフォトレジスト 25 にて覆う。さらに、具体的一例として、注入エネルギー 160 keV、ドーズ量 $1.0E12 \sim 1.0E13 \text{ cm}^{-2}$ 程度で P^+ (P^+89) を N 型の不純物としてチルト角 7 度で注入する。これにより、N 型半導体層 14 に N 型ウェル拡散層 90 を形成するための不純物が注入された状態になる。

40

【0046】

さらに、図 16 に示すように、フォトレジスト 25 を除去した後に、N 型の不純物を注入した領域も含めた、P 型ウェル拡散層 29 を形成する領域以外の領域をフォトレジスト 26 にて覆う。P 型ウェル拡散層 29 を形成するための P 型不純物の注入は、N 型ウェル拡散層 90 を形成するために N 型不純物を注入したよりも深く、N 型ウェル拡散層 90 と

50

P型ウェル拡散層29との間にジャンクションが形成されるように、注入する。本実施の形態では具体的一例として、注入エネルギー220keV、ドーズ量 $1.0E12 \sim 1.0E13 \text{ cm}^{-2}$ 程度で B^+ (B^+27)をP型の不純物としてチルト角0度で注入する。これにより、N型半導体層14にP型ウェル拡散層29を形成するための不純物が注入された状態になる。

【0047】

さらに、図17に示すように、ゲート電極30を形成した後、図18に示すように、P型半導体層220に浅く低濃度でイオン注入を行いLDD領域32を形成し、さらにサイドウォールスペーサ34を形成し、高濃度のイオンを注入してMOS型トランジスタ82を形成する。MOS型トランジスタ82の形成後に、予め定められたN型及びP型それぞれの取り出し電極(電極70、74、76、78、94)領域以外の領域をフォトレジストにて覆ってエッチングした後、当該フォトレジストを除去する。

10

【0048】

さらに、ダイオード84のカソード電極を兼ねたN型の取り出し電極領域50、52、及びN型取り出し電極領域92を形成する領域に、N型の不純物を注入する。これにより、図19に示すように、N型取り出し電極領域50、52、92が形成される。また、N型取り出し電極領域92は、不純物濃度がN型ウェル拡散層90よりも高い状態になる。

【0049】

また、ダイオード84のアノード電極を兼ねたP型取り出し電極領域42、及びP型取り出し電極領域41を形成する領域に、P型の不純物を注入する。これにより、図19に示すように、P型取り出し電極領域42、及びP型取り出し電極領域41が形成される。また、P型取り出し電極領域41は、不純物濃度がP型ウェル拡散層29よりも高い状態になる。P型取り出し電極領域40、41、及びN型取り出し電極領域50、52、92の形成後、図19に示すように層間膜18を形成する。

20

【0050】

さらに、予め定められている、MOS型トランジスタ82の電極(P型半導体層220の取り出し電極)を形成する領域、及びN型半導体層15の取り出し電極を形成する領域以外の領域をエッチングすることにより、図20に示すように、コンタクトホール60、61、62、64、66、68、69を形成し、スパッタによりメタル層を堆積させる。

【0051】

最後に、スパッタによって形成したメタル層の電極形成領域外の部分をエッチングすることにより、図21に示すように、取り出し電極70、71、72、74、76、78、94を形成する。このように、上述したこれらの工程により、本実施の形態の半導体装置11が製造される。

30

【0052】

このように本実施の形態の半導体装置11の製造方法では、P型半導体層22にアクティブ領域であるP型半導体層220、221、222、224を形成した後に、N型ウェル拡散層90及びP型ウェル拡散層29を形成するため、各々のウェル拡散層を形成するための不純物の注入前のホトリソ工程で、アクティブ領域(P型半導体層220)を用いてホトリソの位置あわせを行うことができる。また、各々のウェル拡散層形成のための不純物を注入した後に、P型半導体層220にMOS型トランジスタ82を形成しているため、N型ウェル拡散層90及びP型ウェル拡散層29に十分な熱処理を加えることができる。

40

【0053】

以上説明したように、本実施の形態の半導体装置11の製造方法によれば、P型半導体層22に形成したアクティブ領域(P型半導体層220)へ最小限のホトリソ合わせズレ量でN型ウェル拡散層90及びP型ウェル拡散層29を形成し、更に、各々のウェル拡散層の形成のために不純物をN型半導体層15に注入した後に、不純物を注入した領域に多くの熱処理が加えられるため、N型ウェル拡散層90及びP型ウェル拡散層29をさらにN型半導体層15内部の深い位置まで形成することができる。

50

【 0 0 5 4 】

なお、上記第 1 の実施の形態では、第 1 導電型を P 型、第 2 導電型を N 型とし、P 型ウェル拡散層 2 8 を備えた N 型半導体層 1 4 上に埋め込み酸化膜 1 6 を介して P 型半導体層 2 2 が形成され、P 型半導体層 2 2 を含む MOS 型トランジスタ 8 2 を備えた半導体装置 1 0 について詳細に説明したがこれに限らず、第 1 導電型を N 型、第 2 導電型を P 型として、N 型ウェル拡散層を備えた P 型半導体層上に埋め込み酸化膜を介して N 型半導体層が形成され、N 型半導体層を含む MOS 型トランジスタを備えた半導体装置であってもよい。また、第 2 の実施の形態についても同様に、第 1 導電型を P 型、第 2 導電型を N 型とし、埋め込み酸化膜 1 6 が正に帯電する場合について説明しているがこれに限らず、第 1 導電型を N 型、第 2 導電型を P 型とし、埋め込み酸化膜 1 6 が負に帯電する場合に、P 型ウェル拡散層が形成された N 型ウェル拡散層を備えた P 型半導体層上に埋め込み酸化膜を介して N 型半導体層が形成され、N 型半導体層を含む MOS 型トランジスタを備えた半導体装置であってもよい。

10

【 0 0 5 5 】

特願 2 0 1 0 - 0 5 2 1 7 3 の開示はその全体が参照により本明細書に取り込まれる。

本明細書に記載された全ての文献、特許出願、および技術規格は、個々の文献、特許出願、および技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

【 符号の説明 】

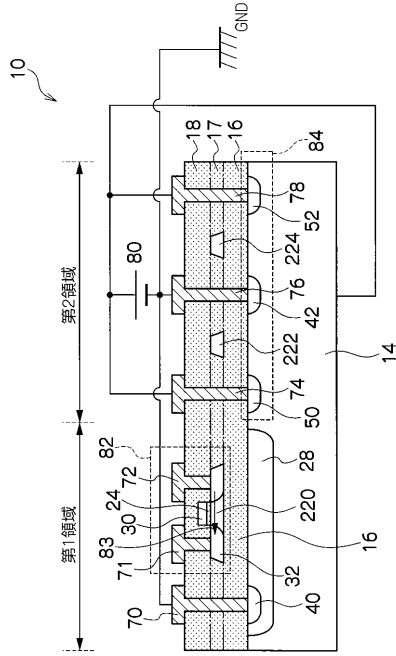
【 0 0 5 6 】

20

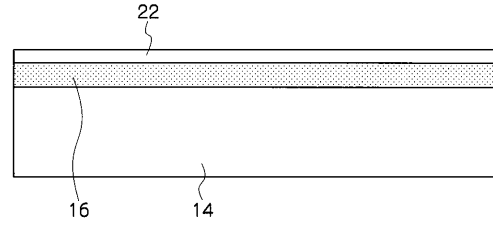
- 1 0、1 1 半導体装置
- 1 4、1 5 N 型半導体層
- 1 6 埋め込み酸化膜
- 2 2、2 2 0、2 2 1、2 2 2、2 2 4 P 型半導体層
- 2 8、2 9 P 型ウェル拡散層
- 3 0 ゲート電極
- 4 0、4 1、4 2 P 型取り出し電極領域
- 5 0、5 2、9 2 N 型取り出し電極領域
- 7 0、7 1、7 2、7 4、7 6、7 8、9 4 電極
- 8 0 電源電圧
- 8 2 MOS 型トランジスタ
- 8 4 ダイオード
- 9 0 N 型ウェル拡散層

30

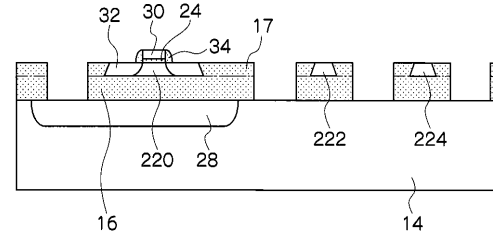
【図1】



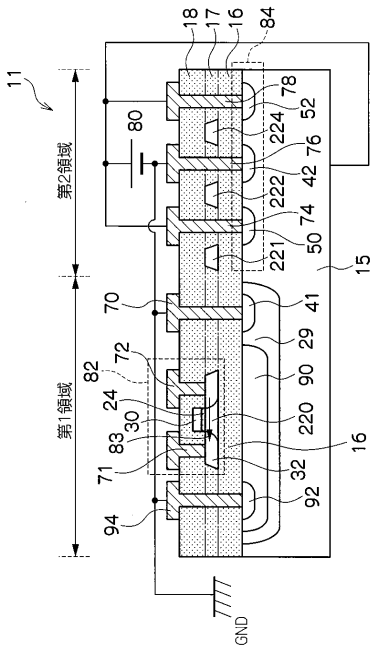
【図2】



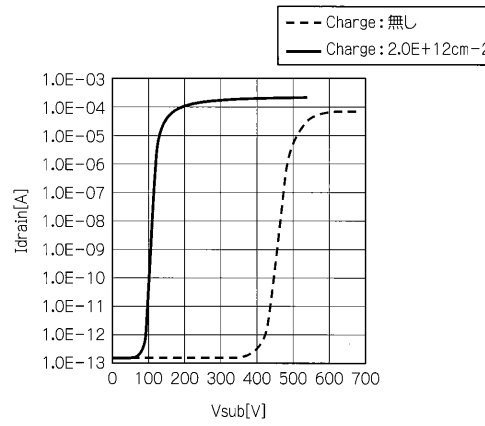
【図6】



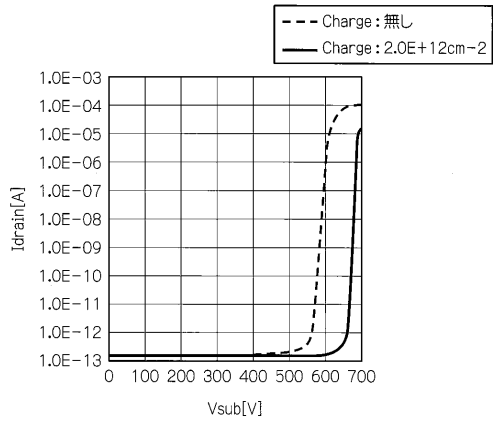
【図10】



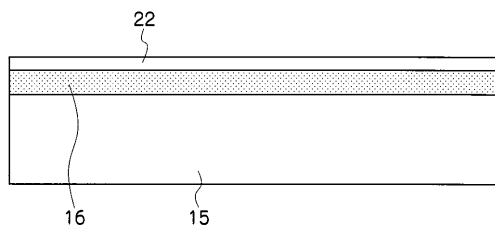
【図11】



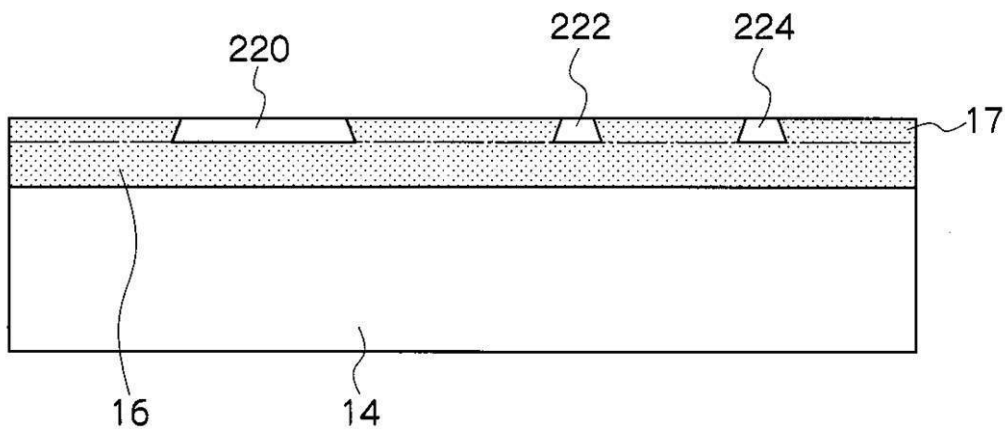
【 図 1 2 】



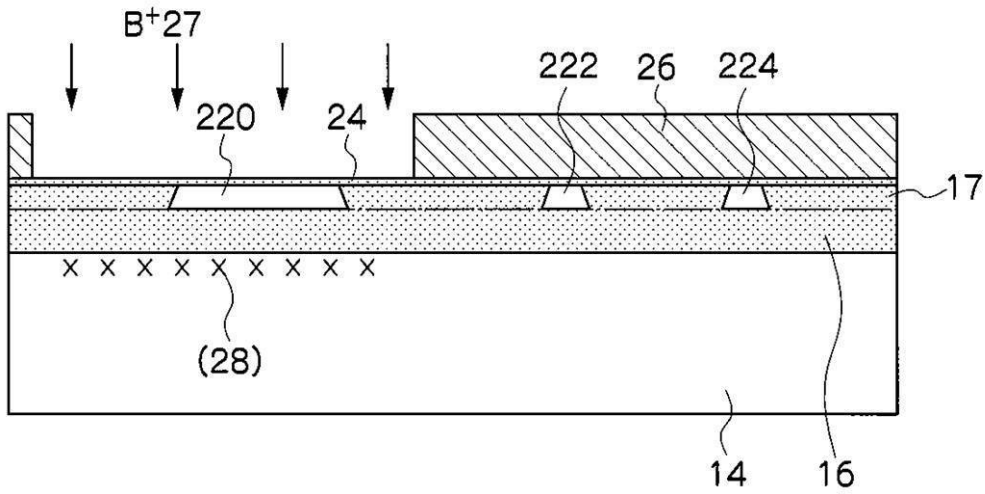
【 図 1 3 】



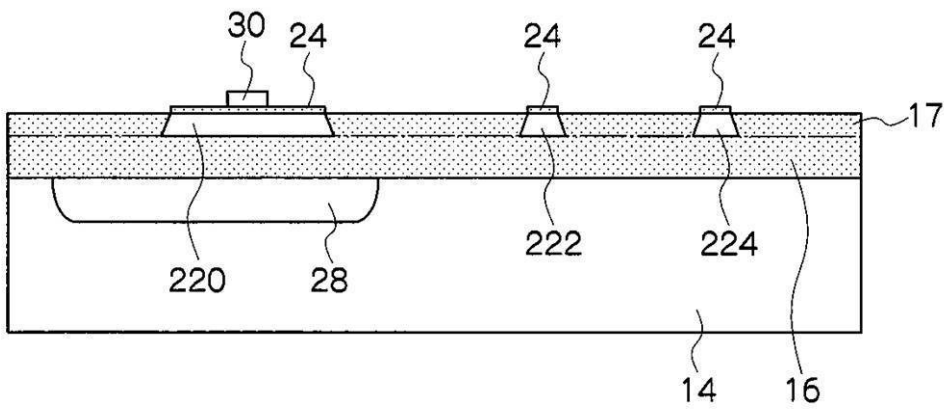
【 図 3 】



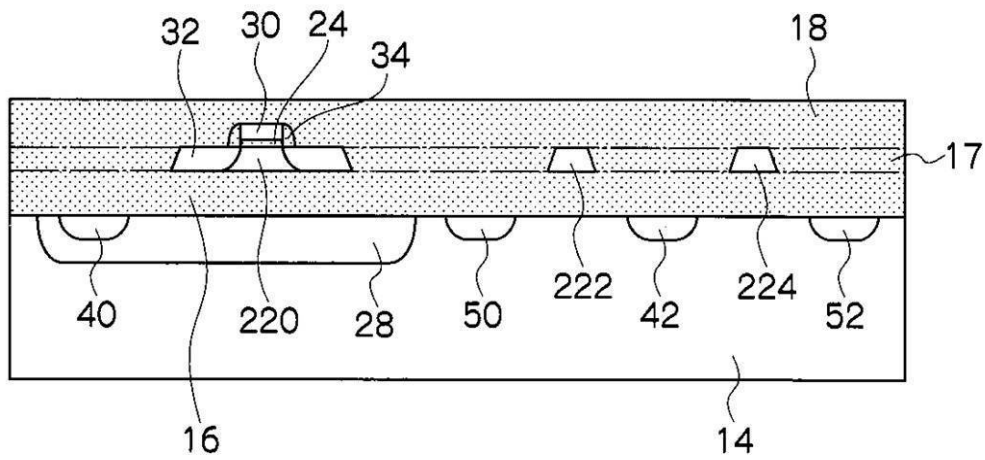
【 図 4 】



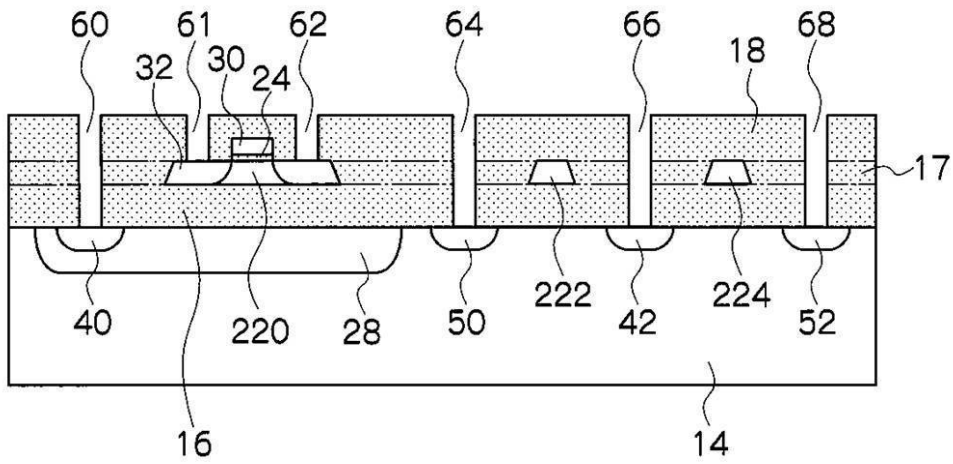
【 図 5 】



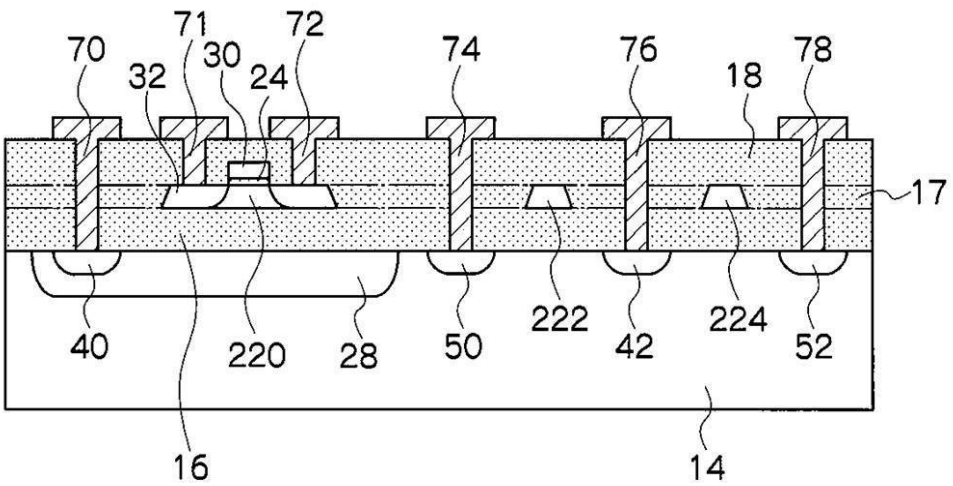
【 図 7 】



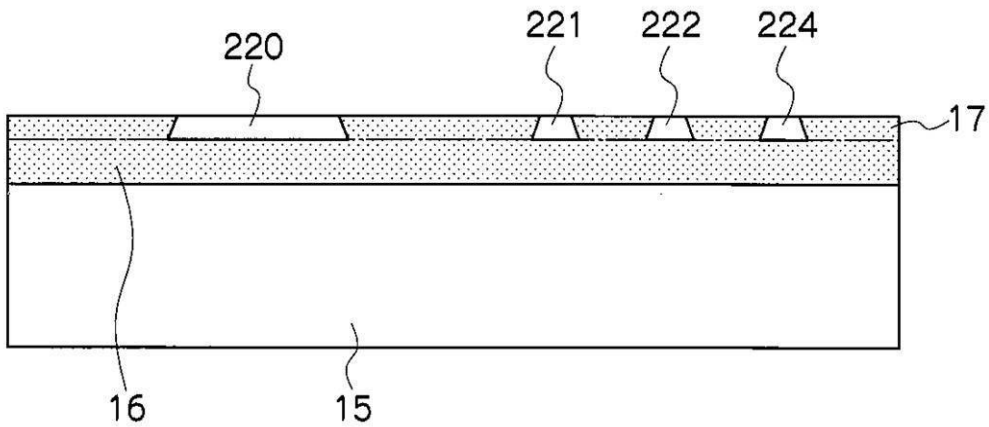
【 図 8 】



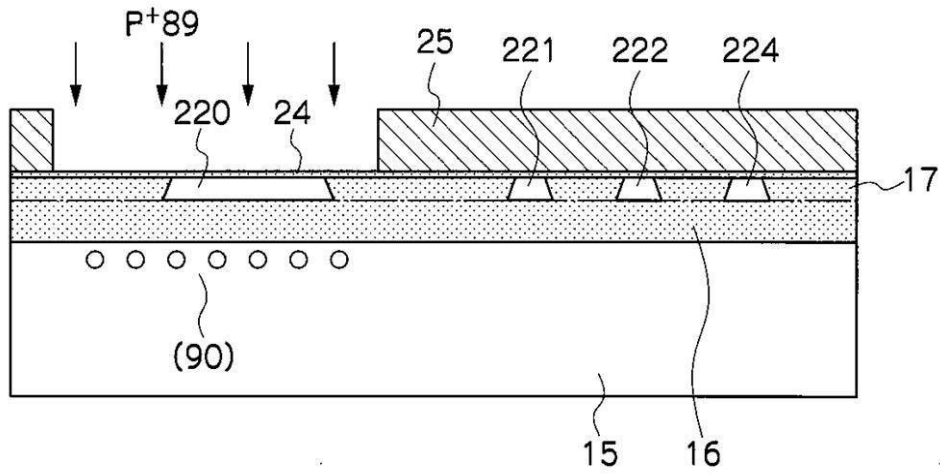
【 図 9 】



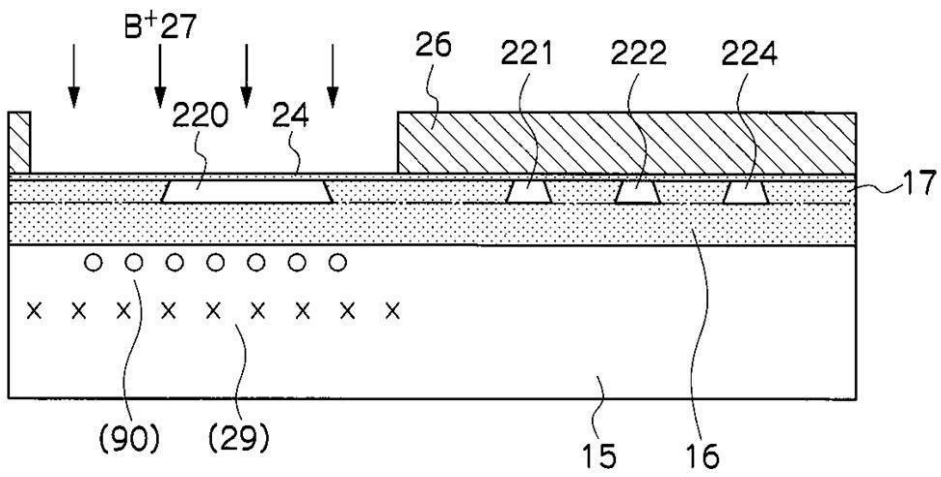
【 図 1 4 】



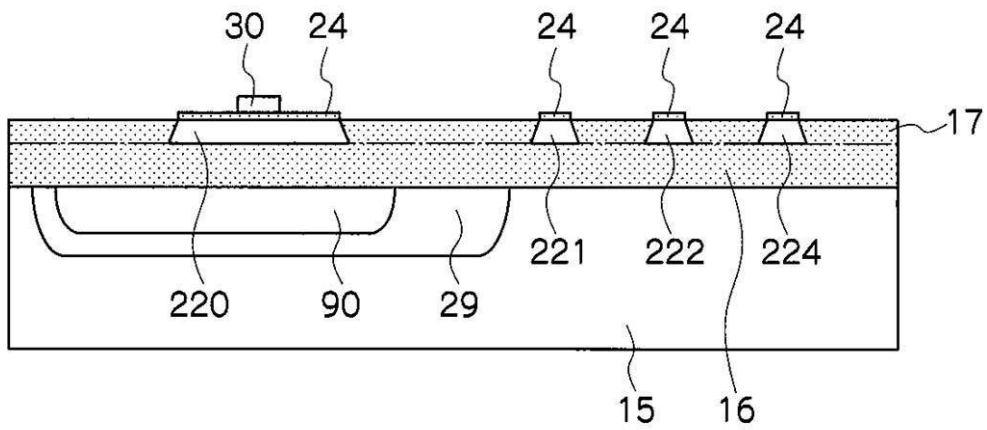
【図15】



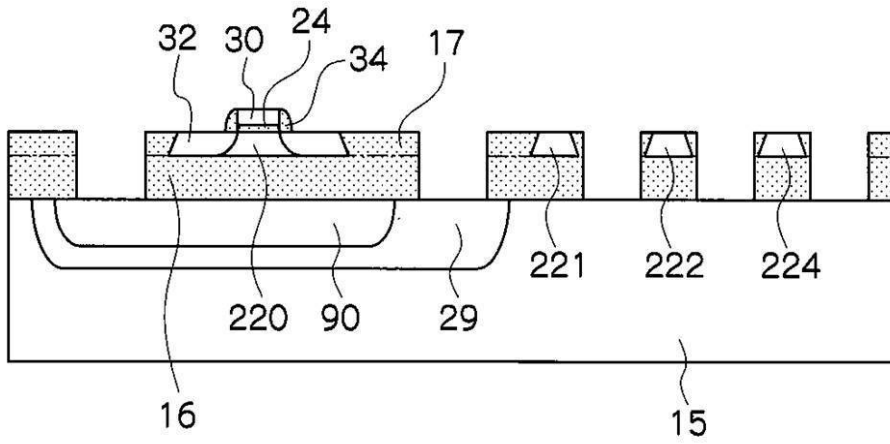
【図16】



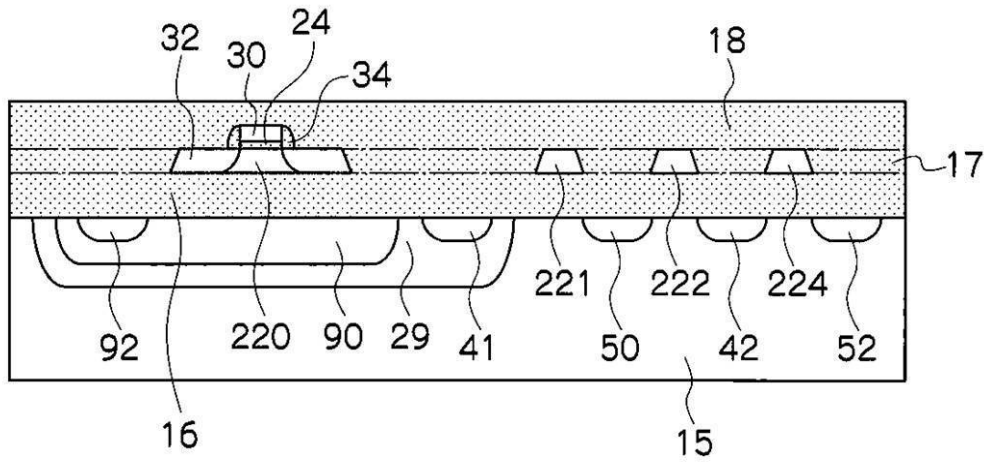
【図17】



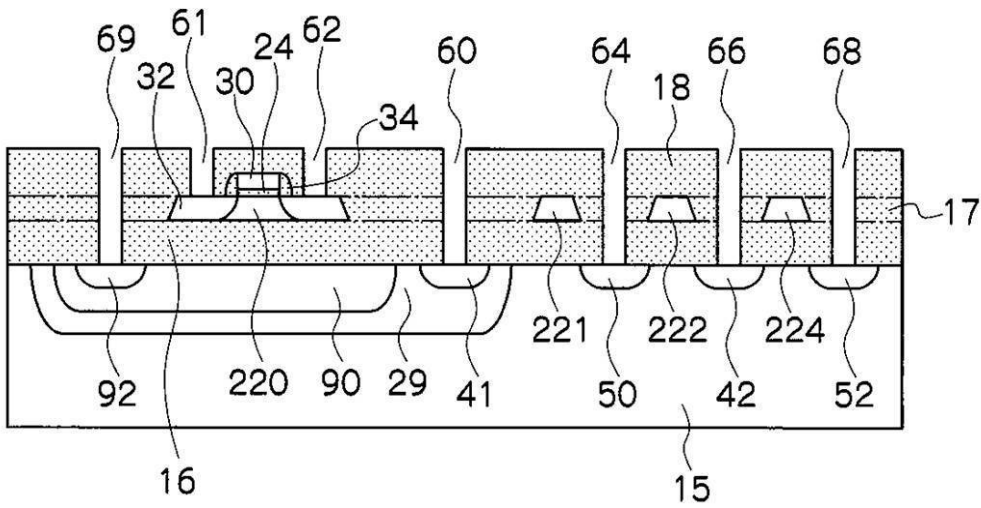
【図18】



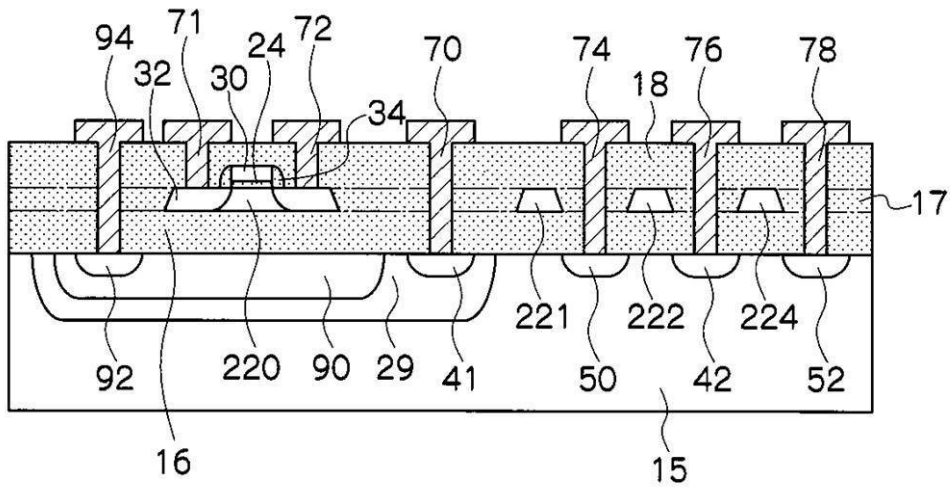
【図19】



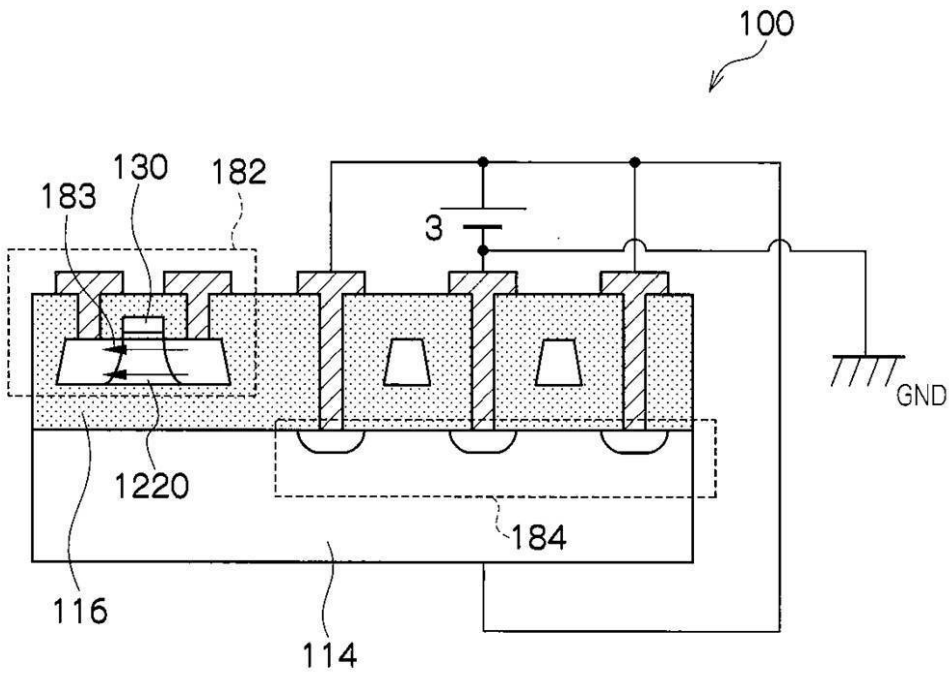
【図20】



【 図 2 1 】



【 図 2 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055546

| | | |
|--|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER H01L27/08(2006.01)i, G01T1/24(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H01L27/08, G01T1/24, H01L21/8234, H01L27/088, H01L29/786 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y A | JP 09-115999 A (Denso Corp.), 02 May 1997 (02.05.1997), fig. 1 & US 5751041 A fig. 1 | 1-3, 5, 6 4 |
| Y A | JP 2000-208714 A (Sharp Corp.), 02 July 2000 (02.07.2000), fig. 11 (Family: none) | 1-3, 5, 6 4 |
| Y A | JP 62-183554 A (Fujitsu Ltd.), 11 August 1987 (11.08.1987), fig. 1 (Family: none) | 1-3, 5, 6 4 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family |
| Date of the actual completion of the international search 01 June, 2011 (01.06.11) | | Date of mailing of the international search report 14 June, 2011 (14.06.11) |
| Name and mailing address of the ISA/ Japanese Patent Office | | Authorized officer |
| Facsimile No. | | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055546

| C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|---|--|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | JP 09-162417 A (Northern Telecom Ltd.), 20 June 1997 (20.06.1997), fig. 10 (Family: none) | 3, 6 |
| Y | JP 2007-294765 A (Oki Electric Industry Co., Ltd.), 08 November 2007 (08.11.2007), fig. 2 (Family: none) | 5, 6 |
| A | JP 2007-242950 A (Toshiba Corp.), 20 September 2007 (20.09.2007), entire text; all drawings & US 2007/0210418 A1 entire text; all drawings | 1-6 |
| A | JP 2005-347539 A (Toshiba Corp.), 15 December 2005 (15.12.2005), entire text; all drawings & US 2005/0269642 A1 | 1-6 |
| A | JP 2007-142145 A (Seiko Epson Corp.), 07 June 2007 (07.06.2007), entire text; all drawings (Family: none) | 1-6 |

| 国際調査報告 | | 国際出願番号 PCT/JP2011/055546 | | | | | | | | | |
|---|---|--|-------------|-----------|------------|-------------|------------|-------------|------------|-------------|------------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/08(2006.01)i, G01T1/24(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i | | | | | | | | | | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/08, G01T1/24, H01L21/8234, H01L27/088, H01L29/786 | | | | | | | | | | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table> | | | | 日本国実用新案公報 | 1922-1996年 | 日本国公開実用新案公報 | 1971-2011年 | 日本国実用新案登録公報 | 1996-2011年 | 日本国登録実用新案公報 | 1994-2011年 |
| 日本国実用新案公報 | 1922-1996年 | | | | | | | | | | |
| 日本国公開実用新案公報 | 1971-2011年 | | | | | | | | | | |
| 日本国実用新案登録公報 | 1996-2011年 | | | | | | | | | | |
| 日本国登録実用新案公報 | 1994-2011年 | | | | | | | | | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | | | | | | | | | | |
| C. 関連すると認められる文献 | | | | | | | | | | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | | | | | | | | | |
| Y A | JP 09-115999 A (株式会社デンソー) 1997.05.02, 第1図 & US 5751041 A, 第1図 | 1-3, 5, 6 4 | | | | | | | | | |
| Y A | JP 2000-208714 A (シャープ株式会社) 2000.07.02, 第11図 (ファミリーなし) | 1-3, 5, 6 4 | | | | | | | | | |
| Y A | JP 62-183554 A (富士通株式会社) 1987.08.11, 第1図 (ファミリーなし) | 1-3, 5, 6 4 | | | | | | | | | |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | | | | | | | | | | |
| * 引用文献のカテゴリー | | の日の後に公表された文献 | | | | | | | | | |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの | | | | | | | | | |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの | | | | | | | | | |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの | | | | | | | | | |
| 「O」口頭による開示、使用、展示等に言及する文献 | | 「&」同一パテントファミリー文献 | | | | | | | | | |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | | | | | | | | | | | |
| 国際調査を完了した日 01.06.2011 | | 国際調査報告の発送日 14.06.2011 | | | | | | | | | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | | 特許庁審査官 (権限のある職員) 宇多川 勉 | 4 L 3 1 2 5 | | | | | | | | |
| | | 電話番号 03-3581-1101 | 内線 3498 | | | | | | | | |

| 国際調査報告 | | 国際出願番号 PCT/J P 2 0 1 1 / 0 5 5 5 4 6 |
|-----------------------|---|--------------------------------------|
| C (続き) . 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 09-162417 A (ノーザン・テレコム・リミテッド) 1997.06.20, 第10図 (ファミリーなし) | 3,6 |
| Y | JP 2007-294765 A (沖電気工業株式会社) 2007.11.08, 第2図 (ファミリーなし) | 5,6 |
| A | JP 2007-242950 A (株式会社東芝) 2007.09.20, 全文, 全図 & US 2007/0210418 A1, 全文, 全図 | 1-6 |
| A | JP 2005-347539 A (株式会社東芝) 2005.12.15, 全文, 全図 & US 2005/0269642 A1 | 1-6 |
| A | JP 2007-142145 A (セイコーエプソン株式会社) 2007.06.07, 全文, 全図 (ファミリーなし) | 1-6 |

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(出願人による申告)平成21年度、文部科学省、先端計測分析技術・機器開発事業に係る委託業務、開発課題名「SOI技術による時間・空間X線イメージセンサー」、産業技術力強化法第19条の適用を受ける特許出願

(72) 発明者 新井 康夫

茨城県つくば市大穂1番地1 大学共同利用機関法人 高エネルギー加速器研究機構内

(72) 発明者 沖原 将生

宮城県黒川郡大衡村沖の平1番

(72) 発明者 葛西 大樹

宮城県黒川郡大衡村沖の平1番

Fターム(参考) 5F048 AA07 AC01 AC10 BA01 BA09 BA16 BA19 BA20 BB05 BB14
 BB16 BC06 BE02 BE03 BE09 BF16 BF18 BG12 DA27
 5F110 AA06 BB04 BB10 CC02 DD01 DD13 DD22 EE09 EE32 FF01
 FF29 GG02 GG32 HJ13 HL02 HL23 HM15 NN02 NN35 NN62
 NN66 NN71

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。