

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11)特許出願公開番号

特開2024-14465
(P2024-14465A)

(43)公開日

令和6年2月1日(2024. 2. 1)

(51)Int. Cl.	F I	テーマコード (参考)
H03K 17/04 (2006.01)	H03K 17/04 G	5H740
H03K 17/10 (2006.01)	H03K 17/10	5J055
H02M 1/00 (2007.01)	H02M 1/00 K	
H02M 9/04 (2006.01)	H02M 9/04 Z	

審査請求 未請求 請求項の数 6 OL (全 11 頁)

(21)出願番号 特願2022-117311(P2022-117311)
 (22)出願日 令和4年7月22日(2022. 7. 22)

(71)出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (74)代理人 100163533
 弁理士 金山 義信
 (74)代理人 100199842
 弁理士 坂井 祥平
 (72)発明者 内藤 孝
 茨城県つくば市大穂1番地1 大学共同利用機関法人 高エネルギー加速器研究機構 内
 Fターム(参考) 5H740 BA01 BB01 BB07 BC01 BC02
 HH07 JA01 JB01 KK03 KK05
 MM06

最終頁に続く

(54)【発明の名称】半導体スイッチ

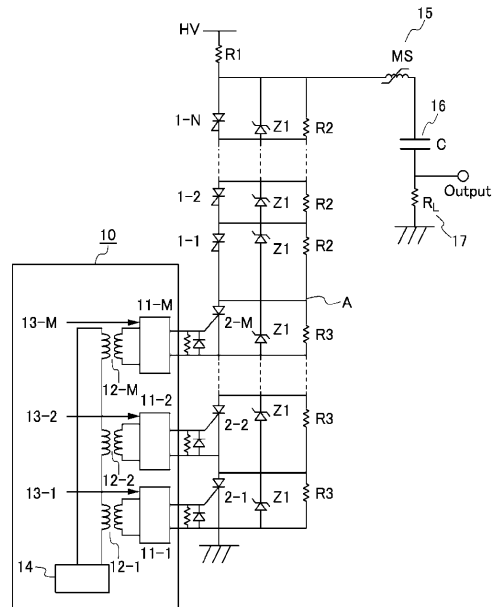
(57)【要約】

【課題】

動作電圧を低くすることができ、信頼性が高く、サイラトロンスイッチに対してコスト低減が実現できる半導体スイッチの提供。

【解決手段】サイリスタを多段接続した高電圧、大電流の半導体スイッチであって、サイリスタのゲートとカソードとが実質的にショートされたアバランシェモードサイリスタ1 1 ~ 1 Nが多段接続されたアバランシェ回路と、多段接続されたアバランシェモードサイリスタ1 1 ~ 1 Nの下段に多段接続されたゲートトリガーサイリスタ2 1 ~ 2 Mと、ゲートトリガーサイリスタ2 1 ~ 2 Mの各段に設けられ、各段のゲートトリガーサイリスタにゲート信号を供給する光トリガー部10(トリガー回路)を備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

サイリスタを多段接続した半導体スイッチであって、
前記サイリスタのゲートとカソードとが実質的にショートされたアバランシェモードサイリスタが多段接続されたアバランシェ回路と、
多段接続された前記アバランシェモードサイリスタの下段に多段接続されたゲートトリガーサイリスタと、
前記ゲートトリガーサイリスタの各段に設けられ、各段のゲート信号を供給するトリガー回路と、
を備えたことを特徴とする半導体スイッチ。

10

【請求項 2】

請求項 1 に記載の半導体スイッチであって、
前記アバランシェ回路の最下段の電位を前記アバランシェモードサイリスタのブレイクオーバー電圧に近い電位にすることを特徴とする半導体スイッチ。

【請求項 3】

請求項 1 に記載の半導体スイッチであって、
前記アバランシェ回路の最下段の電位を前記アバランシェモードサイリスタのブレイクオーバー電圧の 80 ~ 90 % の電位にすることを特徴とする半導体スイッチ。

【請求項 4】

請求項 1 に記載の半導体スイッチであって、
前記アバランシェモードサイリスタ及び前記ゲートトリガーサイリスタの各段を分圧する分圧抵抗と、
前記分圧抵抗に並列接続されたツェナーダイオードと、
を備えたことを特徴とする半導体スイッチ。

20

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載の半導体スイッチであって、
前記トリガー回路は、トリガーとして光を利用した光トリガーを用いた回路であることを特徴とする半導体スイッチ。

【請求項 6】

請求項 1 から 4 のいずれか 1 項に記載の半導体スイッチであって、
前記トリガー回路は、トリガーとしてパルストランスを用いた回路であることを特徴とする半導体スイッチ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体のスイッチングデバイスであるサイリスタを用いて、高速、大電流のスイッチングが可能な半導体スイッチに関する。

【背景技術】**【0002】**

サイリスタは、主にゲートからカソードへゲート電流を流すことにより、アノードとカソード間を導通させることが出来る 3 端子の半導体素子であり、ピーク電流は大きく流せるが、印加出来る電圧は 1 . 5 k V と高くない。しかし、電力システム技術の分野においては高電圧、大電流を制御することが求められている。これまではサイラトロンスイッチと呼ばれるガス放電管が用いられているが、放電現象を用いているために、安定に動作させるためにはヒーター電源等の周辺回路が必要であり、高価であるとともに広い設置面積も必要である。そのため、サイリスタ等の半導体を用いたスイッチング回路の要求が高まっているが、例えば、40 k V の高電圧のスイッチングをサイリスタで行うには、30 個程度を直列、並列に多段接続する必要があった。また、サイリスタにおいては、スイッチング時間を制御するためトリガー信号を供給することが行われるが、スイッチング回路を構成する全てのサイリスタにトリガー信号を供給するためには、多数の部品が必要となり

40

50

コストが高くなるとともに、スイッチング性能のばらつきが大きくなる。

【0003】

図5を参照してサイリスタの動作特性について説明する。サイリスタは、アノード、カソード、ゲートの3つの端子があり、アノードの電位がカソードの電位より高いときに、ゲートに電流を流すと、サイリスタが導通する。なお、一度導通すると、ゲート電流が0になっても導通し続ける。図5は、横軸にアノードとカソードの間の電圧 V 、縦軸にアノードとカソードの間に流れる電流 I を示した $V-I$ 特性を示している。サイリスタは電圧（横軸）を印加した状態でゲート電流（ I_g ）を流すことによって、オフからオン状態になり急激に電流が増加する。ゲート電流（ I_g ）が大きいと、アノードとカソードの間の電圧 V が低くてもオフからオン状態になるが、ゲート電流（ I_g ）が小さいと、アノードとカソードの間の電圧 V を高くしないとオフからオン状態にならない。ゲート電流（ I_g ）がゼロであっても一定電圧を超過する超過電圧によって半導体内で電子雪崩（アバランシェ）が発生し、ゲート電流（ I_g ）を流した時と同様に回路がオン状態になる。ゲート電流（ I_g ）がゼロにおいてもオン状態になる電圧をブレイクオーバー電圧（ V_{BO} ）と呼ぶ。ブレイクオーバー電圧を超過する電圧を印加するとオン状態になり、このときのサイリスタのスイッチング速度は、サイリスタ個々の特性に依存するが、アバランシェでのスイッチング速度は通常の動作に比べて高速であることが知られている。

10

【0004】

アバランシェモード（アバランシェでのスイッチング）は通常の使い方ではないため、このモードでのサイリスタの特性が表記されたり、規格されたりすることはない。アバランシェモードでは一般の動作モードに比べると高い電圧を印加して動作させるので、スイッチングする電圧が同じ場合にはサイリスタの段数は減らすことができ、速いスイッチング速度が実現できる。アバランシェモードを利用した高速、大電流がスイッチング可能な半導体スイッチとして、複数のサイリスタが直列に多段接続されたサイリスタをゲート電流ゼロでスイッチさせるアバランシェ回路と、アバランシェ回路の最下段にトリガー信号を供給するトリガー回路と、を備え、アバランシェ回路の各サイリスタにブレイクオーバー電圧に近い電圧を印加し、トリガー回路にトリガー信号を入力する半導体スイッチが、特許文献1に記載されている。

20

【先行技術文献】

【特許文献】

30

【0005】

【特許文献1】特開2020-10417号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記従来技術において、多段接続されたサイリスタはアノードとカソード間にブレイクオーバー電圧以上の過大電圧を印加することによって、ゲートに入力がなくてもオフからオン状態に移行（アバランシェモード）する。そして、スイッチング速度はアバランシェモードを使うことによって高速になり、多段接続したサイリスタの各段のゲート入力が必要なくなる。

40

【0007】

しかし、特許文献1に記載の方法は、サイリスタをアバランシェモードで動作させるためには、多段接続したサイリスタに印加する電圧をブレイクオーバー電圧に近い印加電圧にするとする制約条件がある。この制約条件のため、スイッチングを起動する動作電圧を大きく低減させることが出来ず、例えば最大使用電圧の1/2以下では動作が難しく、半導体スイッチとしての適用範囲が限定されていた。また、高い電圧で使用できるサイリスタは種類が少なく選択肢が限られるため、異なる要求仕様に対応することが難しくなる。

【0008】

本発明の目的は、上記従来技術の課題を解決し、動作電圧を低くすることができ、信頼性が高く、サイラトロンスイッチに対してコスト低減が実現できる半導体スイッチを提供

50

することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明は、サイリスタを多段接続した高電圧、大電流の半導体スイッチであって、前記サイリスタのゲートとカソードとが実質的にショートされたアバランシェモードサイリスタが多段接続されたアバランシェ回路と、多段接続された前記アバランシェモードサイリスタの下段に多段接続されたゲートトリガーサイリスタと、前記ゲートトリガーサイリスタの各段に設けられ、各段のゲート信号を供給するトリガー回路と、を備えたものである。

【0010】

また、上記の半導体スイッチにおいて、前記アバランシェ回路の最下段のアバランシェモードサイリスタのカソードの電位がブレイクオーバー電圧に近い高電圧電位に設定されることが好ましい。

【0011】

さらに、上記の半導体スイッチにおいて、前記アバランシェ回路の最下段の前記アバランシェモードサイリスタのカソード電位がブレイクオーバー電圧の80～90%の電位にされたことが望ましい。

【0012】

さらに、上記の半導体スイッチにおいて、前記アバランシェモードサイリスタ及び前記ゲートトリガーサイリスタの各段を分圧する分圧抵抗と、前記分圧抵抗に並列接続されたツェナーダイオードと、を備えたことが望ましい。

【0013】

さらに、上記の半導体スイッチにおいて、前記トリガー回路は、前記ゲートトリガーサイリスタの各段それぞれのサイリスタのゲートにトリガー電流を流すことでオン状態にするものであり、そのトリガーとして光を利用した光トリガーを用いることが好ましい。

【0014】

さらに、上記の半導体スイッチにおいて、前記トリガー回路は、そのトリガーとしてパルストランスを用いて、前記サイリスタのゲートにパルス電流を流すことでオン状態にする回路（以下、パルストランスを用いたトリガーを記す）を用いることが好ましい。

【発明の効果】

【0015】

本発明によれば、サイリスタのゲートとカソードとが実質的にショートされたアバランシェモードサイリスタが多段接続されたアバランシェ回路と、多段接続されたアバランシェモードサイリスタの下段に多段接続されたゲートトリガーサイリスタと、ゲートトリガーサイリスタの各段に設けられ、各段のゲート信号を供給するトリガー回路とを設けたので、従来よりも低い電圧で動作する半導体スイッチを提供することが出来る。

高速スイッチが可能であることから、本発明は、高電圧放電、例えば、電子銃電源、レーザーのスイッチ回路、あるいは、電力システムなど高電圧スイッチを必要とする技術分野に応用することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態に係る半導体スイッチの回路（光トリガーを用いたトリガー回路）である。

【図2】ゲートトリガーサイリスタとアバランシェモードサイリスタとの結線の違いを示した図である。

【図3】本発明の他の実施形態に係る半導体スイッチの回路（パルストランスを用いたトリガー回路）である。

【図4】一実施形態における半導体スイッチの特性を示した図である。

【図5】サイリスタの動作特性の説明図である。

【発明を実施するための形態】

10

20

30

40

50

【0017】

以下、本発明の実施形態について図面を参照して詳細に説明する。図1は本発明の一実施形態に係る半導体スイッチの回路を表す図である。アバランシェモードサイリスタ1₁~1_N、及び、ゲートトリガーサイリスタ2₁~2_Mは、高速、大電流がスイッチング可能なサイリスタである。後述するように、アバランシェモードサイリスタ1₁~1_Nと、その下位側に多段接続されたゲートトリガーサイリスタ2₁~2_Mでは、ゲートとカソードの接続方法が異なっており、それにより、印加電圧に対する電流の挙動が異なる。

【0018】

まず、ゲートトリガーサイリスタ2₁~2_Mについて説明する。

サイリスタは一般に、アノードとカソード間に電圧を印加した状態でゲート電流を流すことによってオフからオン状態になり急激に電流が増加する特性を有する。従って、通常はゲート電流によりアノード、カソード間の電流が制御される。このように制御されるサイリスタを本明細書では、以下「ゲートトリガーサイリスタ」ともいう。

【0019】

次に、アバランシェモードサイリスタ1₁~1_Nについて説明する。

図2は、通常のゲートトリガーサイリスタ(図2(a))とアバランシェモードサイリスタ(図2(b))との結線の違いを示した図である。すでに申し述べたとおり、ゲートトリガーサイリスタ2₁~2_Mはゲートからカソードへゲート電流を流すことにより、アノードとカソード間を導通させて使用される。一方、アバランシェモードサイリスタ1₁~1_Nは、図2(b)に示すようにゲートとカソードとが実質的にショートされた結線となっている。このように構成されたサイリスタを、本明細書では「アバランシェモードサイリスタ(AMT: Avalanche mode Thyristor)」という。AMTは、ゲートとカソードとを同電位にし、アノードとカソード間にブレイクオーバー電圧以上の過大電圧を印加すると電流が流れオン状態へ移行する。

【0020】

なお、アバランシェモードサイリスタ1₁~1_N、及び、ゲートトリガーサイリスタ2₁~2_Mは、上述のように結線の仕方が異なっているが、素子自体は、実質的に同一のものを使用してもよいし、異なったものを使用してもよい。実質的に同一のものとしては、スイッチング速度が速いことが好ましく、また、パルスモードでのピーク電流が大きいものが好ましい。また、アバランシェモードサイリスタの段数及びゲートトリガーサイリスタの段数を増やすことで、サイリスタ1個当りに印加される電圧が下がるため、サイリスタの選択肢が増えることになる。スイッチング回路の要求性能に応じてサイリスタを適切に選択することで、既存のサイラトロンと同等もしくはそれ以上の特性にすることができ、さらに、特許文献1に記載されるような公知のアバランシェ回路を用いた半導体スイッチよりも低い電圧で動作させることができる。

【0021】

本実施形態の半導体スイッチは、高電圧の使用電圧HVが印加されスイッチ動作を行う。アバランシェモードサイリスタ1₁~1_Nは、多段(例えば17段)接続されアバランシェ回路(ブレイクオーバー電圧以上の電圧が印加されてオンになる回路)を構成する。多段接続の最下位(最下段)となるアバランシェモードサイリスタ1₁のさらに下段には、ゲートトリガーサイリスタ2₁~2_Mが多段(例えば10段)接続されている。なお、多段接続の意味は、必ずしも数が多いことでなく、二つ以上、複数段であればよく、また、電圧及び電流の要求性能に応じて直列の多段接続に限らず、直並列の多段接続としても良い。具体的には、高電圧の場合には直列に接続し、高電流の場合には並列に接続することになり、用いる個々のサイリスタの性能を考慮して多段の構成を選択する。

【0022】

使用電圧HVは、抵抗R1で調整され、アバランシェモードサイリスタ1₁~1_Nの各段は分圧抵抗R2で、ゲートトリガーサイリスタ2₁~2_Mの各段は分圧抵抗R3でそれぞれの動作電圧に対応した電圧が印加されるように分圧される。分圧抵抗R2及び分

10

20

30

40

50

圧抵抗 R 3 だけでは、リーク電流の違いによってアンバランスが生じ、過大電圧でサイリスタを壊す恐れがある。

【 0 0 2 3 】

そこで、各段に並列接続されたツェナーダイオード Z 1 は、分圧抵抗 R 2 及び分圧抵抗 R 3 と併用して、アバランシェモードサイリスタ 1 1 ~ 1 N 及びゲートトリガーサイリスタ 2 1 ~ 2 M のそれぞれに過大電圧が印加されないように設けている。

【 0 0 2 4 】

図 1 の半導体スイッチにおいて、コンデンサ 1 6 に蓄積された電荷は各サイリスタをスイッチさせることによって負荷抵抗 1 7 を流れる。そのため、各サイリスタがオンになり、アノード電圧が下がってもオン抵抗が十分に下がるまで遅れが生じ、1 k A 超える電流を短時間で流すことが出来ない。

10

【 0 0 2 5 】

オン抵抗が下がる過渡状態で負荷電流がゆっくり増えて大電流が流れるようにするために、マグネチックスイッチ(M S) 1 5 を抵抗 R 1 とコンデンサ 1 6 の間に設けている。マグネチックスイッチ(M S) 1 5 は、磁化が急激に飽和するコアを用い、A M T がオンになってから負荷電流がピークに達するまでの時間を遅らせる。つまり、マグネチックスイッチ(M S) 1 5 は、マグネチックスイッチ(M S) 1 5 のコイルに流れる電流によってコアが飽和するまでは高インダクタンスとして働く。

【 0 0 2 6 】

そして、マグネチックスイッチ(M S) 1 5 は、コアが飽和すると低インダクタンスとして働き、コアが飽和するまでの時間は急激な電流変化を妨げる働きをする。A M T は、下段の A M T がスイッチングすることで、すぐ上の段の A M T にブレイクオーバー電圧と同等以上の電圧が印加されるように設計することで、この段の A M T も自発的にスイッチングする。このような自発的なスイッチングが上の段の A M T に次々に伝搬するため、多段接続してもほとんどスイッチング速度が遅くならない。また、負荷電流は、アノード電圧がスイッチして、さらにマグネチックスイッチ(M S) 1 5 が飽和してから、遅れて電流が流れ始める。

20

【 0 0 2 7 】

光トリガー部 1 0 は、光ファイバー 1 3 1 ~ 1 3 M を通った光が光トリガー受信回路 1 1 - 1 ~ 1 1 - M 内にあるフォトプラなどのスイッチを起動して、サイリスタのゲートにトリガー電流を流す役割をするトリガー回路であり、多段接続されたゲートトリガーサイリスタ 2 1 ~ 2 M の各段に設けられ、ゲート信号を各段にほぼ同時に供給する。

30

【 0 0 2 8 】

光トリガー部 1 0 は、上記の光ファイバー 1 3 1 ~ 1 3 M や光トリガー受信回路 1 1 1 ~ 1 1 M の他に、高電圧電位で光トリガー受信回路を駆動するための電圧を生成する D C D C コンバータが必要となる。D C D C コンバータ回路は、直流電圧を交流電圧に変換する回路 1 4 と高電圧電位の光トリガー受信回路とを絶縁する絶縁トランス 1 2 1 ~ 1 2 M、光トリガー受信回路 1 1 1 ~ 1 1 M 内に設けられた交流直流変換回路からなる。

【 0 0 2 9 】

アバランシェモードサイリスタ 1 1 ~ 1 N の最下段の A 点は、アバランシェモードサイリスタ 1 1 のブレイクオーバー電圧に近い電位、例えばブレイクオーバー電圧の 8 0 ~ 9 0 % の電位が印加されている。アバランシェモードサイリスタ 1 1 のアノードは、さらに高い電圧が印加される。同様に、アバランシェモードサイリスタ 1 2 ~ 1 N のアノードも、ブレイクオーバー電圧に近い電位、例えばブレイクオーバー電圧の 8 0 ~ 9 0 % の電位が印加されている。

40

【 0 0 3 0 】

A 点の電位は、光入力光トリガー部 1 0 へ行われ、ゲートトリガーサイリスタ 2 1 ~ 2 M の各段が導通すれば低電位となる。これにより、アバランシェモードサイリスタ 1 1 のカソードの電位が下がり、アバランシェモードサイリスタ 1 1 のアノードとカソ

50

ード間の電圧はブレイクオーバー電圧を超過し、オン状態になる。

【0031】

上段のアバランシェモードサイリスタ1 2は、アバランシェモードサイリスタ1 1がオン状態になると、ブレイクオーバー電圧を超える電圧が印加されオン状態になる。以降、最上位（最上段）のアバランシェモードサイリスタ1 Nまで連鎖的にオン状態になっていく。このように、アバランシェモードサイリスタ1 1～1 Nは多段接続しても、ゲートに電流を入力する回路が無くともスイッチングするアバランシェ回路となる。

【0032】

半導体スイッチを構成するゲートトリガーサイリスタとアバランシェモードサイリスタが全てオン状態になると電流が流れるが、外部回路のコンデンサ1 6と負荷抵抗1 7で構成される微分回路によって微分波形の電流が得られる。

10

【0033】

本実施形態の半導体スイッチは、ゲートトリガーサイリスタ2 1～2 Mに印加する電圧とアバランシェモードサイリスタ1 1～1 Nに印加する電圧を、それぞれを構成するサイリスタと段数を選択することで、アバランシェモードサイリスタ1 1～1 Nの最下段のA点の電圧を任意に設定することができるので、従来よりも低い電圧で動作する半導体スイッチとなる。動作電圧も、ゲートトリガーサイリスタ2 1～2 Mとアバランシェモードサイリスタ1 1～1 Nを構成するサイリスタと段数の選択によって、広い範囲で設定することができる。

【0034】

例えば、アバランシェモードサイリスタ1 1～1 Nを1 7段、ゲートトリガーサイリスタ2 1～2 Mを1 0段で構成した半導体スイッチにおいて、最大使用電圧4 0 k Vに対して5 k V程度から動作することを確認している。

20

【0035】

図3は、他の実施形態を示し、トリガー回路である図1の光トリガー部1 0をトランストリガー部2 0としたものである。他の構成は同じなので詳細な説明は省略する。トランストリガー部2 0は、パルストランスを用いてトリガー信号を発生する回路であり、多段に直列接続されたゲートトリガーサイリスタ2 1～2 Mの各段に対応して高電圧絶縁されたパルストランス1 9 - 1～1 9 - Mが設けられ、それぞれが直列接続されることによって、高電圧電位にある各段にトリガー電流を流す役割をする。

30

【0036】

直流電源2 1が上段のパルストランス1 9 Mに接続するように設けられ、MOS FET (metal - oxide - semiconductor field - effect - transistor) で構成されるゲートトリガー発生回路1 8が最下段のパルストランス1 9 - 1に接続するように設けられている。ゲートトリガー発生回路1 8は、トリガーされてスイッチすれば、ゲート信号をゲートトリガーサイリスタ2 1～2 Mにほぼ同時に供給する。

【0037】

パルストランス1 9 1～1 9 Mの絶縁機能により、ゲートトリガー発生回路1 8の入力側の電気がトランストリガー部2 0の出力側に直接流れ込んでしまい、誤ってスイッチングが起こることを防ぐため、出力側の負荷を保護することが出来る。また、ゲートトリガーサイリスタ2 1～2 M、アバランシェモードサイリスタ1 1～1 Nに突発的な電圧変動が起こったとしてもゲートトリガー発生回路1 8を保護することが出来る。さらに、パルストランス1 9 1～1 9 Mは、外来ノイズを低減し、安全かつ低ノイズでトリガー信号を伝送出来る。

40

【0038】

図4は、アバランシェモードサイリスタ1 1～1 Nを1 7段、ゲートトリガーサイリスタ2 1～2 Mを1 0段として多段接続し、最大使用電圧を4 0 k Vとして作製した半導体スイッチの特性を示した図である。縦軸左側は電圧(4 k V / d i v)、右側が負荷電流(0 . 2 k A / d i v)、横軸は時間(2 0 0 n s / d i v)である。半導体スイッ

50

チ回路に印加する電圧HVは28kV、負荷抵抗17は16、コンデンサ16は17nFとした例である。

【0039】

電圧は50ns以下でスイッチしている。アバランシェモードサイリスタ11~1Nは下段がオン状態になると連鎖的に次の段もオン状態になるため、多段接続してもほとんどスイッチング速度が遅くならない。負荷電流は電圧がスイッチしてから約300ns遅れて電流が流れ始める。この遅れはマグネチックスイッチ(MS)15によって調整されている。

【0040】

実験を行った半導体スイッチ回路は最大使用電圧を40kVで作製したものであるが、それを下回る28kVでも動作できていることが分かる。

10

【0041】

多段接続されたゲートトリガーサイリスタは、アバランシェモードサイリスタの下段に設けたので、動作範囲の広いアバランシェモードを用いた半導体スイッチを得ることが出来る。また、ゲートトリガーサイリスタのトリガー回路を絶縁回路としたので信頼性を向上できる。

【0042】

また、使用する個々のサイリスタや、ゲートトリガーサイリスタとアバランシェモードサイリスタの段数を選択することによって、定格電圧より大幅に低い電圧でもアバランシェモードサイリスタに必要な動作電圧が供給されスイッチ動作を行うことが出来る。発明者の検討では、本実施形態による半導体スイッチは最大使用電圧40kVに対し5kV程度と、最大使用電圧の1/8の電圧でも動作することを確認している。

20

本発明によれば、アバランシェモードサイリスタとそれを起動するための1段のトリガー回路からなる半導体スイッチに比べると、動作する電圧を低減できる。また、ゲートトリガーサイリスタのみで構成する場合に比べると、トリガー回路の段数を省略することが出来るため信頼性が増すと同時にコスト低減も可能となる。さらに、このように複数のゲートトリガーサイリスタからなるゲートトリガーサイリスタ部と、複数のアバランシェモードサイリスタからなるアバランシェモードサイリスタ部とを合わせて使う構成にすることで、定格電圧の低いサイリスタも使用できるようになる。その結果、使用電圧やスイッチング特性などの要求仕様に応じてサイリスタ、ゲートトリガーサイリスタ部あるいはアバランシェモードサイリスタ部の段数を選択することができ、回路構成の選択の幅が広がる。

30

また、上述の実施の形態ではゲートトリガーサイリスタ部にトリガー信号を出すゲートトリガー回路として、光トリガーを用いたトリガー回路と、パルストランスを用いたトリガー回路について述べたが、この2種類の回路に限られるものはない。例えば、トリガー電流を発生させるコンデンサーを使う回路なども用いることができ、また、複数のトリガー回路を組合わせて使用してもよい。

【符号の説明】

【0043】

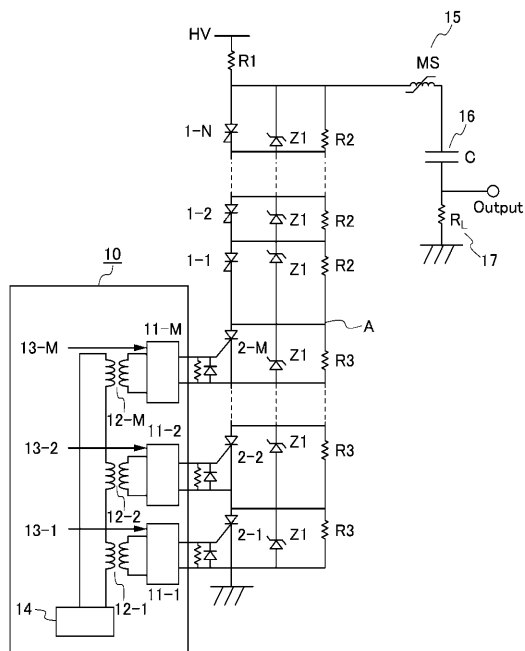
- 1 1~1 N アバランシェモードサイリスタ (AMT)
- 2 1~2 M ゲートトリガーサイリスタ
- 1 0 光トリガー部
- 1 1 1~1 1 M 光トリガー受信回路
- 1 2 1~1 2 M 絶縁トランス
- 1 3 1~1 3 M 光ファイバー
- 1 4 直流電圧を交流電圧に変換する回路
- 1 5 マグネチックスイッチ(MS)
- 1 6 コンデンサ
- 1 7 負荷抵抗
- 1 8 ゲートトリガー発生回路

40

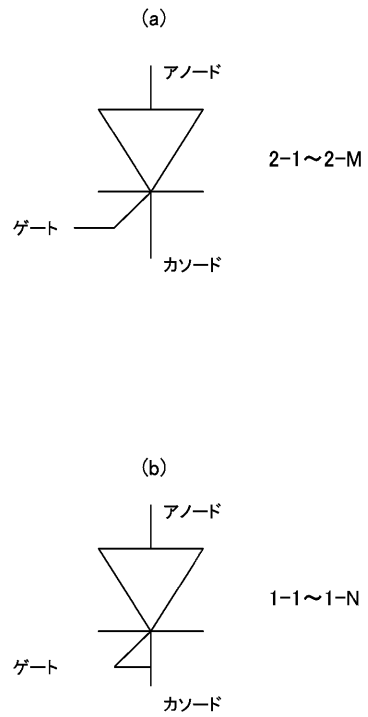
50

- 1 9 1 ~ 1 9 M パルストランス
- 2 0 トランストリガー部
- 2 1 電源
- H V 使用電圧
- R 2、R 3 分圧抵抗
- Z 1 ツェナーダイオード

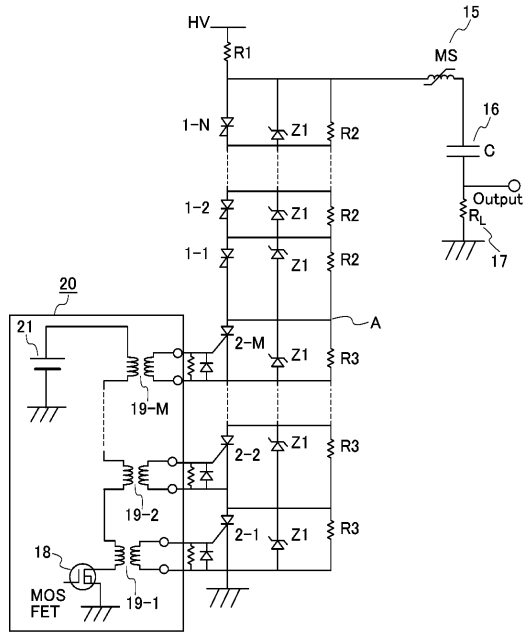
【図 1】



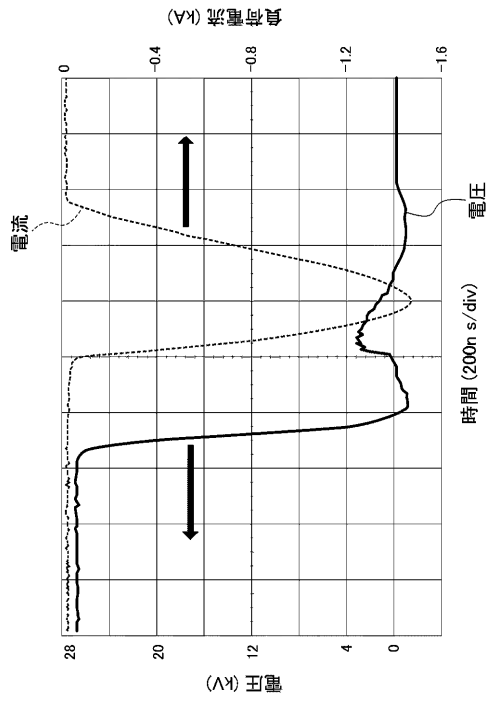
【図 2】



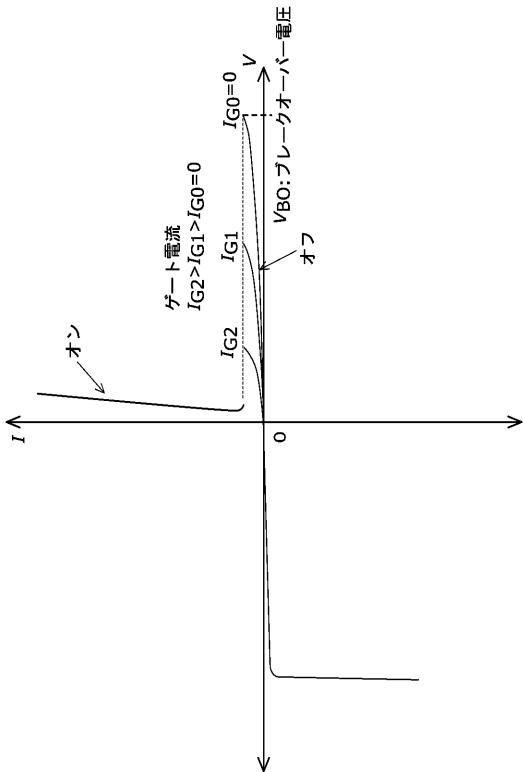
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5J055 AX03 AX55 BX16 CX07 DX31 DX42 DX72 DX83 EX29 EX30 EY01 EY07 EY10 EY12
EY13 EY26 GX01 GX06