

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年1月27日(27.01.2022)



(10) 国際公開番号

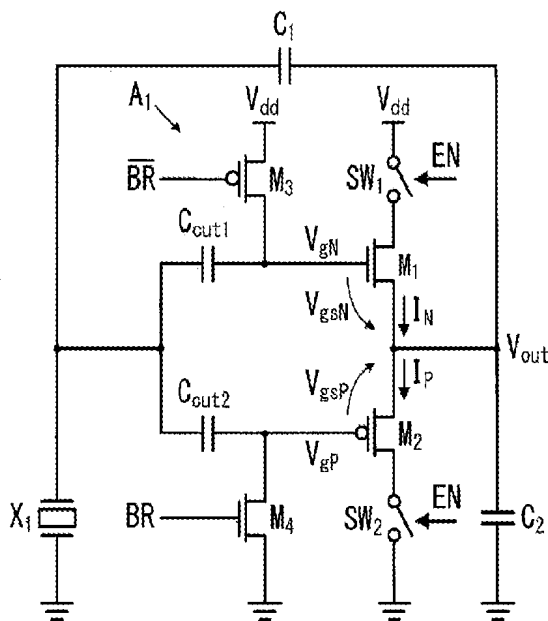
WO 2022/018930 A1

- (51) 国際特許分類:  
H03B 5/32 (2006.01) H03B 5/36 (2006.01)
- (21) 国際出願番号: PCT/JP2021/017498
- (22) 国際出願日: 2021年5月7日(07.05.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2020-125663 2020年7月22日(22.07.2020) JP
- (71) 出願人: 株式会社 Piezo Studio (PIEZO STUDIO INC.) [JP/JP]; 〒9800811 宮城県仙台市青葉区一番町一丁目4番1号 Miyagi (JP). 大学共同利用機関法人 高エネルギー加速器研究機構(INTER-UNIVERSI-

- TY RESEARCH INSTITUTE CORPORATION HIGH ENERGY ACCELERATOR RESEARCH ORGANIZATION) [JP/JP]; 〒3050801 茨城県つくば市大穂1-1 Ibaraki (JP).
- (72) 発明者: 野原 正也 (NOHARA, Masaya); 〒3050801 茨城県つくば市大穂1-1 大学共同利用機関法人 高エネルギー加速器研究機構内 Ibaraki (JP). 木村 悟利 (KIMURA, Noritoshi); 〒9800811 宮城県仙台市青葉区一番町長一丁目4番1号 株式会社 Piezo Studio 内 Miyagi (JP).
- (74) 代理人: 山川 茂樹 (YAMAKAWA, Shigeki); 〒1006104 東京都千代田区永田町2丁目1

(54) Title: OSCILLATOR CIRCUIT, AND ELECTRONIC DEVICE

(54) 発明の名称: 発振回路および電子機器



(57) Abstract: This oscillator circuit is provided with: an oscillator ( $X_1$ ); capacitors ( $C_1$ ,  $C_2$ ) connected between the two terminals of the oscillator ( $X_1$ ); and an amplification circuit ( $A_1$ ) of which an input terminal is connected to a point of connection between the oscillator ( $X_1$ ) and the capacitor ( $C_1$ ), and an output terminal is connected to a point of connection between the capacitor ( $C_1$ ) and the capacitor ( $C_2$ ). The amplification circuit ( $A_1$ ) includes: an N-type transistor ( $M_1$ ) and a P-type transistor ( $M_2$ ) of which the point of connection of the source terminals is connected to the output terminal of the amplification circuit ( $A_1$ ); a P-type transistor ( $M_3$ ) which

WO 2022/018930 A1

1 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

connects the gate terminal of the N-type transistor ( $M_1$ ) to a power supply terminal when oscillation is stopped, and disconnects the gate terminal of the N-type transistor ( $M_1$ ) and the power supply terminal during oscillating operation; and an N-type transistor ( $M_4$ ) which connects the gate terminal of the P-type transistor ( $M_2$ ) to ground when oscillation is stopped, and disconnects the gate terminal of the P-type transistor ( $M_2$ ) and a ground terminal during oscillating operation. This makes it possible to achieve low power consumption and high-speed oscillation startup of the oscillation circuit.

(57) 要約: 発振回路は、振動子 ( $X_1$ ) と、振動子 ( $X_1$ ) の両端子間に接続された容量 ( $C_1$ ,  $C_2$ ) と、入力端子が振動子 ( $X_1$ ) と容量 ( $C_1$ ) との接続点に接続され、出力端子が容量 ( $C_1$ ) と容量 ( $C_2$ ) との接続点に接続された増幅回路 ( $A_1$ ) を備える。増幅回路 ( $A_1$ ) は、ソース端子同士の接続点が増幅回路 ( $A_1$ ) の出力端子に接続されたN型トランジスタ ( $M_1$ ) とP型トランジスタ ( $M_2$ ) と、発振停止時にN型トランジスタ ( $M_1$ ) のゲート端子を電源端子に接続し、発振動作時にN型トランジスタ ( $M_1$ ) のゲート端子と電源端子を切り離すP型トランジスタ ( $M_3$ ) と、発振停止時にP型トランジスタ ( $M_2$ ) のゲート端子をグラウンドに接続し、発振動作時にP型トランジスタ ( $M_2$ ) のゲート端子と接地端子を切り離すN型トランジスタ ( $M_4$ ) とを含む。発振回路の低消費電力および高速発振起動を実現することができる。

## 明 細 書

発明の名称：発振回路および電子機器

### 技術分野

[0001] 本発明は、振動子を用いた発振回路に関するものである。

### 背景技術

[0002] 近年、携帯電話機やIoT (Internet-Of-Things) 機器などの無線回路付き小型電子機器においては、バッテリーの長寿命化が求められていることから、機器に使われている電子回路や電子部品の低消費電力化が重要技術課題となっている。

[0003] 小型電子機器では、従来から、図10に示すような水晶振動子を用いたインバータベースのピアース (Pierce) 発振回路が広く使われている (特許文献1、特許文献2、特許文献3参照)。ピアース発振回路は、水晶振動子 $X_{10}$ と、インバータ $INV_{10}$ と、容量 $C_{10}$ 、 $C_{11}$ とから構成される。

[0004] ピアース発振回路は、構成がシンプルなことから、長い間使われてきた。しかしながら、ピアース発振回路は、発振するための電圧成分が大きく取れず、定常的に電流を流すために消費電力が大きい、という課題があった。また、ピアース発振回路は、発振起動時間が遅いという課題があった。

### 先行技術文献

#### 特許文献

[0005] 特許文献1：特許第3409061号公報

特許文献2：特開2004-328257号公報

特許文献3：国際公開WO2013/035346号

### 発明の概要

#### 発明が解決しようとする課題

[0006] 本発明は、上記課題を解決するためになされたもので、低消費電力および高速発振起動を実現することができる発振回路を提供することを目的とする。

## 課題を解決するための手段

[0007] 本発明の発振回路は、電源端子と、接地端子と、振動子と、前記振動子の両端の間に直列に接続された第1及び第2の容量と、前記振動子と前記第1の容量に接続される入力端子と、前記第1の容量と前記第2の容量に接続される出力端子と、ソース端子が前記出力端子に接続され、ドレイン端子が前記電源端子と接続された第1のスイッチに接続され、ゲート端子が前記入力端子に接続される第1のN型トランジスタと、ソース端子が前記出力端子に接続され、ドレイン端子が前記接地端子と接続された第2のスイッチに接続され、ゲート端子が前記入力端子に接続される第1のP型トランジスタと、ソース端子が前記電源端子に接続され、ドレイン端子が前記第1のN型トランジスタのゲート端子及び前記入力端子に接続される第2のP型トランジスタと、ソース端子が前記接地端子に接続され、ドレイン端子が前記第1のP型トランジスタのゲート端子及び前記入力端子に接続される第2のN型トランジスタを有する増幅回路を含むことを特徴とするものである。

[0008] また、本発明の発振回路の1構成例において、前記第1のスイッチは、発振動作時に前記第1のN型トランジスタのドレインと前記電源端子とを接続し、発振停止時に当該第1のN型トランジスタのドレインと前記電源端子とを切り離し、前記第2のスイッチは、発振動作時に前記第1のP型トランジスタのドレインと前記接地端子とを接続し、発振停止時に当該前記第1のP型トランジスタのドレインと前記接地端子とを切り離し、前記第2のP型トランジスタのゲートは発振動作時にオフに、発振停止時にオンになるよう制御され、前記第2のN型トランジスタのゲートは発振動作時にオフに、発振停止時にオンになるよう制御されるものである。

また、本発明の電子機器は、上記の発振回路を備えたことを特徴とするものである。

## 発明の効果

[0009] 本発明によれば、増幅回路の第1のN型トランジスタのゲート端子を、第2のP型トランジスタのON時に電源電圧と接続し、第1の容量と第3の容

量とを介して増幅回路の出力電圧を第1のN型トランジスタのゲート端子に帰還し、また増幅回路の第1のP型トランジスタのゲート端子を、第2のN型トランジスタのON時にグラウンドと接続し、第1の容量と第4の容量とを介して増幅回路の出力電圧を第1のP型トランジスタのゲート端子に帰還することにより、低消費電力および高速発振起動を実現することができる。

### 図面の簡単な説明

- [0010] [図1]図1は、従来のコルピッツ発振回路の構成を示す回路図である。
- [図2]図2は、本発明の実施例に係る発振回路の構成を示す回路図である。
- [図3]図3は、本発明の実施例に係る発振回路におけるバイアス用のPMOSトランジスタとNMOSトランジスタのOFF時の等価回路図である。
- [図4]図4は、本発明の実施例に係る発振回路の出力電圧の変動範囲、バイアス用のPMOSトランジスタとNMOSトランジスタのゲート電圧およびゲートソース間電圧の変動範囲を示す図である。
- [図5]図5は、本発明の実施例に係る発振回路における発振起動後の発振波形を示す図である。
- [図6]図6は、従来のピアース発振回路と本発明の実施例に係る発振回路における出力電圧およびトランジスタの電流の波形を示す図である。
- [図7]図7は、ピアース発振回路のインバータの構成を示す回路図である。
- [図8]図8は、従来のピアース発振回路と本発明の実施例に係る発振回路の位相雑音特性を示す図である。
- [図9]図9は、ランガサイト型圧電単結晶の振動子および水晶振動子の等価回路図である。
- [図10]図10は、従来のピアース発振回路の構成を示す回路図である。

### 発明を実施するための形態

- [0011] 以下、本発明の実施例について図面を参照して説明する。まず、本実施例の発振回路の基になるコルピッツ (Colpitts) 発振回路の構成を図1に示す。コルピッツ発振回路は、振動子 $X_1$ と、増幅回路 $A_1$ と、2つの容量 $C_1$ 、 $C_2$ とから構成される。

## [0012] &lt;発振回路の構成&gt;

このコルピッツ発振回路を基に、増幅器を低消費電力化した本実施例の発振回路を図2に示す。本実施例の発振回路は、電源端子（図示しない）と、接地端子（図示しない）と、振動子 $X_1$ と、振動子 $X_1$ の両端子間に直列に接続された容量 $C_1$ 、 $C_2$ と、入力端子が振動子 $X_1$ と容量 $C_1$ との接続点に接続され、出力端子が容量 $C_1$ と容量 $C_2$ との接続点に接続された増幅回路 $A_1$ とを備えている。なお、電源端子とは、電源電圧の高電位側（例えば $V_{dd}$ ）と接続される端子であり、また、接地端子とは、電源電圧の低電位側（例えばアース電位や $V_{ss}$ ）に接続される端子である。

[0013] 増幅回路 $A_1$ は、ソース端子が増幅回路 $A_1$ の出力端子に接続されたNMOSトランジスタ（N型トランジスタ） $M_1$ と、ソース端子が増幅回路 $A_1$ の出力端子に接続されたPMOSトランジスタ（P型トランジスタ） $M_2$ と、ゲート端子にバイアスリセット信号 $\overline{BR}$ が入力され、ドレイン端子がNMOSトランジスタ $M_1$ のゲート端子に接続され、ソース端子が電源電圧 $V_{dd}$ に接続されたPMOSトランジスタ $M_3$ と、ゲート端子にバイアスリセット信号 $\overline{BR}$ が入力され、ドレイン端子がPMOSトランジスタ $M_2$ のゲート端子に接続され、ソース端子がグラウンドに接続されたNMOSトランジスタ $M_4$ と、一端が増幅回路 $A_1$ の入力端子に接続され、他端がNMOSトランジスタ $M_1$ のゲート端子に接続された容量 $C_{out1}$ と、一端が増幅回路 $A_1$ の入力端子に接続され、他端がPMOSトランジスタ $M_2$ のゲート端子に接続された容量 $C_{out2}$ と、発振停止時にNMOSトランジスタ $M_1$ のドレイン端子と電源電圧 $V_{dd}$ とを切り離し、発振動作時にNMOSトランジスタ $M_1$ のドレイン端子と電源電圧 $V_{dd}$ とを接続するスイッチ $SW_1$ と、発振停止時にPMOSトランジスタ $M_2$ のドレイン端子とグラウンドとを切り離し、発振動作時にPMOSトランジスタ $M_2$ のドレイン端子とグラウンドとを接続するスイッチ $SW_2$ とから構成される。

[0014] 容量 $C_{out1}$ は、NMOSトランジスタ $M_1$ のゲート端子及びPMOSトランジスタ $M_3$ のドレイン端子と増幅回路の入力端子との間に接続される。また、

容量 $C_{cut2}$ は、PMOSトランジスタ $M_2$ のゲート端子及びNMOSトランジスタ $M_4$ のドレイン端子と増幅回路の入力端子との間に接続される。これらの容量 $C_{cut1}$ 及び容量 $C_{cut2}$ は、直流電流成分などのノイズを除去する回路部品として機能する。N型トランジスタ( $M_1$ 、 $M_4$ )及びP型トランジスタ( $M_2$ 、 $M_3$ )として、CMOSを用いてもよい。

[0015] 本願の明細書及び請求の範囲において、「AとBとが接続されている」と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

[0016] 例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど)が、AとBとの間に1個以上接続されていてもよい。

[0017] また、スイッチとしてN型又はP型トランジスタを用いる場合、スイッチは、入力端子(ソース端子又はドレイン端子の一方)と、出力端子(ソース端子又はドレイン端子の一方)と、導通を制御する端子(ゲート端子)とを有している。ゲート端子に正又は負の電圧を加えることにより、入力端子から出力端子に対して流れる電流を制御できるため、スイッチとして機能する。スイッチがオンになったとき、スイッチの両端にある端子は接続されたことになり、一方、スイッチがオフになったとき、スイッチの両端にある端子は切り離されたことになる。

[0018] NMOSトランジスタ $M_1$ とPMOSトランジスタ $M_2$ とは、カスコード接続されたコンプリメンタリー(相互補完)対を構成している。NMOSトランジスタ $M_1$ のゲート端子は、PMOSトランジスタ $M_3$ のON時に電源電圧 $V_{dd}$ と接続され、容量 $C_1$ 、 $C_{cut1}$ を介して増幅回路 $A_1$ の出力電圧が帰還さ

れるようになっている。PMOSトランジスタ $M_2$ のゲート端子は、NMOSトランジスタ $M_4$ のON時にグラウンドと接続され、容量 $C_1$ 、 $C_{out2}$ を介して増幅回路 $A_1$ の出力電圧が帰還されるようになっている。

[0019] <発振回路の動作>

PMOSトランジスタ $M_3$ 、NMOSトランジスタ $M_4$ のゲート端子に入力されるバイアスリセット信号バーBR及びバイアスリセット信号BR、スイッチ $SW_1$ 、スイッチ $SW_2$ を制御する発振許可信号ENは、発振の開始動作、停止動作、及び発振動作を制御する制御回路（図示しない）を発振回路の内部あるいは外部に設けることにより実現することができる。

[0020] 発振起動する際は高いトランスコンダクタンス $g_m$ が必要であるので、バイアスリセット信号BRは発振停止時にHigh、バイアスリセット信号バーBRは発振停止時にLowとなっている。したがって、PMOSトランジスタ $M_3$ とNMOSトランジスタ $M_4$ がON状態となり、NMOSトランジスタ $M_1$ とPMOSトランジスタ $M_2$ がON状態となる。

[0021] また、発振停止時には発振許可信号ENがLowとなり、スイッチ $SW_1$ 、 $SW_2$ がOFF状態となる。スイッチ $SW_1$ 、 $SW_2$ としては、例えばNMOSトランジスタを使用することができる。スイッチ $SW_1$ となるNMOSトランジスタのゲート端子には発振許可信号ENが入力され、ドレイン端子が電源電圧 $V_{dd}$ に接続され、ソース端子がNMOSトランジスタ $M_1$ のドレイン端子に接続される。スイッチ $SW_2$ となるNMOSトランジスタのゲート端子には発振許可信号ENが入力され、ドレイン端子がPMOSトランジスタ $M_2$ のドレイン端子に接続され、ソース端子がグラウンドに接続される。

[0022] 一方、発振動作時には、バイアスリセット信号BRがLow、バイアスリセット信号バーBRがHighとなる。したがって、PMOSトランジスタ $M_3$ とNMOSトランジスタ $M_4$ がOFF状態となる。このOFF状態のとき、PMOSトランジスタ $M_3$ は、図3(A)のようにダイオード $D_1$ と抵抗 $R_1$ とからなる等価回路で表される。また、NMOSトランジスタ $M_4$ は、図3(B)のようにダイオード $D_2$ と抵抗 $R_2$ とからなる等価回路で表される。



[0023] すなわち、PMOSトランジスタ $M_3$ がOFFの状態では、NMOSトランジスタ $M_1$ のゲート電圧 $V_{gN}$ は、ダイオード $D_1$ のリーク電流による電圧でバイアスされることになる。同様に、NMOSトランジスタ $M_4$ がOFFの状態では、PMOSトランジスタ $M_2$ のゲート電圧 $V_{gP}$ は、ダイオード $D_2$ のリーク電流による電圧でバイアスされることになる。抵抗 $R_1$ はダイオード $D_1$ のリーク電流が流れる抵抗成分を表し、抵抗 $R_2$ はダイオード $D_2$ のリーク電流が流れる抵抗成分を表している。

[0024] PMOSトランジスタ $M_3$ を例にとると、ダイオード $D_1$ のリーク電流は、常にNMOSトランジスタ $M_1$ のゲート電圧 $V_{gN}$ を引き上げて、発振を維持するように働く。大信号により発振が始まると、NMOSトランジスタ $M_1$ のゲート端子は、容量 $C_1$ 、 $C_{out1}$ を介した増幅回路 $A_1$ の出力からの帰還によって動的にバイアスされる。ただし、ダイオード $D_1$ により、NMOSトランジスタ $M_1$ のゲート電圧 $V_{gN}$ は、最高値が $V_{th3} + V_{dd}$ の電圧値にクランプされることになる（ $V_{th3}$ はPMOSトランジスタ $M_3$ のしきい値電圧）。同様に、ダイオード $D_2$ により、PMOSトランジスタ $M_2$ のゲート電圧 $V_{gP}$ は、最低値が $-V_{th4}$ の電圧値にクランプされることになる（ $V_{th4}$ はNMOSトランジスタ $M_4$ のしきい値電圧）。

[0025] 発振動作時における発振回路（増幅回路 $A_1$ ）の出力電圧 $V_{out}$ 、NMOSトランジスタ $M_1$ のゲート電圧 $V_{gN}$ 、PMOSトランジスタ $M_2$ のゲート電圧 $V_{gP}$ 、NMOSトランジスタ $M_1$ のゲートソース間電圧 $V_{gsN}$ 、PMOSトランジスタ $M_2$ のゲートソース間電圧 $V_{gsP}$ の変動範囲を図4に示す。

また、発振動作時には発振許可信号ENがHighとなり、スイッチ $SW_1$ 、 $SW_2$ がON状態となる。

[0026] <発振回路の発振波形>

発振起動後の発振波形を図5に示す。 $I_N$ はNMOSトランジスタ $M_1$ のソース電流、 $I_P$ はPMOSトランジスタ $M_2$ のソース電流である。NMOSトランジスタ $M_1$ のゲートソース間電圧 $V_{gsN}$ とPMOSトランジスタ $M_2$ のゲートソース間電圧 $V_{gsP}$ は、発振起動時（バイアスリセット信号バーBRと

発振許可信号ENがHighになったとき)に比較的高い電圧から始まり、その後、発振定常状態で $-V_{th4}$ から $V_{th3}$ の電圧範囲に収まることが分かる。したがって、NMOSトランジスタ $M_1$ とPMOSトランジスタ $M_2$ を流れる電流は、定常状態では非常に小さくなる。

[0027] 図6は、発振定常状態における発振回路の出力電圧 $V_{out}$ 、NMOSトランジスタ $M_1$ のソース電流 $I_N$ 、およびPMOSトランジスタ $M_2$ のソース電流 $I_P$ の波形を示す図である。ここでは、 $C_1=18\text{ pF}$ 、 $C_2=9\text{ pF}$ とし、発振回路(増幅回路 $A_1$ )の出力端子に接続される負荷の容量を $6\text{ pF}$ とした。

[0028] 比較のため、容量 $C_1$ 、 $C_2$ と負荷容量を本実施例と同じ値にしたときのピアース発振回路の出力電圧 $V_{out10}$ と、インバータのトランジスタの電流 $I_{N10}$ 、 $I_{P10}$ を図6に示す。図10に示したピアース発振回路のインバータIN $V_{10}$ は、図7に示すようにPMOSトランジスタ $M_5$ と、NMOSトランジスタ $M_6$ とから構成される。

[0029] 図6から分かるように、ピアース発振回路の電流 $I_{N10}$ 、 $I_{P10}$ に比べ、本実施例の発振回路の電流 $I_N$ 、 $I_P$ は、出力電圧 $V_{out}$ が極値になるタイミングにおいてのみ流れ、また電流量も非常に小さい。したがって、本実施例によれば、発振状態において大幅な低電力化を実現できることが分かる。実際に、本実施例の発振回路の定常状態消費電力 $P_{ss}$ は、ピアース発振回路の定常状態消費電力に比べて約 $1/10$ と小さいことが分かった。

[0030] <発振回路の位相雑音特性>

図8に、本実施例の発振回路と従来のピアース発振回路のそれぞれの位相雑音特性を示す。図8の $N_0$ はピアース発振回路の位相雑音を示し、 $N_1$ は本実施例の発振回路の位相雑音を示している。通信機器に重要な発振回路性能である位相雑音は、従来のピアース発振回路と比較すると、発振回路の基本周波数に対するオフセット周波数が $100\text{ Hz}$ までの範囲で約 $9\text{ dB}$ 改善されることが分かった。このように、本実施例の発振回路を使うことで、通信機器の低位相雑音化にも貢献できることが明らかとなった。

[0031] <発振回路における振動子>

発振回路の振動子 $X_1$ としては、水晶型振動子、ランガサイト型圧電単結晶振動子等の種々の振動子を用いることができる。発振回路をより高速で発振起動させ、より低い発振起動エネルギーを実現するために、本実施例では、振動子 $X_1$ としてランガサイト型圧電単結晶の振動子を用いる。ランガサイト型圧電単結晶は種々あるが、実験では $\text{Ca}_3\text{TaGa}_3\text{Si}_2\text{O}_{14}$  (CTGSと呼ぶ)を用いた振動子を使った。ランガサイトとは、CTGSのほか、 $\text{Ca}_3\text{NbGa}_3\text{Si}_2\text{O}_{14}$  (CNGSと呼ぶ)、 $\text{Ca}_3\text{Ta}(\text{Ga}_{1-x}\text{Al}_x)_3\text{Si}_2\text{O}_{14}$  (CTGASと呼ぶ)、 $\text{Ca}_3\text{Nb}(\text{Ga}_{1-x}\text{Al}_x)_3\text{Si}_2\text{O}_{14}$  (CNGASと呼ぶ)などの化学組成で表現される単結晶であり、ランガサイト型圧電単結晶は、CTGSを用いた振動子に限定されるものではない。使用したCTGS振動子、ならびに参考のため使用した水晶振動子(Quartz)の等価回路を図9(A)、図9(B)に示す。図9(B)は図9(A)を簡略化した等価回路図である。図9(A)、図9(B)の線100より左側は振動子の等価回路を示し、線100より右側は発振回路の等価回路を示している。容量 $C_L$ 、インダクタンス $L_m$ 、抵抗 $R_m$ 、容量 $C_m$ 、抵抗 $R_x$ 、Q値を表1に示す。

[0032] [表1]

	CTGS	Quartz
$C_L$ (pF)	6 ( $C_1 = 18$ pF, $C_2 = 9$ pF)	
$L_m$ (mH)	1.45	13.2
$R_m$ ( $\Omega$ )	6.2	16.9
$C_m$ (fF)	30	3.6
$R_x$ ( $\Omega$ )	10.2	24.3
Q	35267	117607

[0033] 振動子 $X_1$ としてCTGS振動子を用いて実験した結果、本実施例の発振回路の発振起動時間 $T_s$ は0.37msで、発振起動エネルギー $E_s$ は30nJとなった。一方、振動子 $X_1$ として水晶振動子を用いた場合、図2の発振回

路の発振起動時間 $T_s$ は3.6ms、発振起動エネルギー $E_s$ は320nJであった。

[0034] したがって、振動子 $X_1$ としてCTGS振動子を用いた場合、水晶振動子を用いた場合よりも約一桁早い発振起動時間を実現することができ、発振起動エネルギーも約一桁小さくすることができ、低消費電力化を実現できることが確認された。

[0035] 以上のように、本実施例によれば、高速発振起動を実現することができ、発振起動後の定常発振状態において低消費電力の発振回路を実現することができる。

したがって、本実施例の発振回路を例えば携帯電話機やIoT機器などの電子機器に適用すれば、低消費電力の電子機器の実現に貢献することができる。

#### 産業上の利用可能性

[0036] 本発明は、小型電子機器で用いる発振回路に適用することができる。

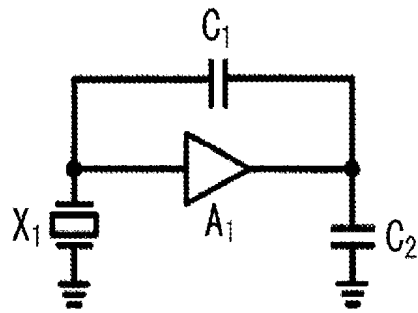
#### 符号の説明

[0037]  $A_1$ …増幅回路、 $C_1$ 、 $C_2$ 、 $C_{cut1}$ 、 $C_{cut2}$ …容量、 $M_1$ ～ $M_4$ …トランジスタ、 $SW_1$ 、 $SW_2$ …スイッチ、 $X_1$ …振動子。

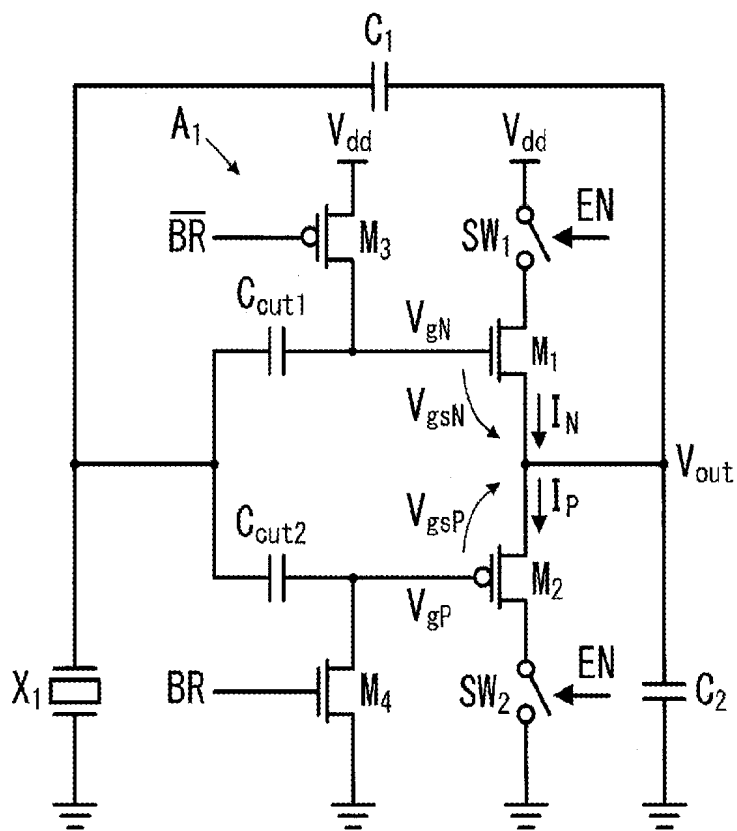
## 請求の範囲

- [請求項1] 電源端子と、接地端子と、振動子と、  
前記振動子の両端の間に直列に接続された第1及び第2の容量と、  
前記振動子と前記第1の容量に接続される入力端子と、前記第1の容量と前記第2の容量に接続される出力端子と、ソース端子が前記出力端子に接続され、ドレイン端子が前記電源端子と接続された第1のスイッチに接続され、ゲート端子が前記入力端子に接続される第1のN型トランジスタと、ソース端子が前記出力端子に接続され、ドレイン端子が前記接地端子と接続された第2のスイッチに接続され、ゲート端子が前記入力端子に接続される第1のP型トランジスタと、ソース端子が前記電源端子に接続され、ドレイン端子が前記第1のN型トランジスタのゲート端子及び前記入力端子に接続される第2のP型トランジスタと、ソース端子が前記接地端子に接続され、ドレイン端子が前記第1のP型トランジスタのゲート端子及び前記入力端子に接続される第2のN型トランジスタを有する増幅回路  
を含む発振回路。
- [請求項2] 請求項1の発振回路において、  
前記第1のスイッチは、発振動作時に前記第1のN型トランジスタのドレインと前記電源端子とを接続し、発振停止時に当該第1のN型トランジスタのドレインと前記電源端子とを切り離し、前記第2のスイッチは、発振動作時に前記第1のP型トランジスタのドレインと前記接地端子とを接続し、発振停止時に当該前記第1のP型トランジスタのドレインと前記接地端子とを切り離し、前記第2のP型トランジスタのゲートは発振動作時にオフに、発振停止時にオンになるよう制御され、前記第2のN型トランジスタのゲートは発振動作時にオフに、発振停止時にオンになるよう制御される発振回路。
- [請求項3] 請求項1及び2のいずれか1項に記載の発振回路を備えたことを特徴とする電子機器。

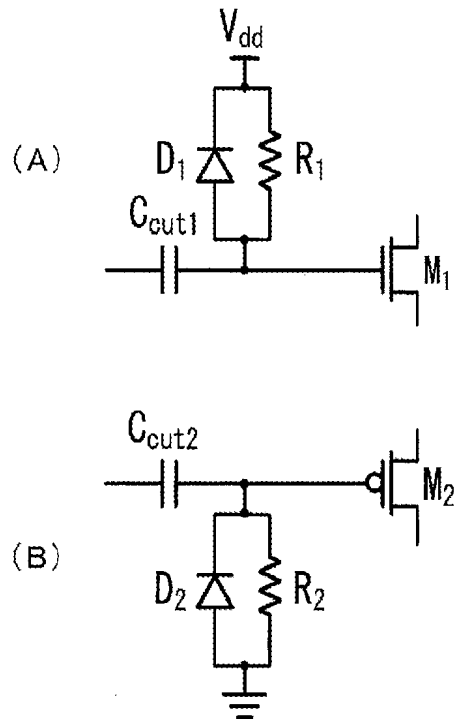
[図1]



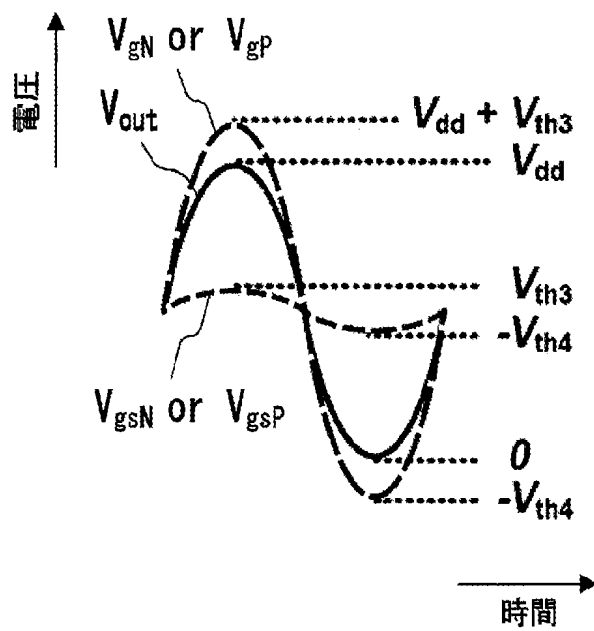
[図2]



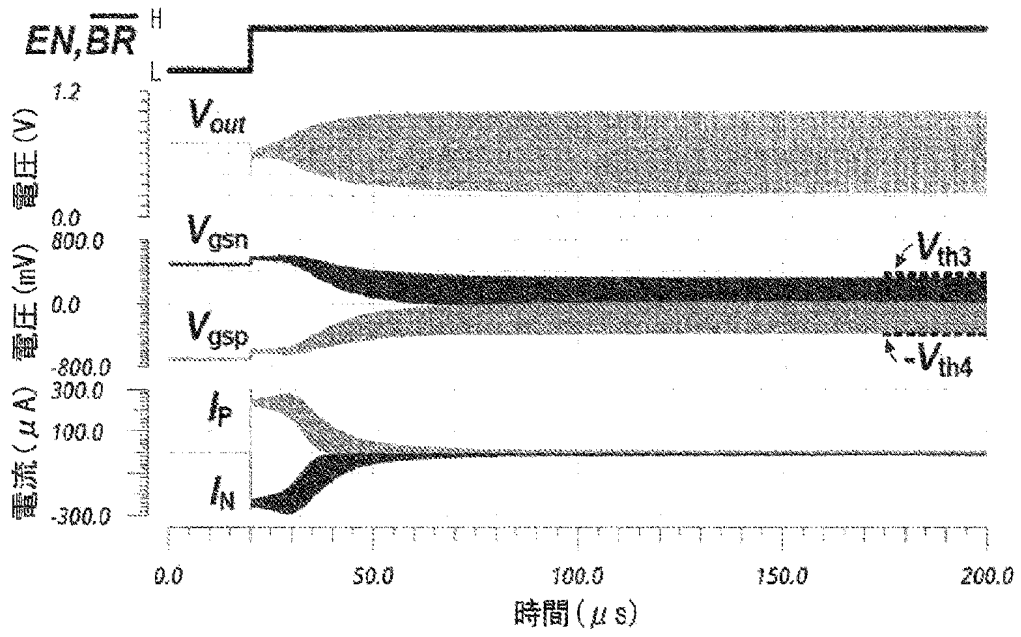
[図3]



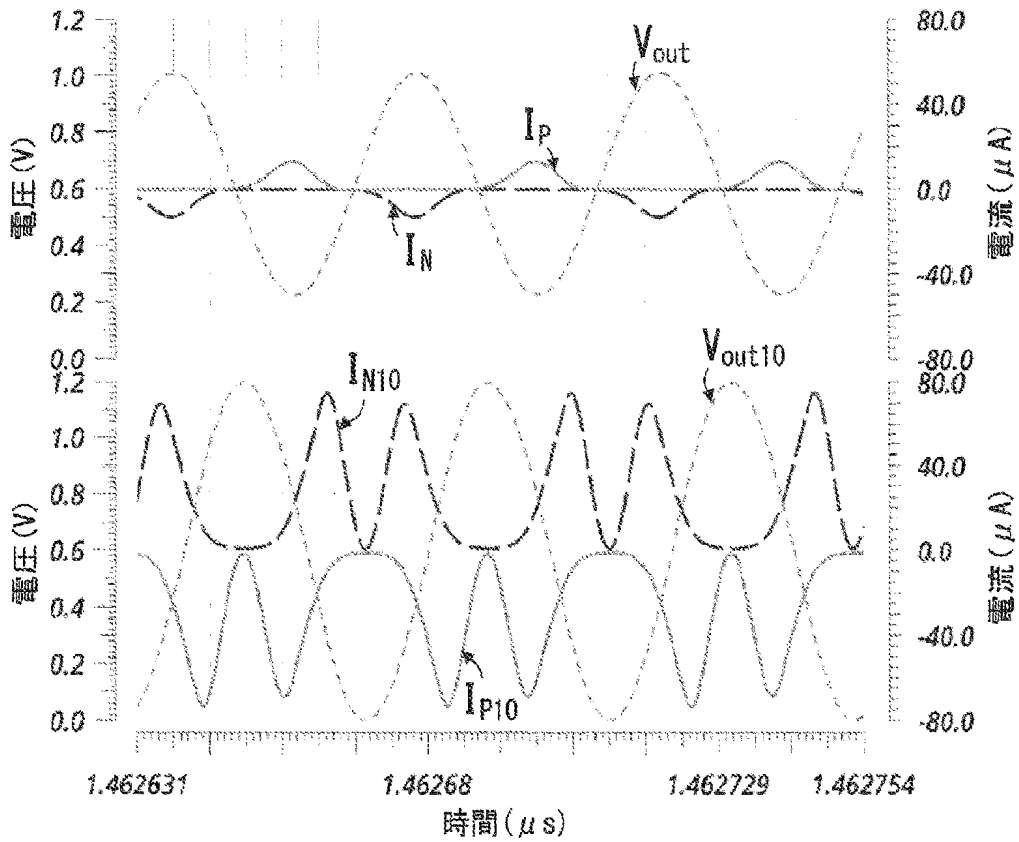
[図4]



[図5]

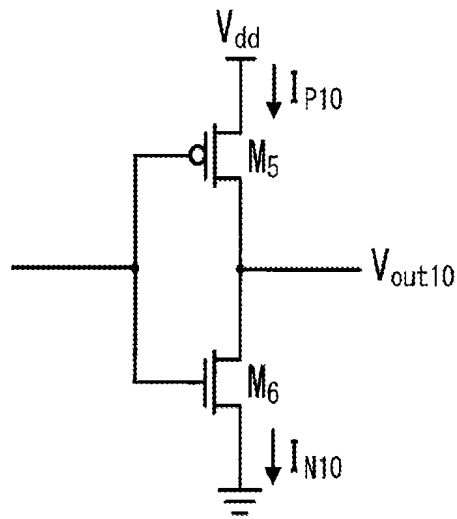


[図6]

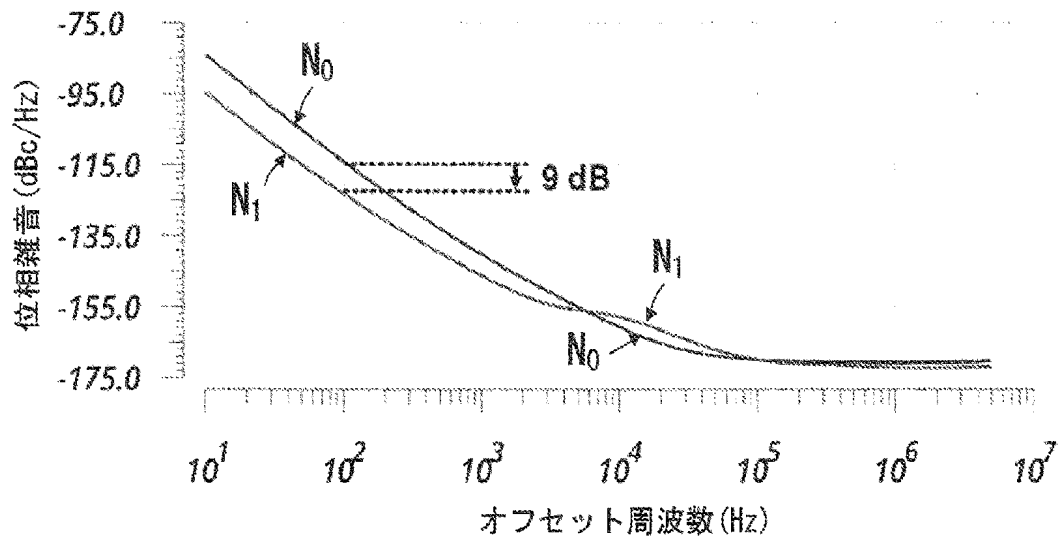




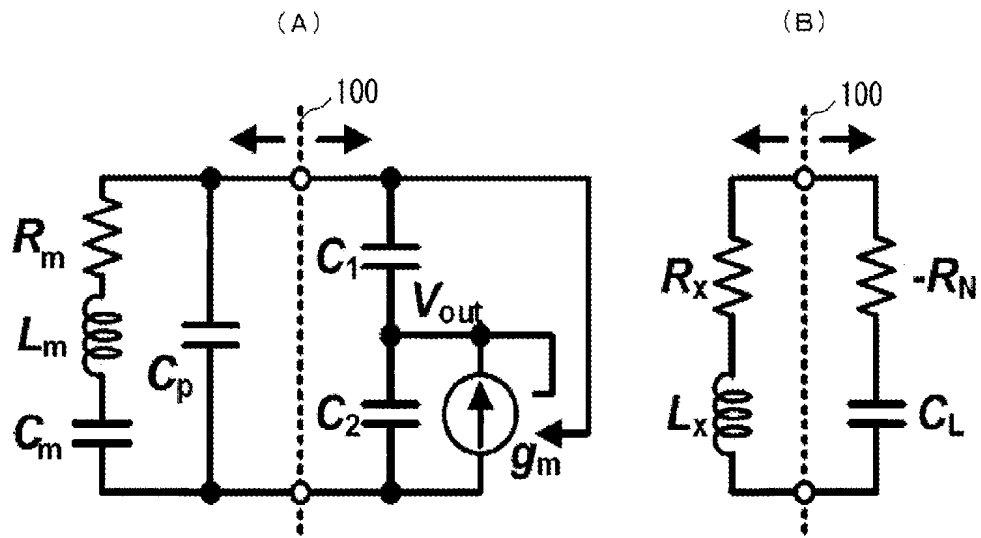
[図7]



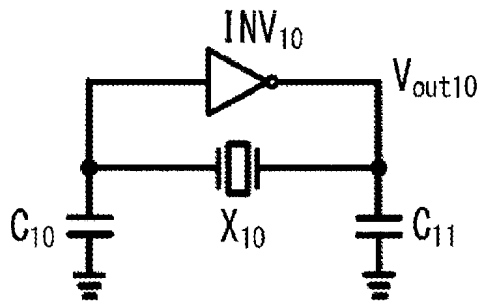
[図8]



[図9]



[図10]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2021/017498

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H03B5/32(2006.01) i, H03B5/36(2006.01) i  
FI: H03B5/32 Z, H03B5/36

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03B5/32, H03B5/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
Published unexamined utility model applications of Japan 1971-2021  
Registered utility model specifications of Japan 1996-2021  
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 55-53906 A (CITIZEN WATCH CO., LTD.) 19 April 1980, p. 1, lower right column, line 16 to p. 3, upper left column, line 10, fig. 1-5	1-3
A	JP 2005-86664 A (SEIKO EPSON CORP.) 31 March 2005, paragraphs [0023]-[0033], fig. 1	1-3
A	JP 2005-244546 A (CITIZEN WATCH CO., LTD.) 08 September 2005, paragraphs [0031]-[0063], fig. 1-9	1-3
A	US 6160457 A (FARADAY TECHNOLOGY CORP.) 12 December 2000, column 3, line 38 to column 4, line 58, fig. 2	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09.06.2021

Date of mailing of the international search report

22.06.2021

Name and mailing address of the ISA/

Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2021/017498

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/0121752 A1 (NOVATEK MICROELECTRONICS CORP.) 14 May 2009, paragraphs [0005]-[0032], fig. 1-5	1-3
A	US 2011/0241791 A1 (HUNG, Shuo-Chun) 05 October 2011, paragraphs [0018]-[0022], fig. 1A	1-3

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2021/017498

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 55-53906 A	19.04.1980	(Family: none)	
JP 2005-86664 A	31.03.2005	(Family: none)	
JP 2005-244546 A	08.09.2005	(Family: none)	
US 6160457 A	12.12.2000	(Family: none)	
US 2009/0121752 A1	14.05.2009	TW 200921617 A	
US 2011/0241791 A1	06.10.2011	TW 201134102 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H03B 5/32(2006.01); H03B 5/36(2006.01); FI: H03B5/32 Z; H03B5/36</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H03B5/32; H03B5/36</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2021年																						
日本国実用新案登録公報	1996 - 2021年																						
日本国登録実用新案公報	1994 - 2021年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 55-53906 A (CITIZEN WATCH CO LTD) 19.04.1980 (1980-04-19) 第1頁右下欄第16行-第3頁左上欄第10行, 第1図-第5図</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>JP 2005-86664 A (セイコーエプソン株式会社) 31.03.2005 (2005-03-31) 段落[0023]-[0033], 図1</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>JP 2005-244546 A (シチズン時計株式会社) 08.09.2005 (2005-09-08) 段落[0031]-[0063], 図1-9</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>US 6160457 A (FARADAY TECHNOLOGY CORP.) 12.12.2000 (2000-12-12) 第3欄第38行-第4欄第58行, 図2</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>US 2009/0121752 A1 (NOVATEK MICROELECTRONICS CORP.) 14.05.2009 (2009-05-14) 段落[0005]-[0032], 図1-5</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>US 2011/0241791 A1 (HUNG SHUO-CHEN) 06.10.2011 (2011-10-06) 段落[0018]-[0022], 図1A</td> <td>1-3</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>"A" 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>"I" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>"O" 口頭による開示、使用、展示等に言及する文献</p> <p>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>"&amp;" 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 55-53906 A (CITIZEN WATCH CO LTD) 19.04.1980 (1980-04-19) 第1頁右下欄第16行-第3頁左上欄第10行, 第1図-第5図	1-3	A	JP 2005-86664 A (セイコーエプソン株式会社) 31.03.2005 (2005-03-31) 段落[0023]-[0033], 図1	1-3	A	JP 2005-244546 A (シチズン時計株式会社) 08.09.2005 (2005-09-08) 段落[0031]-[0063], 図1-9	1-3	A	US 6160457 A (FARADAY TECHNOLOGY CORP.) 12.12.2000 (2000-12-12) 第3欄第38行-第4欄第58行, 図2	1-3	A	US 2009/0121752 A1 (NOVATEK MICROELECTRONICS CORP.) 14.05.2009 (2009-05-14) 段落[0005]-[0032], 図1-5	1-3	A	US 2011/0241791 A1 (HUNG SHUO-CHEN) 06.10.2011 (2011-10-06) 段落[0018]-[0022], 図1A	1-3
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 55-53906 A (CITIZEN WATCH CO LTD) 19.04.1980 (1980-04-19) 第1頁右下欄第16行-第3頁左上欄第10行, 第1図-第5図	1-3																					
A	JP 2005-86664 A (セイコーエプソン株式会社) 31.03.2005 (2005-03-31) 段落[0023]-[0033], 図1	1-3																					
A	JP 2005-244546 A (シチズン時計株式会社) 08.09.2005 (2005-09-08) 段落[0031]-[0063], 図1-9	1-3																					
A	US 6160457 A (FARADAY TECHNOLOGY CORP.) 12.12.2000 (2000-12-12) 第3欄第38行-第4欄第58行, 図2	1-3																					
A	US 2009/0121752 A1 (NOVATEK MICROELECTRONICS CORP.) 14.05.2009 (2009-05-14) 段落[0005]-[0032], 図1-5	1-3																					
A	US 2011/0241791 A1 (HUNG SHUO-CHEN) 06.10.2011 (2011-10-06) 段落[0018]-[0022], 図1A	1-3																					
<p>国際調査を完了した日</p> <p>09.06.2021</p>	<p>国際調査報告の発送日</p> <p>22.06.2021</p>																						
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>志津木 康 5W 1787</p> <p>電話番号 03-3581-1101 内線 3576</p>																						

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/017498

引用文献	公表日	パテントファミリー文献	公表日
JP 55-53906 A	19.04.1980	(ファミリーなし)	
JP 2005-86364 A	31.03.2005	(ファミリーなし)	
JP 2005-244546 A	08.09.2005	(ファミリーなし)	
US 6160457 A	12.12.2000	(ファミリーなし)	
US 2009/0121752 A1	14.05.2009	TW 200921617 A	
US 2011/0241791 A1	06.10.2011	TW 201134102 A	