

J-PARC MR 「新」電磁石電源の開発

小関国夫、栗本佳典、森田裕一
高エネルギー加速器研究機構

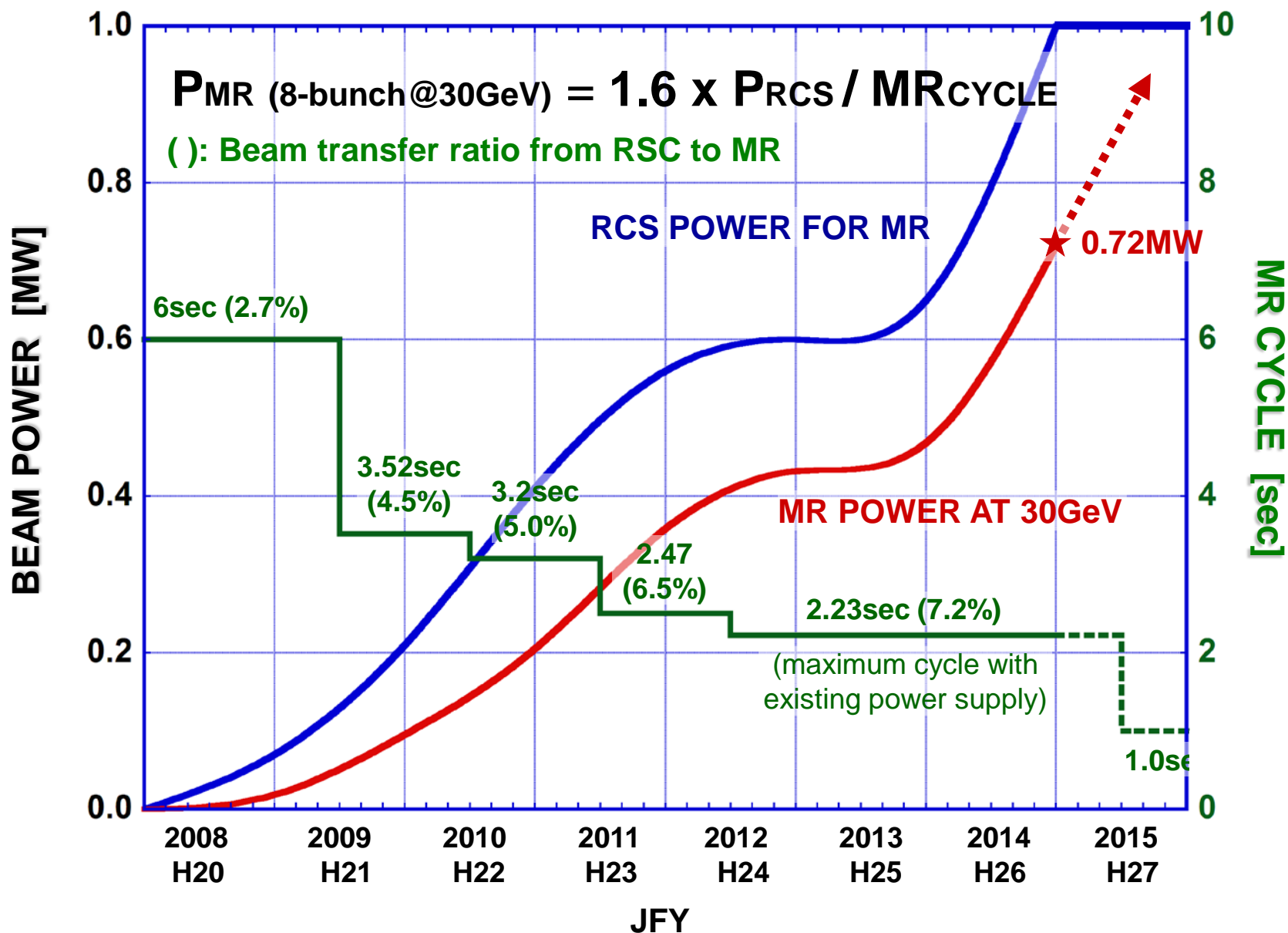
Contents

- 1) J-PARC MRにおける大強度化
- 2) 「新」電磁石電源に対する仕様 (FX&SXの両立)
- 3) 高繰返し化に伴う電力変動とその抑制方法
- 4) 超高精度出力のためのフルデジタル制御システム
- 5) NPCインバータによるコモンモード電流抑制
- 6) BM2 (J-PARC実負荷) による実証試験
- 7) 今後のシナリオとまとめ

- 1) J-PARC MRにおける大強度化
- 2) 「新」電磁石電源に対する仕様 (FX&SXの両立)
 - ・高繰返し化に伴う「高電圧出力化」と「電力変動」
 - ・出力電流の超高精度化 (低リップル&低追従誤差)
 - ・コモンモード電流
 - ・電源の種類一覧 (ダイオード整流とIGBT整流) ・多様な電源構成
 - ・概略主回路構成
- 3) 高繰返し化に伴う電力変動とその抑制方法
 - ・コンデンサによるエネルギー貯蔵とフライホイールとの比較
 - ・3相PWMコンバータによるパターン電圧制御
 - ・フライングキャパシタによる高電圧出力化
 - ・ミニ電源による原理実証試験
 - ・コンデンサにおける懸案事項
- 4) 超高精度出力のためのフルデジタル制御システムの構築
 - ・24bit ADCによる超高精度電流検出
 - ・フィードバック制御装置 (基板概要)
 - ・並列多重・位相シフトによるリップル低減
 - ・追従誤差 (トラッキングエラー) の除去
 - ・渦電流磁場補正
- 5) NPCインバータによるコモンモード電流抑制
 - ・スイッチングモードの選択
 - ・NPCインバータの開発
- 6) BM2 (J-PARC実負荷) による実証試験
 - ・試験回路構成
 - ・リップル及び追従誤差の検証とケーブル容量低減の必要性
 - ・磁場測定 (6極成分、リップル)
- 7) 今後の開発シナリオと量産体制の確立
 - ・PCIバスを利用した大型電源用PWM装置の開発
 - ・フライングキャパシタの原理実証
 - ・位相シフトによる並列多重技術の確立
 - ・4kV-NPCインバータの開発
 - ・バンクコンデンサの開発

1) J-PARC MRにおける大強度化

J-PARC MRにおける大強度化



今後MRでは繰返しを上げる事でビーム強度を増強⇒高繰返し出力の電源開発が必要

2) 「新」電磁石電源に対する仕様 (FXとSXの両立)

「新」電磁石電源に対する仕様（FX&SXの両立）

Ex) 偏向電磁石における出力特性

	現行電源	新電源
最大出力電圧	3 kV	6 kV
最大出力電流	1560 A	1560 A
最大出力電力	5 MW	10 MW
繰返し	2.5 秒	1.3 秒
リップル	100ppm	2ppm
追従誤差	100ppm	10ppm(?)

～「新」電源における課題～

- ・ 高繰返し化に伴う「高電圧化」と「電力変動」
- ・ 出力電流の超高精度化（低リップル&低追従誤差）
- ・ 高電圧出力におけるコモンモード抑制
- ・ 多様な電源（B, Q, 6極）におけるコストと性能の両立

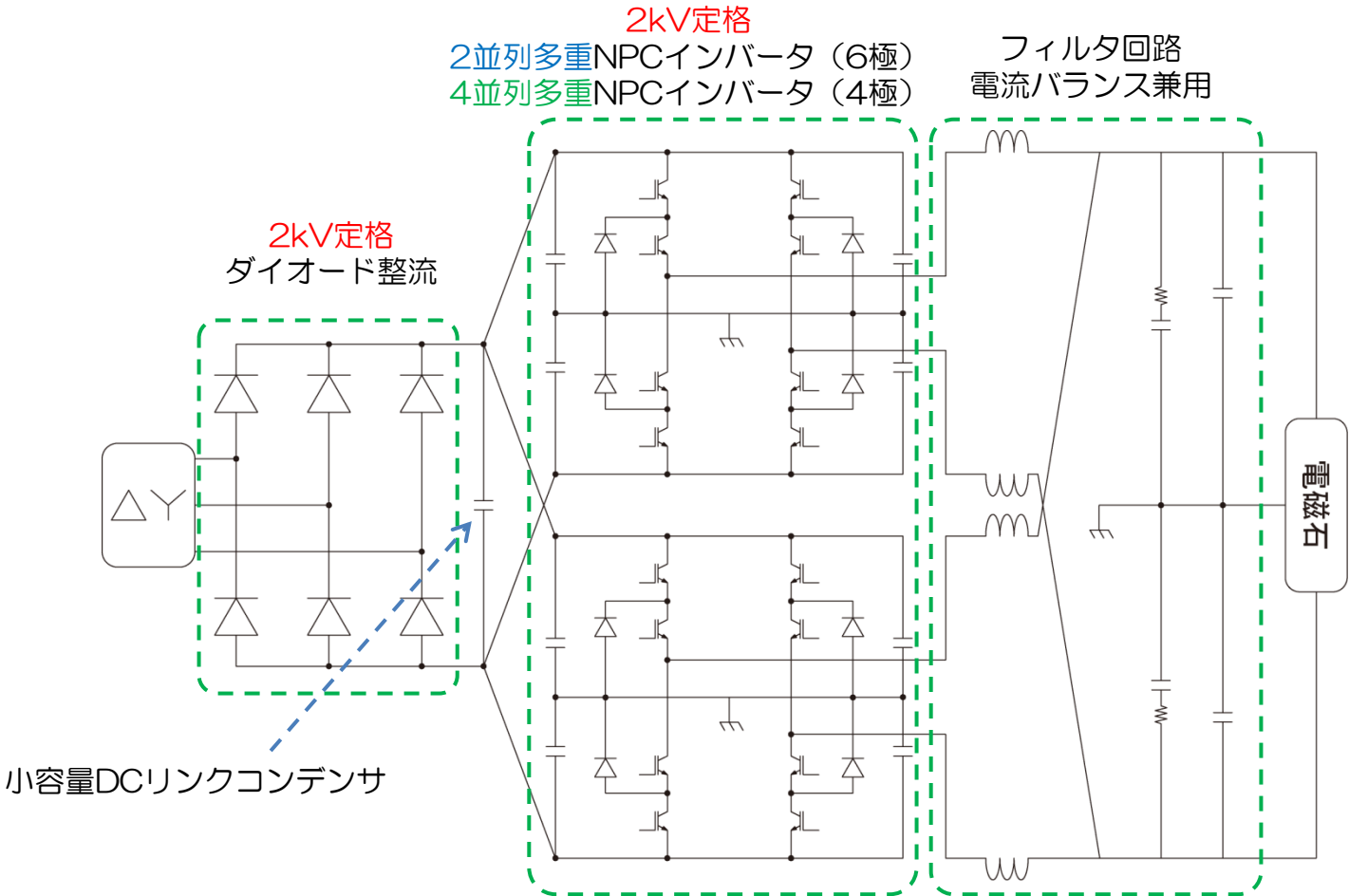
「新」電磁石電源に対する仕様（FX&SXの両立）

Magnet Family Name	# of Mag.	# of P. S.	Flat-base current (A)	Flat-top current [A]	Peak Output voltage [kV]	Required Charging Voltage [kV] (# of inverters)	Peak output power [MVA]	整流方式
BM1-6	96	6	193	1570	6.6	12(3)	9	3Phase PWM
QFP	6	1	82	670	0.4	0.9(1)	0.3	Diode
QFS	6	1	84	680	0.5	0.9(1)	0.3	Diode
QFT	6	1	95	770	0.7	1.3(1)	0.5	Diode
QDR	6	1	79	640	0.7	1.3(1)	0.4	Diode
QDT	6	1	92	750	0.8	1.5(1)	0.6	Diode
QDS	6	1	107	870	0.9	1.6(1)	0.6	Diode
QDN	48	1	87	710	6.5	11.7(3)	4.1	3Phase PWM
QFN	48	1	87	710	5.5	10.0(3)	3.5	3Phase PWM
QDX	27	1	87	705	3.3	6.0(3)	2.0	3Phase PWM
QFX	48	1	89	725	4.7	8.5(3)	3.0	3Phase PWM
QFR	9	1	101	820	1.3	2.4(1)	0.9	Diode
SFA		1	25	250	0.8	1	0.1	Diode
SDA		1	25	250	0.8	1	0.1	Diode
SDB		1	25	250	0.8	1	0.1	Diode

全ての電源（20台）で3相PWMコンバータによる整流が望ましいが、コスト低減の観点から小型電源ではダイオード整流を採用。（ダイオード整流においても**系統の影響を受けないシステムが必要**）

小型電源 (QFP, QFS, QFT, QDR, QDT, QDS, SFA, SDA, SDB)

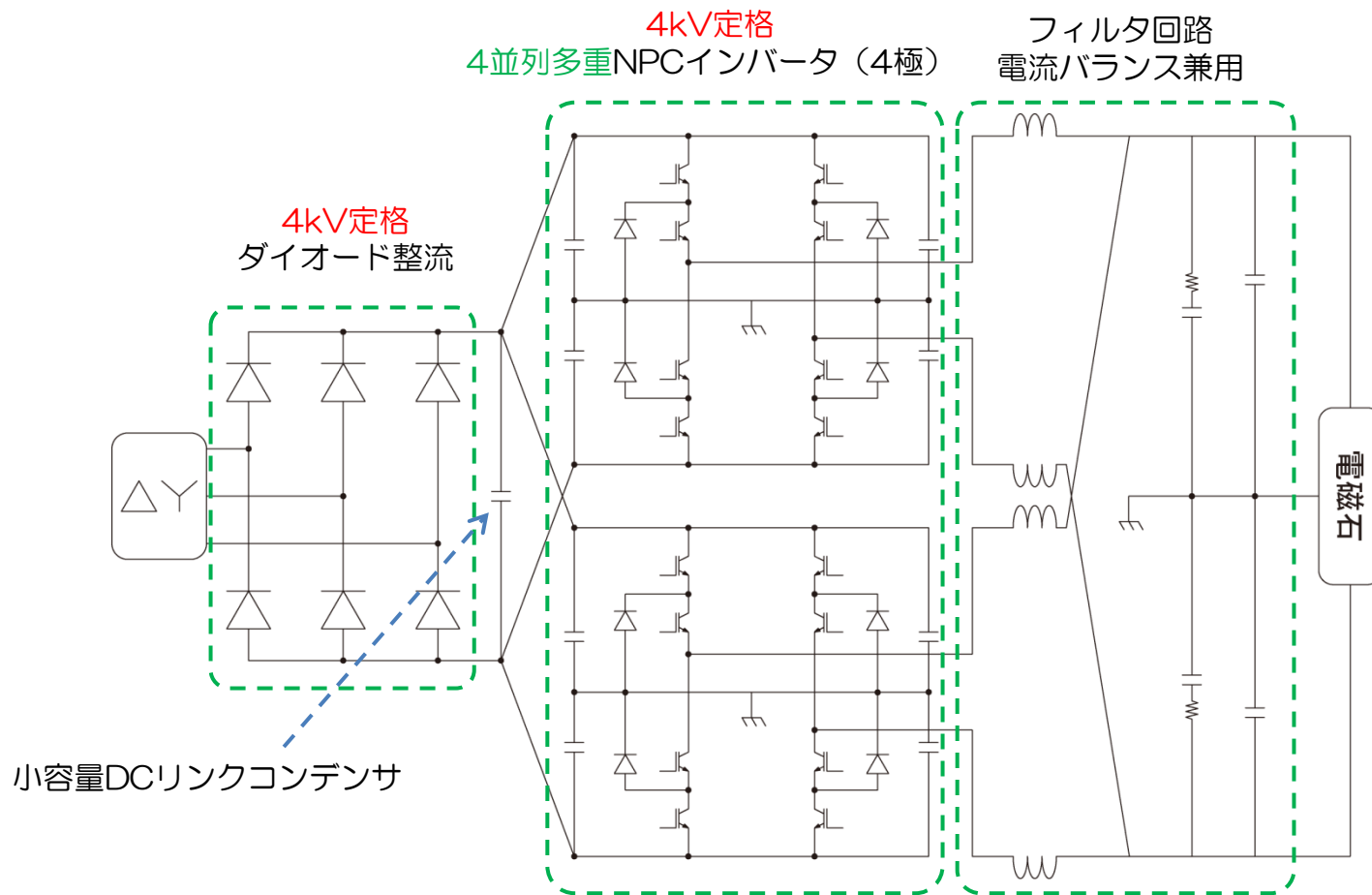
⇒ダイオード整流 & 2kV-NPCインバータ



整流回路にダイオードを用いると、
「系統の電圧変動」、「相間アンバランス」、「タップ切替え」
の影響により出力偏差に時間変動が生じる
⇒系統の影響が少ないシステムが必要。
⇒コンデンサ電圧をフィードバックに取り込み、これによってインバータをPWM制御する。

中型電源 (QFR)

⇒ダイオード整流 & 4kV-NPCインバータ



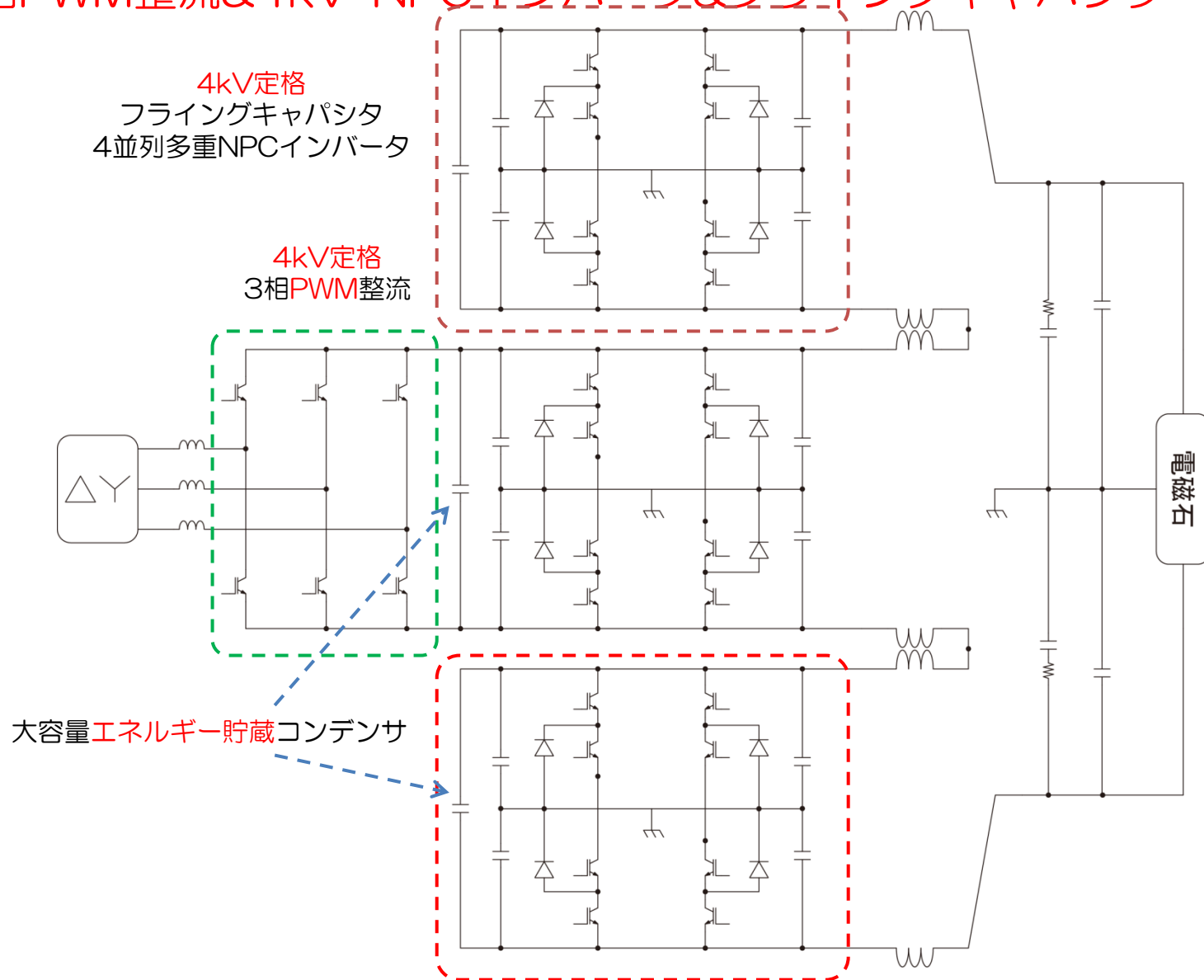
小型電源よりもさらに高電圧出力が要求されるため、新規インバータ開発が必須。

⇒

最大充電電圧4kVのNPCインバータを開発し、大型電源でも使用可能とする。

大型電源 (B, QDN, QFN, QDX, QFX)

⇒ 3相PWM整流&4kV-NPCインバータ&フライングキャパシタ



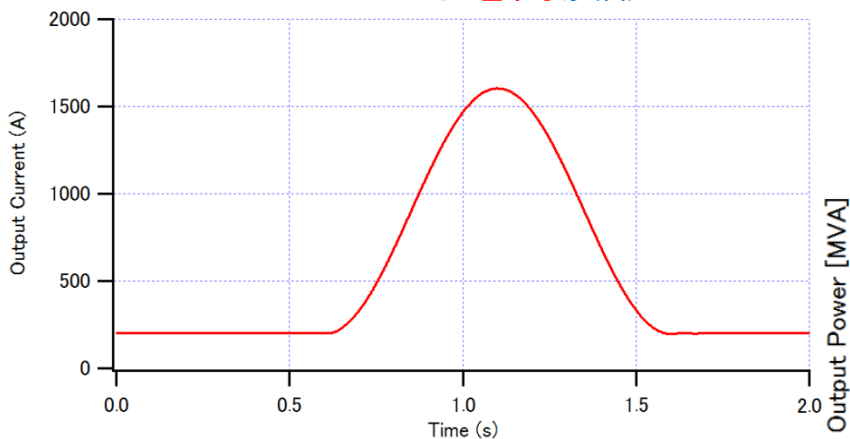
中型電源に開発した4kV-NPCインバータを使用し、フライングキャパシタ方式 (CERNで開発; J. P. Burnet, et, al.) と併用して最大6kVの高電圧出力に対応

3) 高繰り返し化に伴う電力変動とその抑制方法

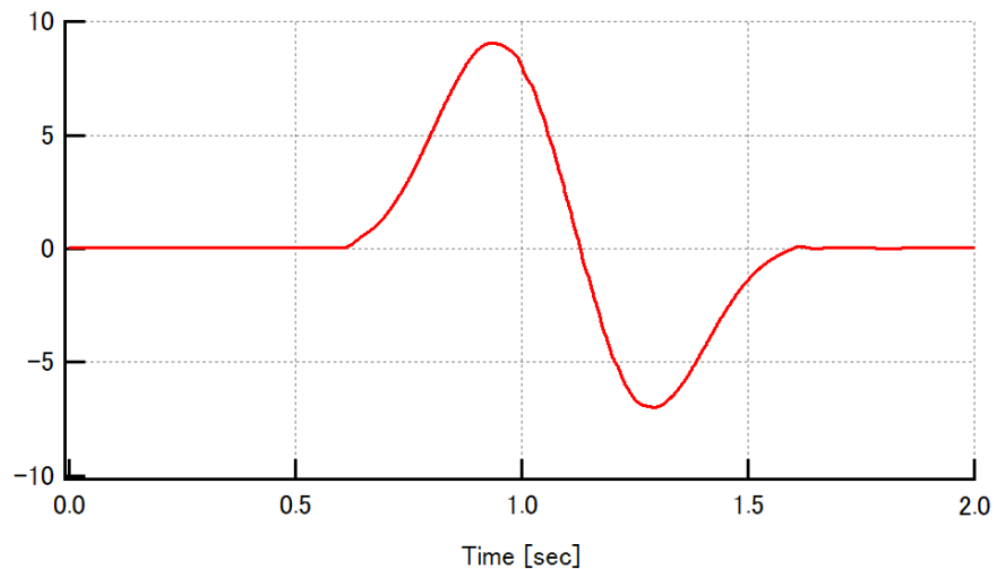
3) 高繰返し化に伴う電力変動とその抑制方法

Ex) 偏向電磁石における電力変動

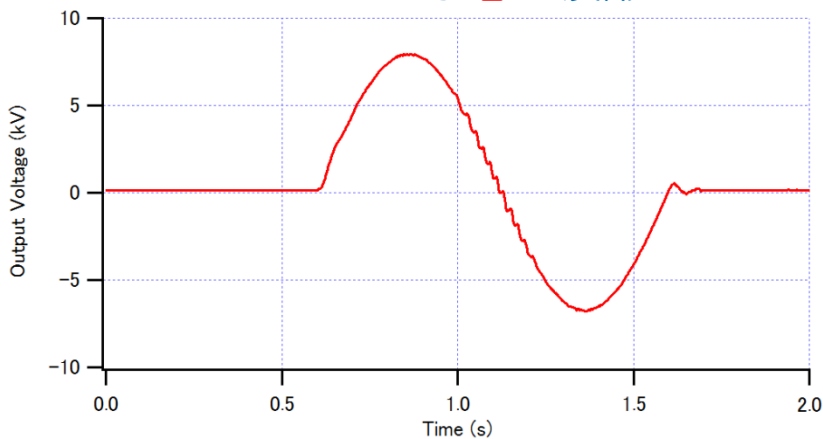
出力電流波形



出力電力波形



出力電圧波形



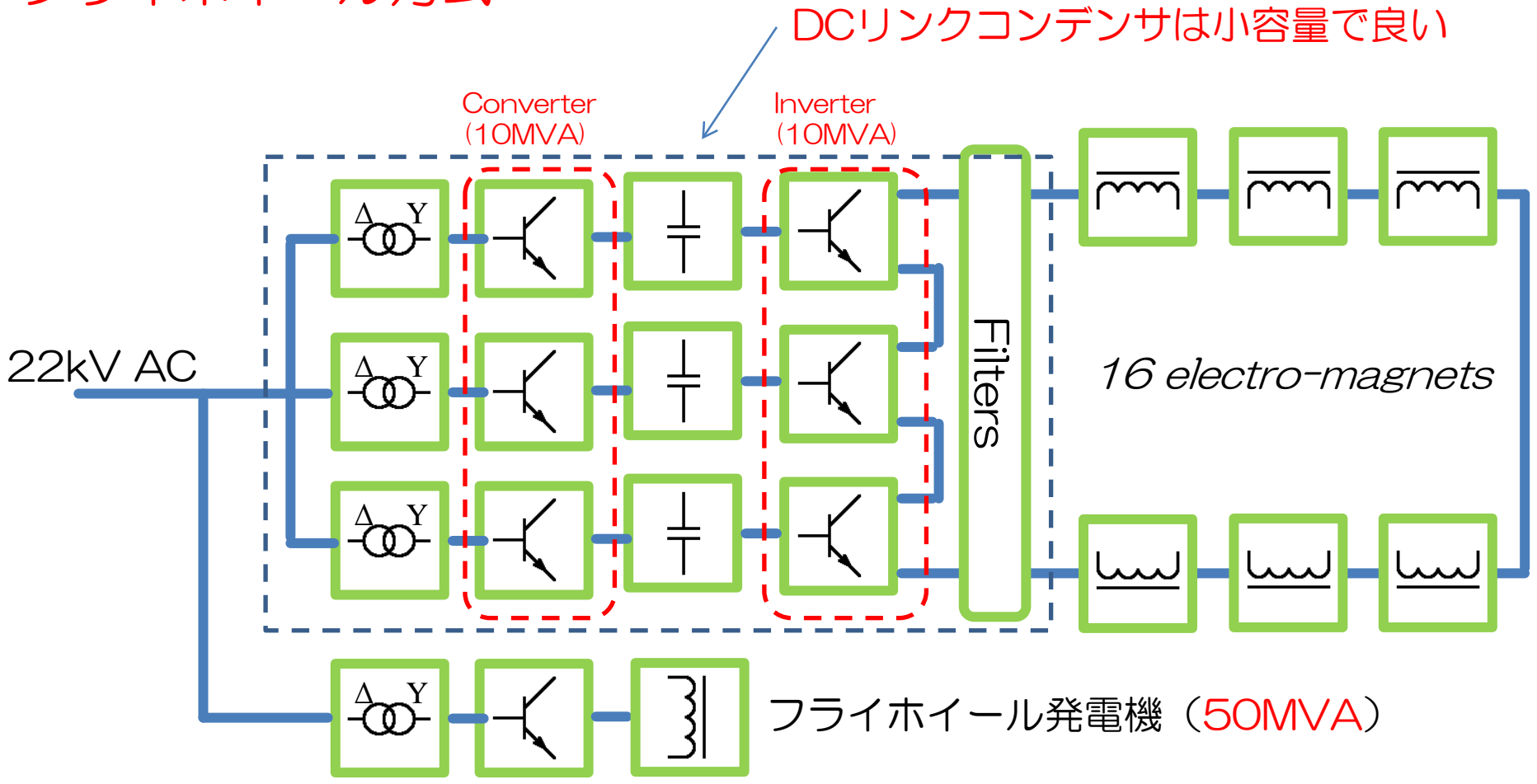
偏向 (B) 電源1台で最大9MVAの出力電力
⇒6台の合計では54MVA。

⇒電力変動は96MVAの電力変動となる。

(全電源では100MVAを超える)

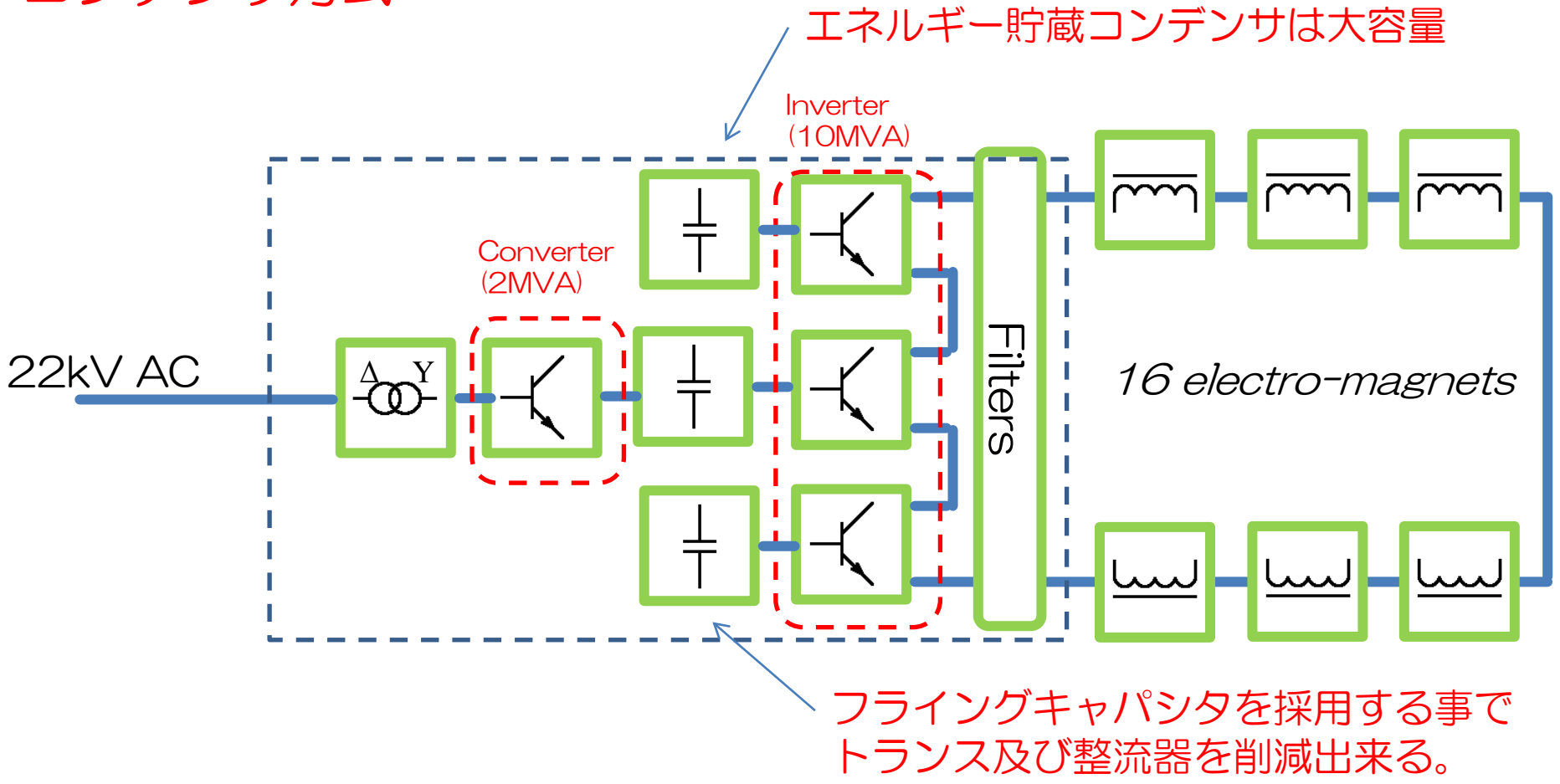
エネルギー貯蔵装置との併用で受電電力の低減が必要

フライホイール方式



- 10MVAクラスの大型変換器が多数必要となる。
- フライホイール用変換器及び本体（50MVAクラス）が別途必要
- もう少し本格的な検討・検証が必要。

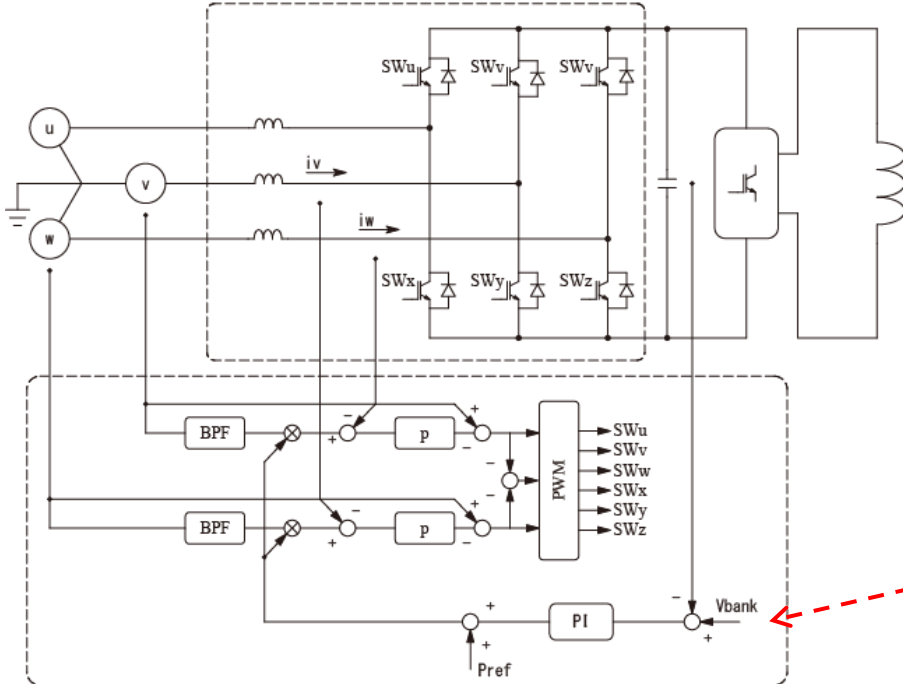
コンデンサ方式



- 受電盤、トランス及び整流器の容量を大幅に低減できる。
- フライホイールと比較して変換器の数が大幅に削減出来る。
- コンデンサが大容量化（全体で20MJ）するので信頼性確保が重要。

電力変動とその抑制方法（コンデンサ方式）；コンデンサのパターン電圧制御

3相PWMコンバータ



電圧フィードバック制御装置

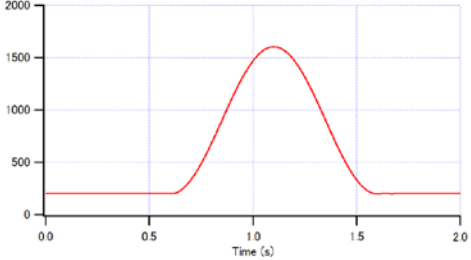
電磁石を励磁する際必要となる磁気エネルギーはコンデンサから供給し、ジュール損失分は系統から受電する。

$$E(t) = \frac{1}{2} LI^2(t)$$

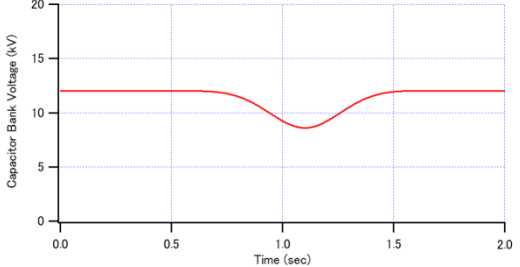
$$E_0 = \frac{1}{2} CV_{bank}^2(t=0)$$

$$V_{bank}(t) = \sqrt{\frac{2}{C_{bank}} \left\{ E_0 - \frac{1}{2} LI^2(t) \right\}}$$

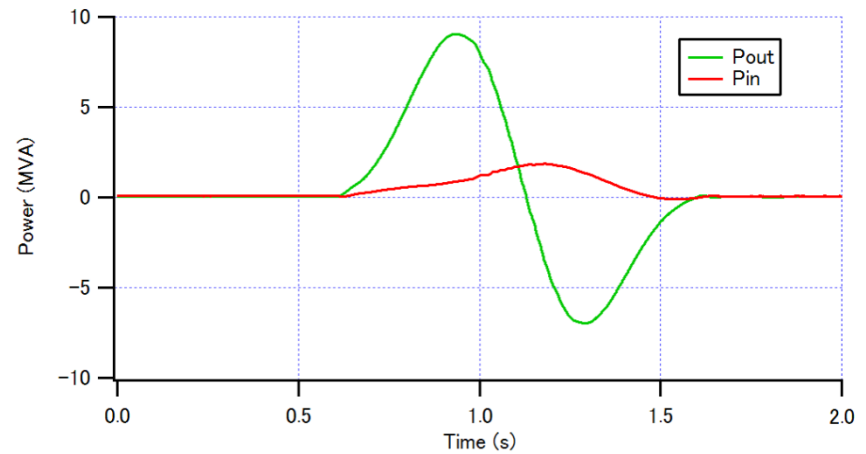
出力電流波形



コンデンサ電圧波形

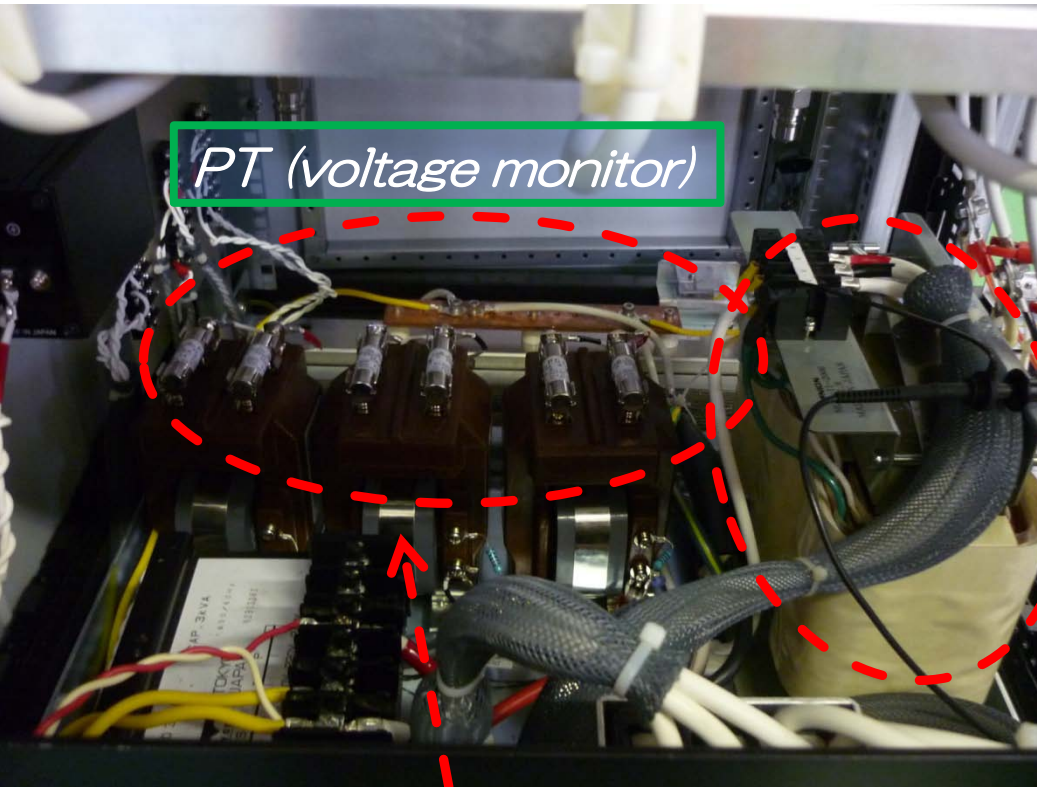


受電電力と出力電力



受電電力を約70%削減可能となり、電磁石電源の省エネルギー運転が可能となる。

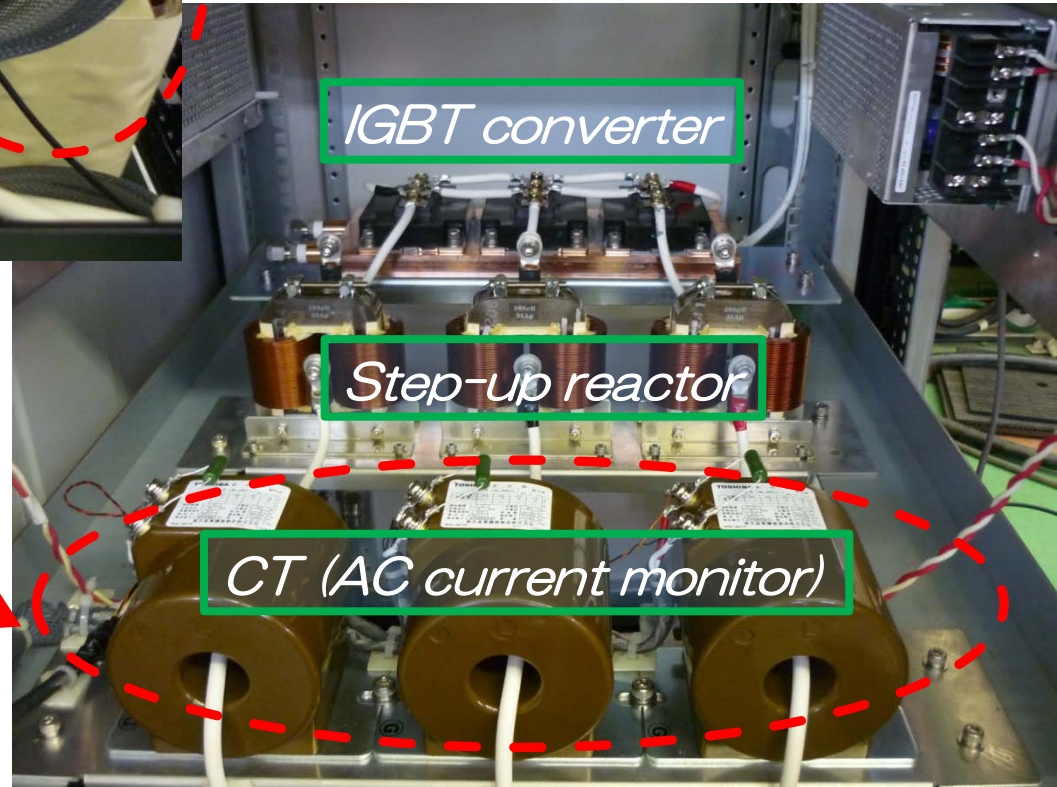
電力変動とその抑制方法（コンデンサ方式）；ミニ電源によるエネルギー回生原理実証



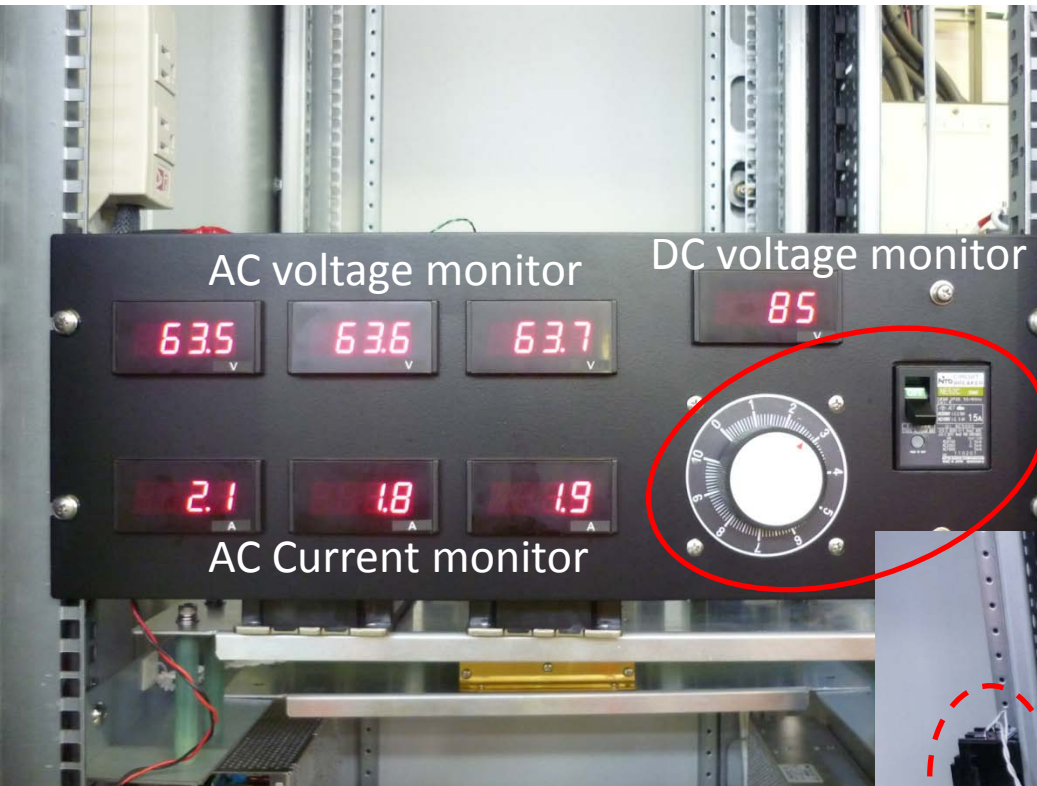
AC input from main grid
& rectification

AC transformer (3kVA)

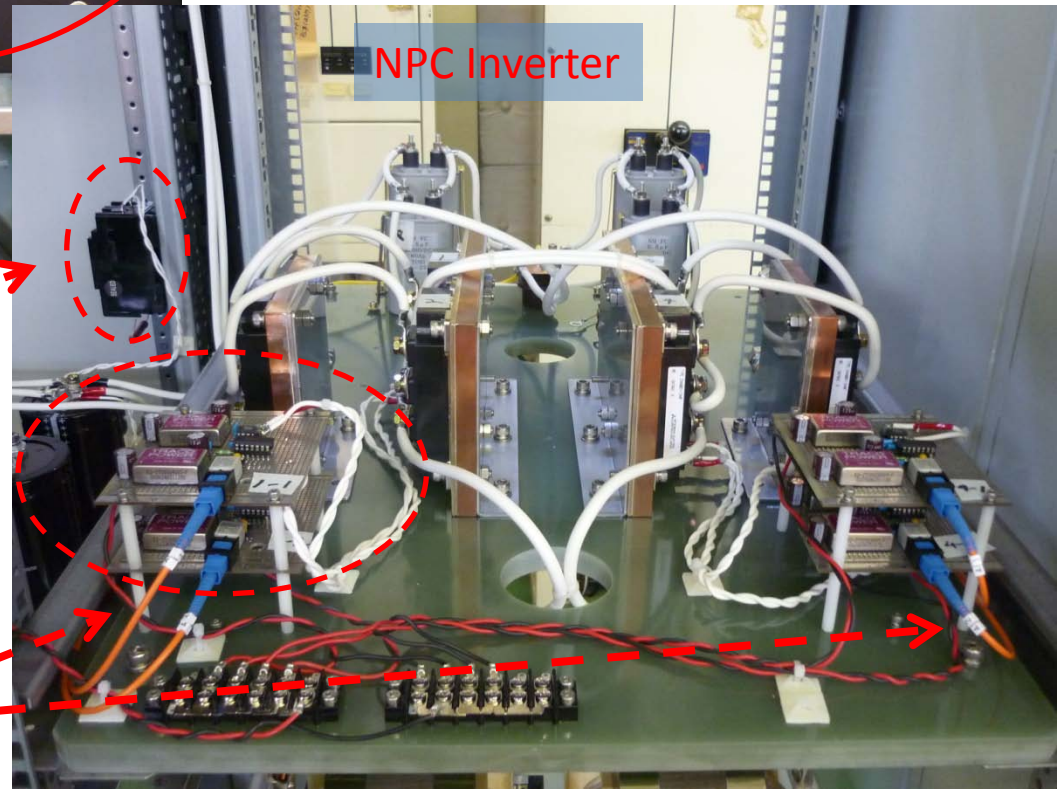
Power factor control



電力変動とその抑制方法（コンデンサ方式）；ミニ電源によるエネルギー回生原理実証



Initial charging unit



Discharge switch

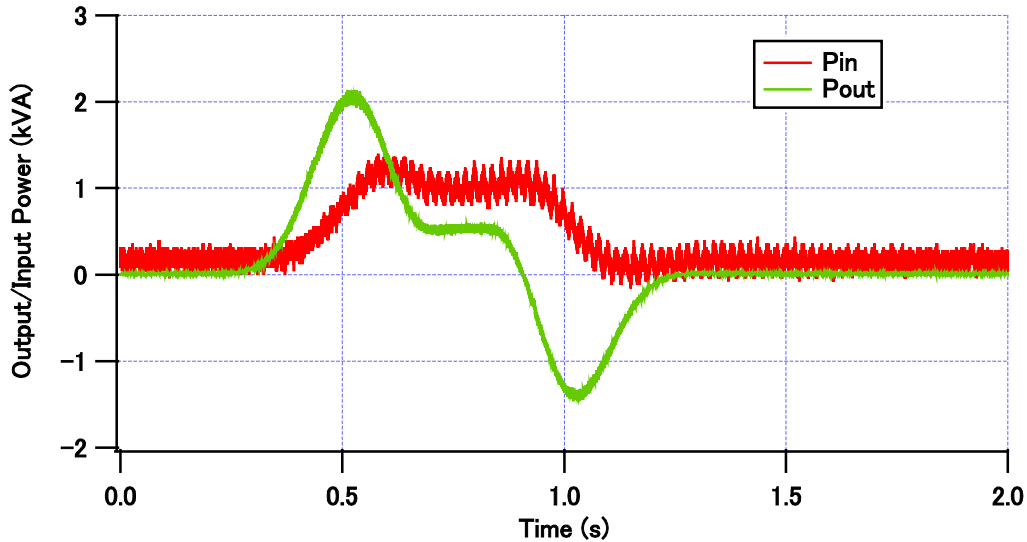
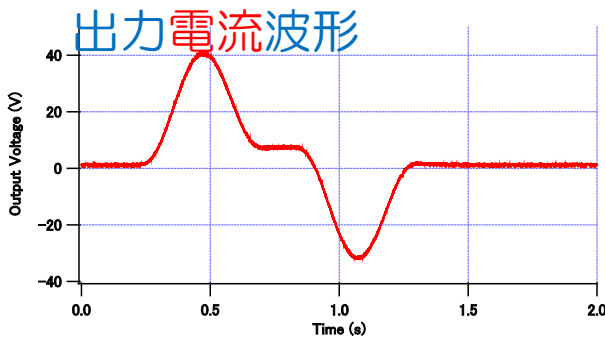
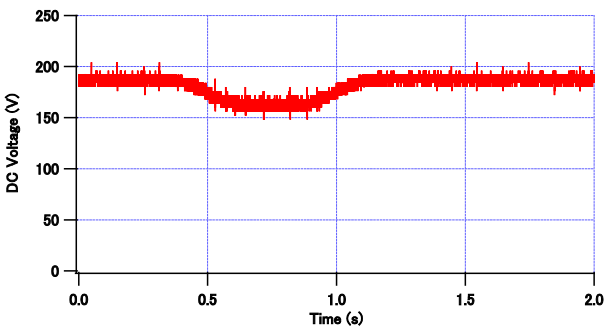
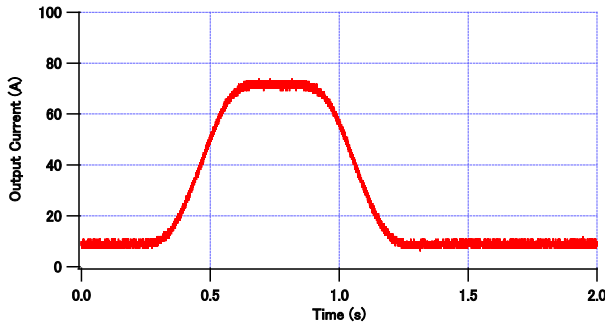
Gate drive circuit for IGBTs

Optical fibers for trigger signals

電力変動とその抑制方法（コンデンサ方式）；KEK-B（江川氏）より電磁石を借用

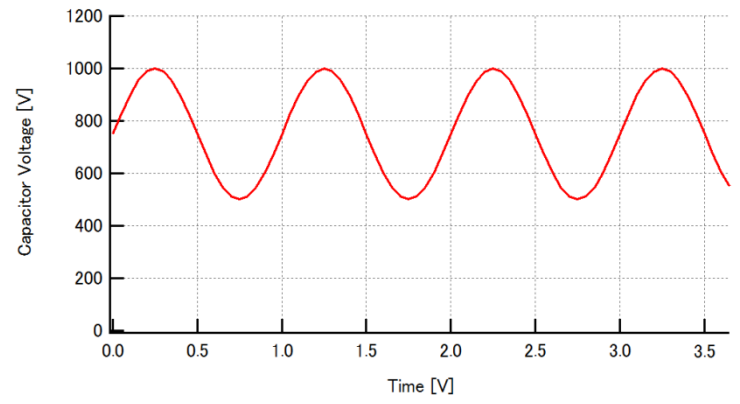


電力変動とその抑制方法（コンデンサ方式）；ミニ電源によるエネルギー回生原理実証



電力変動とその抑制方法（コンデンサ方式）；フライングキャパシタによる高電圧化

1) DCに重畳された1Hz交流成分による影響



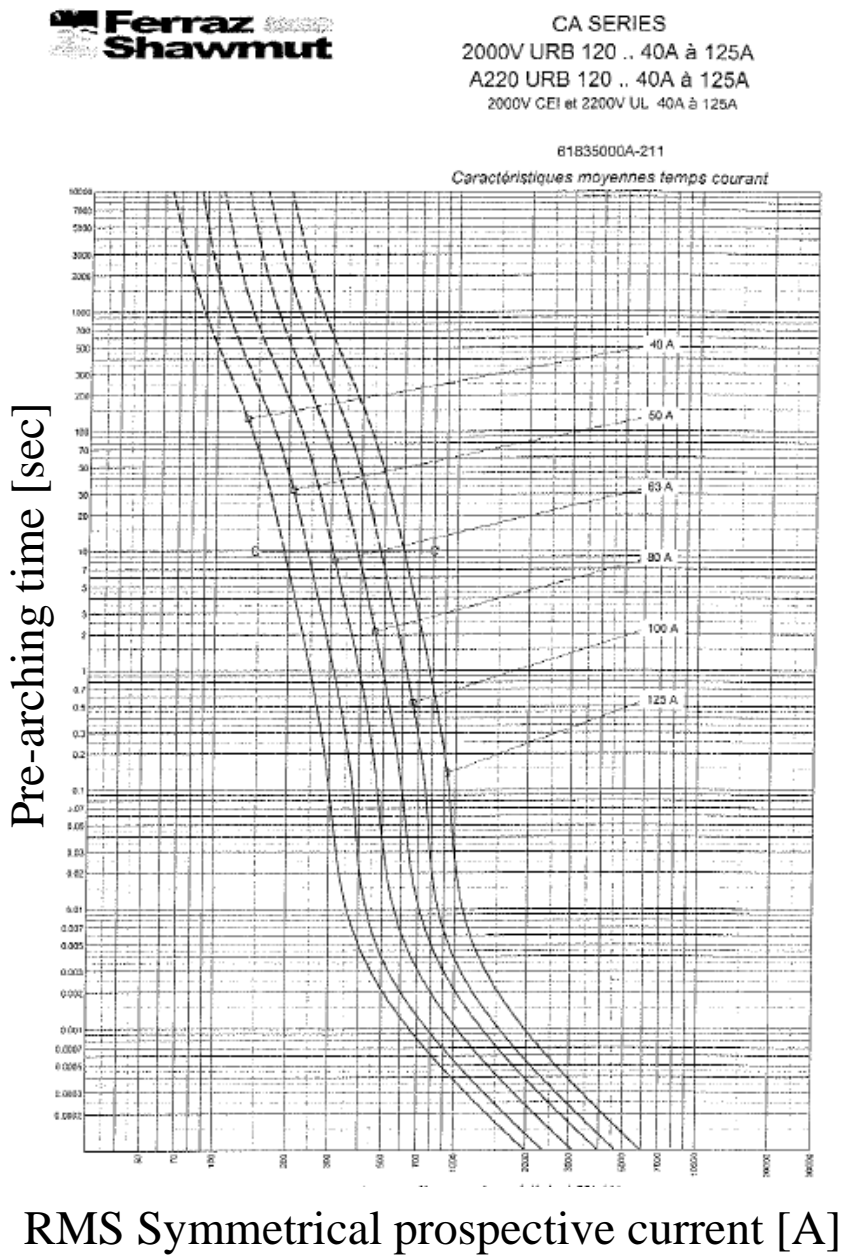
現在までに700時間程度通電し、静電容量の変化率を調査。
 ⇒コンデンサの最適化設計及び試作を実施中。
 ⇒完了後、再度長時間通電（今度は2000時間）を行う。

2) 周辺回路異常時のコンデンサの保護

多数並列接続（B電源は110並列）されたコンデンサを小ブロックに分割し、各ユニットに即断ヒューズを挿入。
 ⇒今後、溶断特性の調査及び最適化設計を実施。

3) 周辺回路の信頼性向上

今後実機クラスの試作を行い、長時間通電による問題点の洗い出し、デバッグを行う。
 ⇒東海では共用運転があり、十分な試験時間が取れない・・・
 ⇒つくばでは、十分な試験設備がない・・・



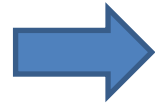
RMS Symmetrical prospective current [A]

4) 超高精度出力のためのフルデジタル制御システム

課題と対策

- 低リップル

< 数百Hz : 高精度計測で電流フィードバックループへのノイズの混入を防ぐ

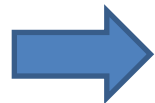


24 bit A/D変換基板

> kHz (スイッチング周波数) : インバータの多重化及び出力フィルタの最適化

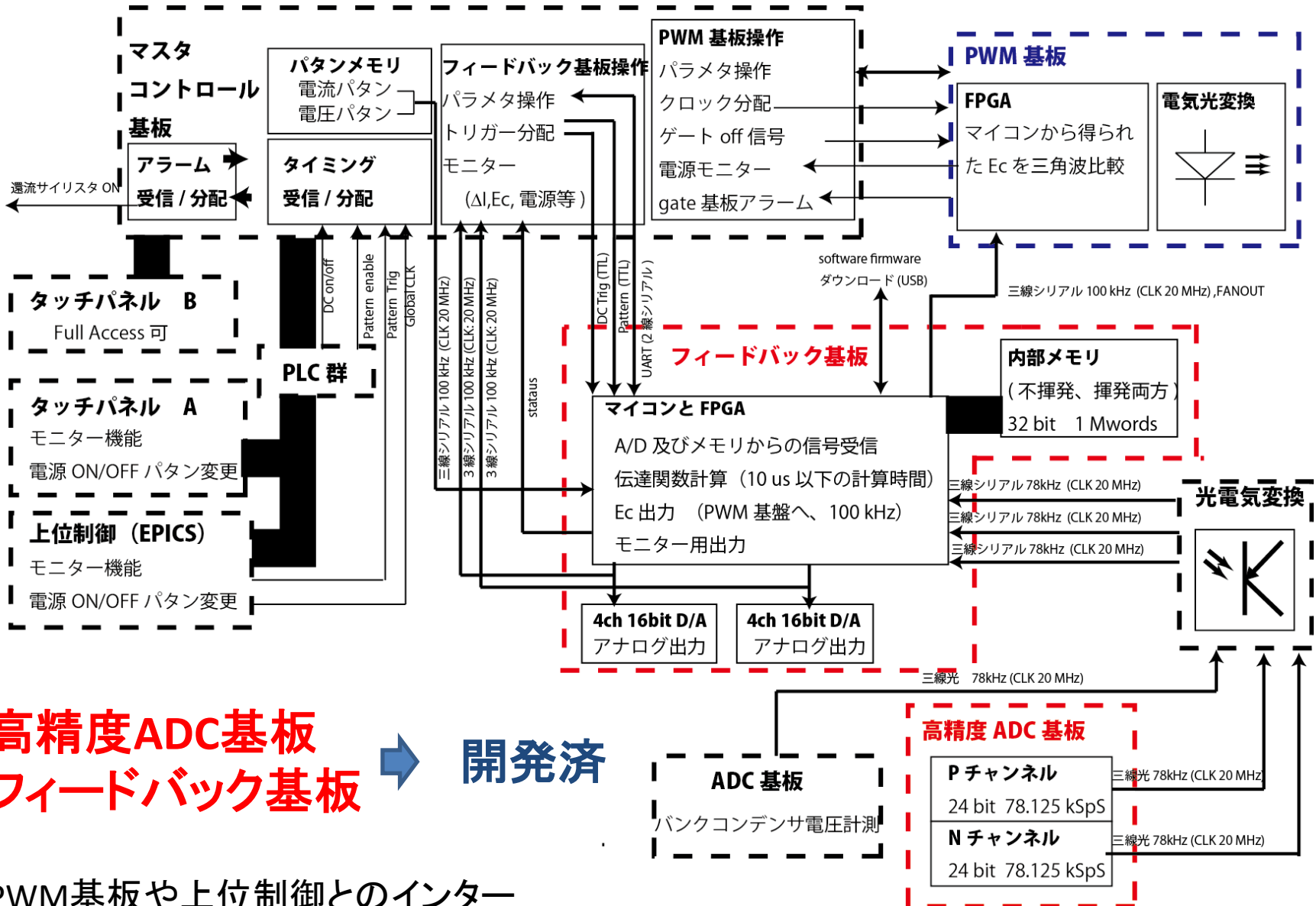
- 追従誤差除去

学習制御をもちいて得られたフィードフォワードループの追加



デジタルフィードバック基板

デジタル制御・ブロック図



**高精度ADC基板
フィードバック基板**

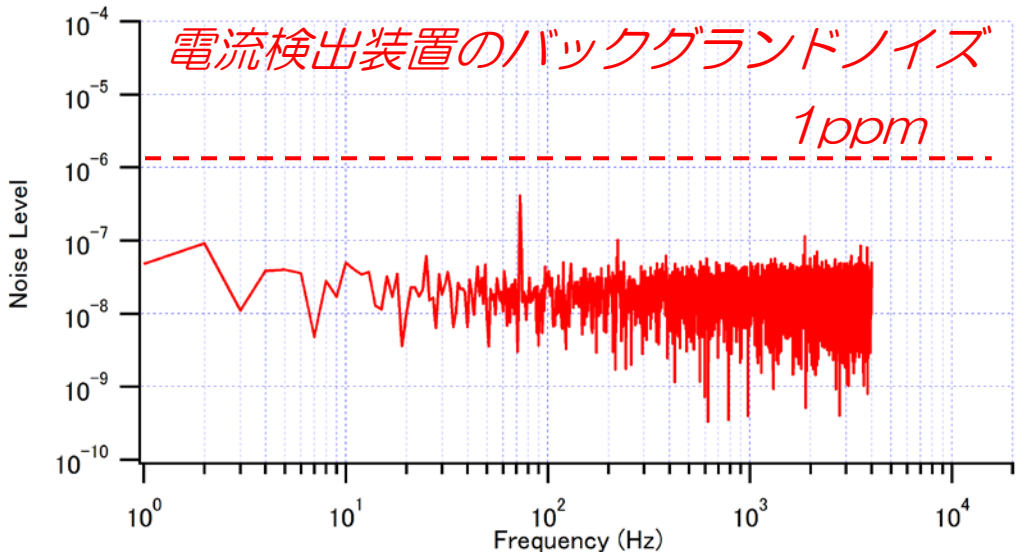
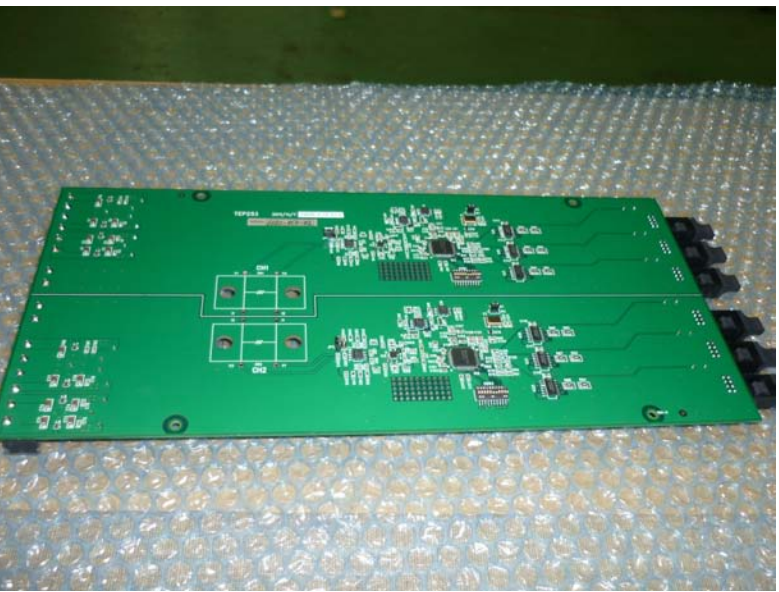
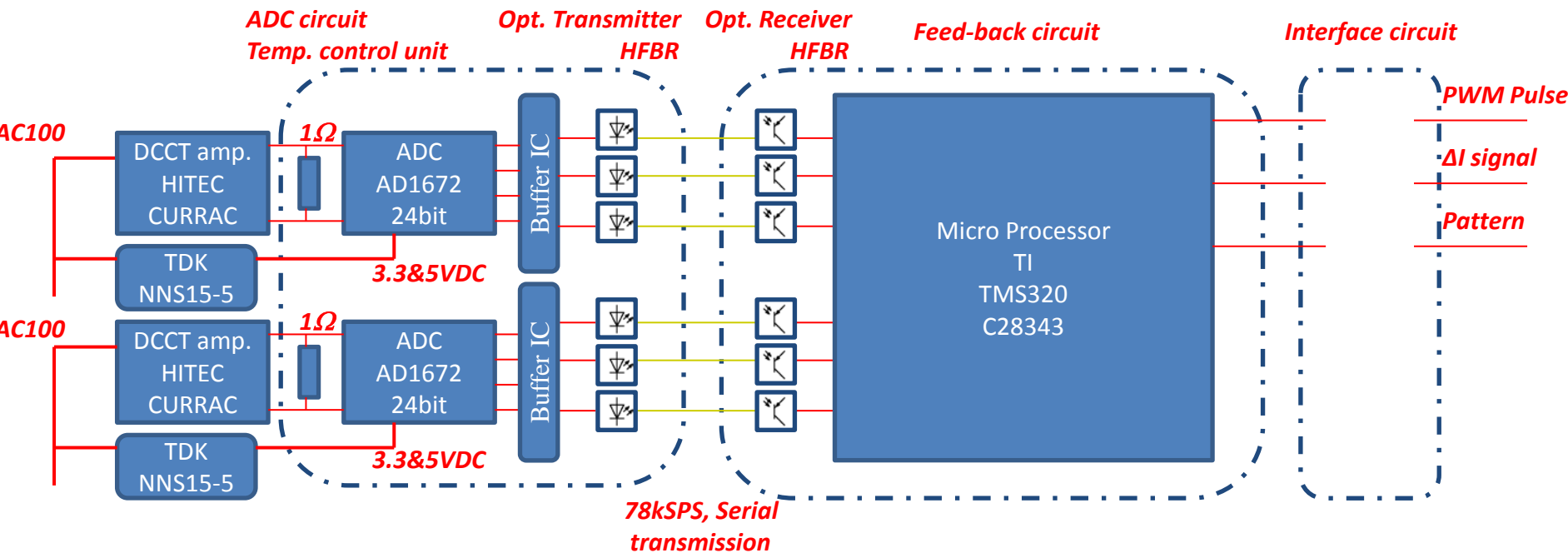


開発済

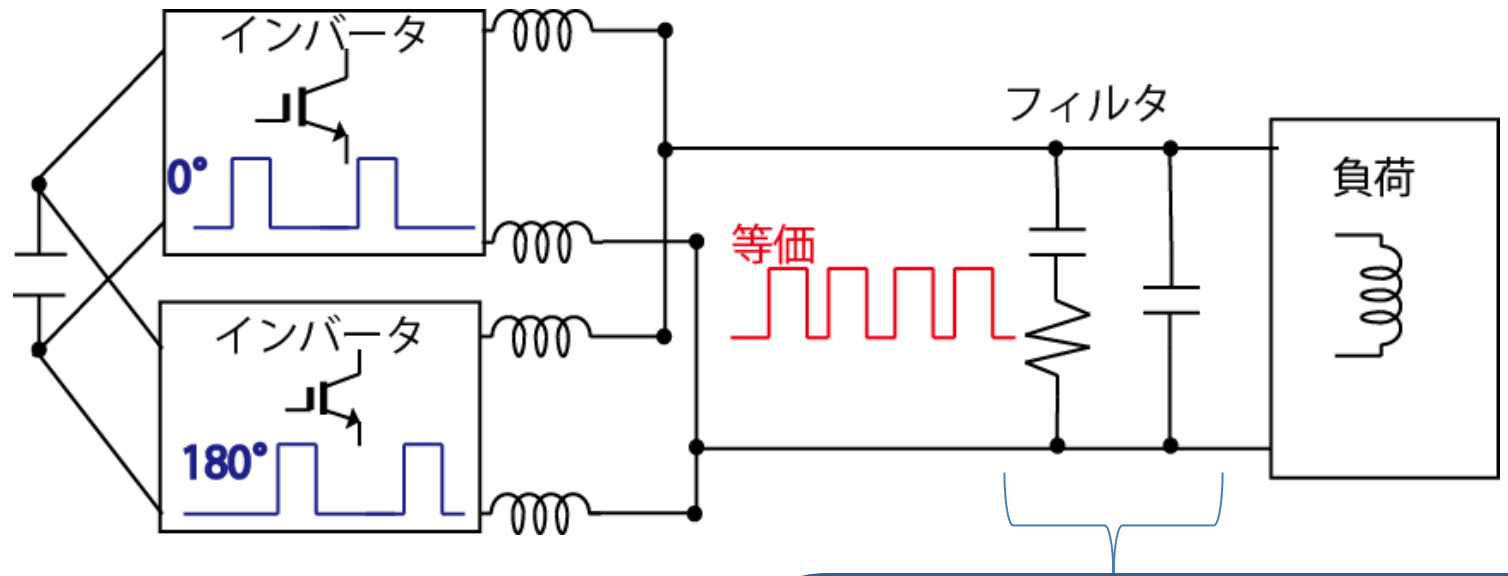
PWM基板や上位制御とのインターフェイスは今後の開発項目。

超高精度出力のためのフルデジタル制御システムの構築

(24bit ADCによる高精度電流検出)



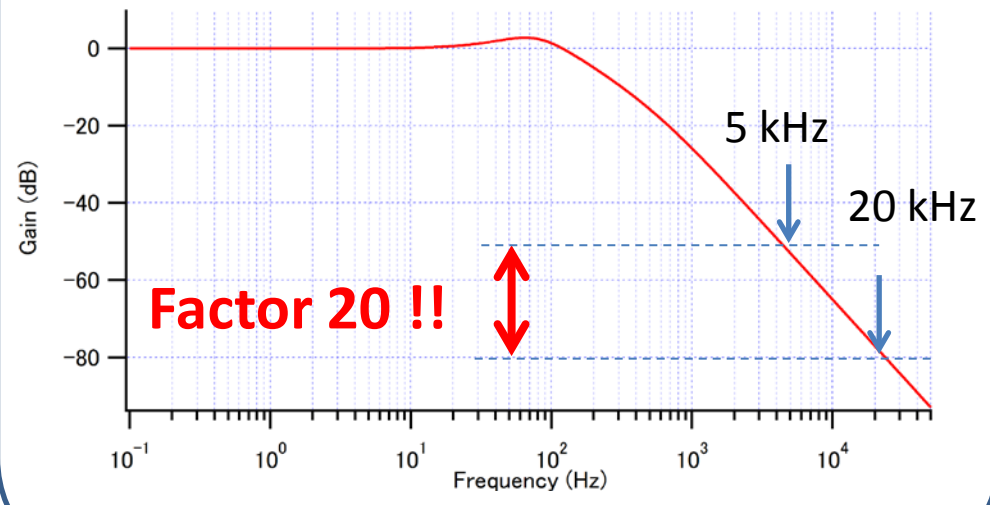
超高精度出力のためのフルデジタル制御システムの構築
 (インバータ多重化および出力フィルタ)



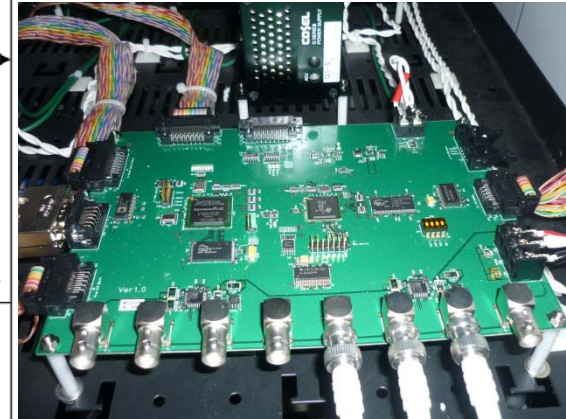
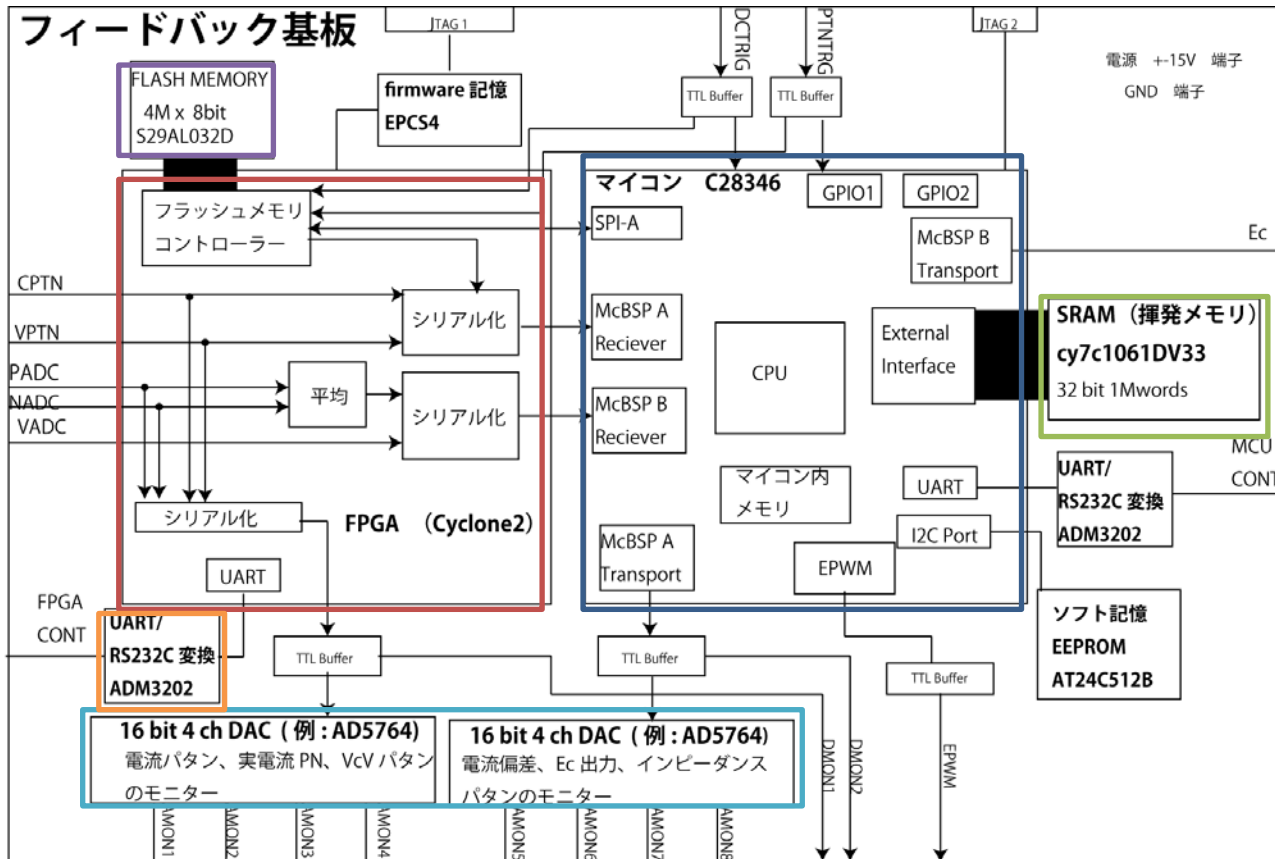
インバータを多重し位相シフトさせる事で、等価スイッチング周波数を上げる事ができる。

例：
単体5 kHz x 4並列多重 = 20 kHz
 現在のフィルタデザインだと、スイッチングリップルを1/20にできる。

フィルター伝達特性



超高精度出力のためのフルデジタル制御システムの構築 (デジタルフィードバック基板の概要)

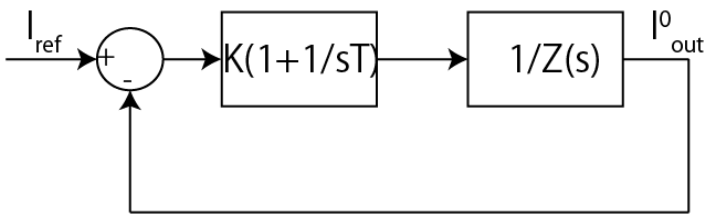


- マイコン : 伝達関数の実装、PWM出力
- FPGA : 複数データをシリアル化し、マイコンへ入力可能に
- Flash Memory : 電流指令値の格納
- Static Ram : 学習制御により得られたフィードフォワードパターンを格納
- 8 ch DAC : 電流偏差等をアナログ出力 (スコープでモニター可能に)
- RS232C : タッチパネル(上位制御)と通信

超高精度出力のためのフルデジタル制御システムの構築

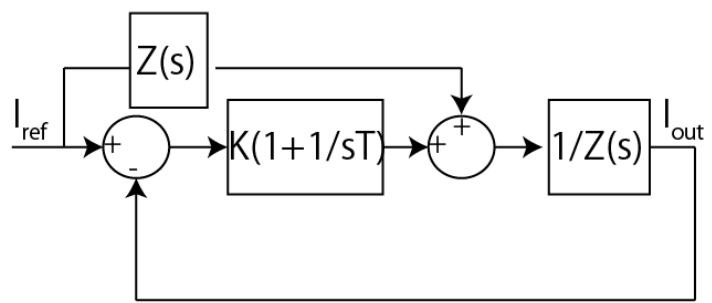
(追従誤差の除去方式；①学習制御によるフィードフォワード)

以前から知られている学習制御法

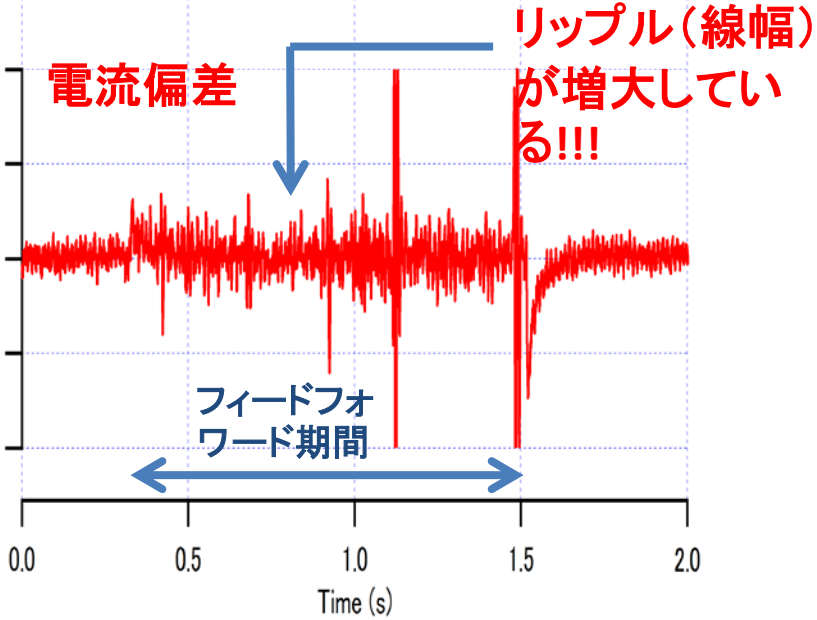
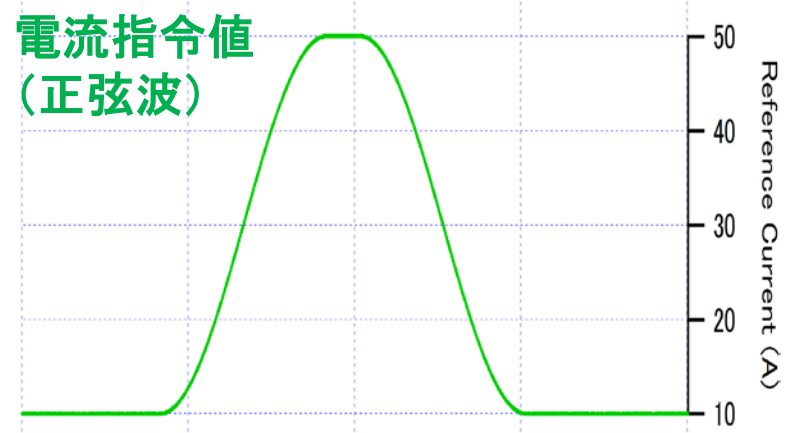


$$I_{out}^0 = \frac{K \left(1 + \frac{1}{sT}\right)}{Z(s)} (I_{ref} - I_{out}^0) \quad \text{より} \quad Z(s) = K \left(1 + \frac{1}{sT}\right) \frac{I_{ref} - I_{out}^0}{I_{out}^0}$$

(a) 通電によりインピーダンスを計算



(b) 求めたインピーダンスを使って
電圧フィードフォワード

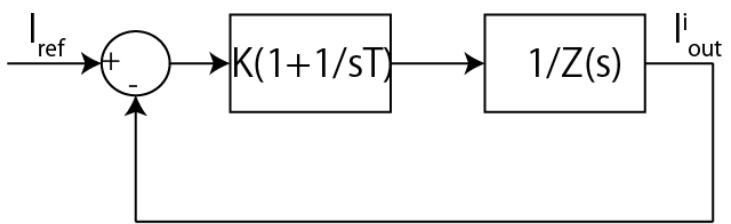


追従誤差は消せても、得られたインピーダンスにノイズ成分が重畳されているため、ノイズごとフィードフォワードしてしまう

超高精度出力のためのフルデジタル制御システムの構築

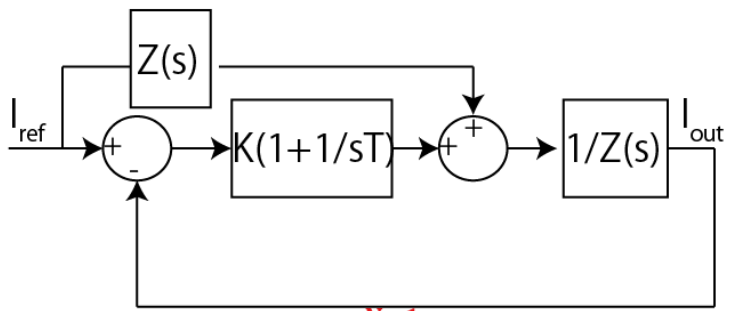
(追従誤差の除去方式；②アベレージングによるリップル除去)

アベレージング法



$$I_{out}^i = \frac{K \left(1 + \frac{1}{sT}\right)}{Z(s)} (I_{ref} - I_{out}^i) \text{ より } Z_i(s) = K \left(1 + \frac{1}{sT}\right) \frac{I_{ref} - I_{out}^i}{I_{out}^i}$$

(a) 複数回の通電で、複数のインピーダンスを得る

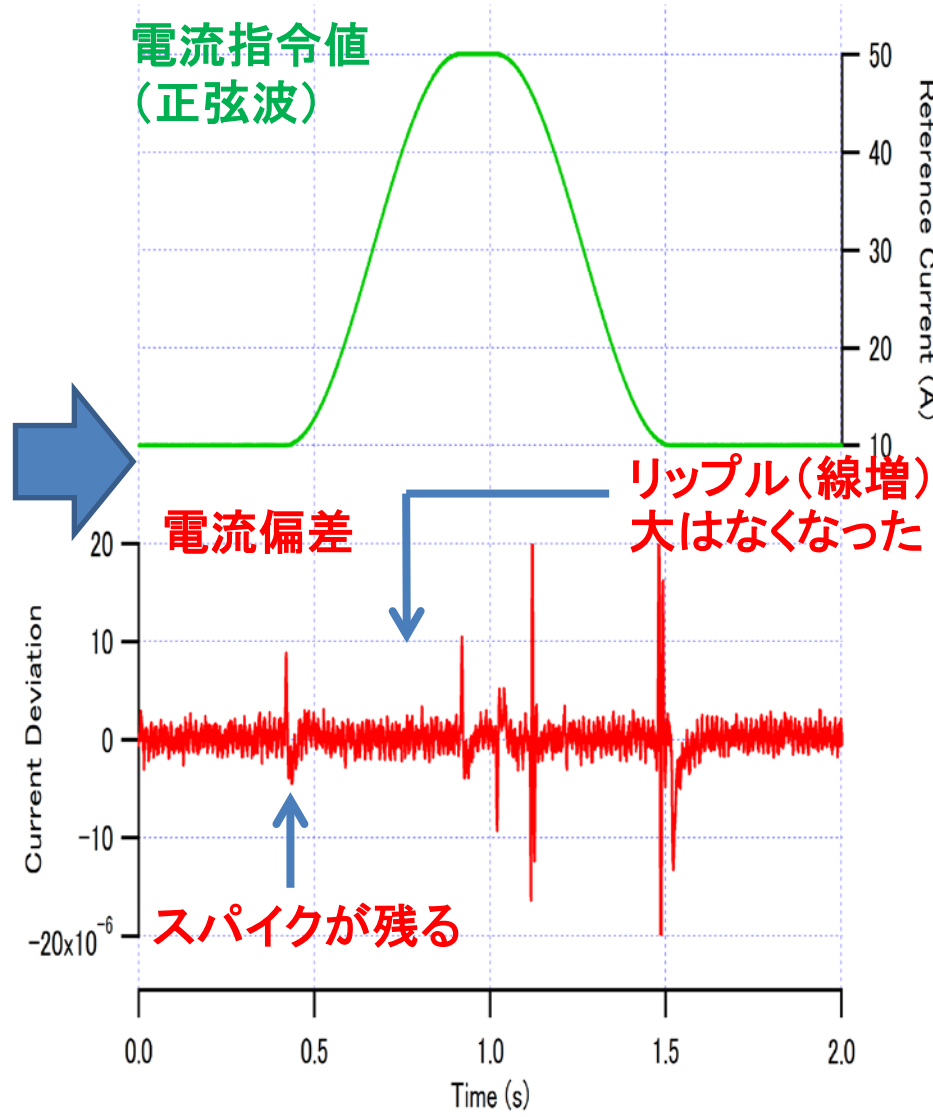


$$Z(s) = \frac{1}{N} \sum_{i=0}^{N-1} Z_i(s)$$

(b) 得たインピーダンスの平均値を使ってフィードフォワード

フィードフォワード中のリップルをアベレージングで打ち消す!!

電流指令値
(正弦波)

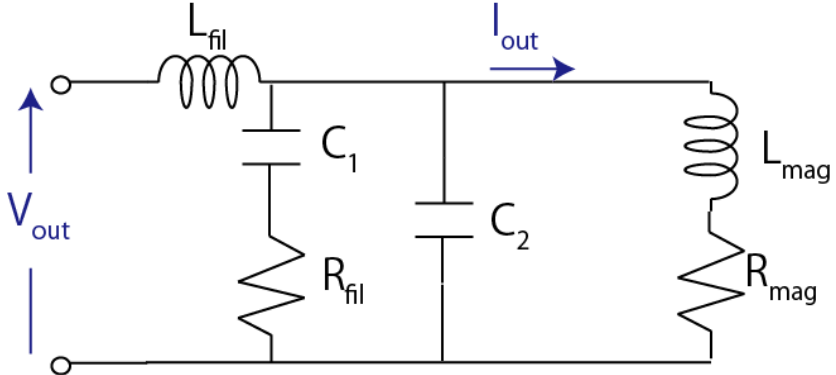


アベレージングでフィードフォワードに重畳されるリップルを除去する事に成功した。しかし、電流立ち上がり開始時のスパイク状の偏差が残る

超高精度出力のためのフルデジタル制御システムの構築 (追従誤差の除去方式；③電流指令値の最適化)

制御対象は出力電流であるが、指令しているのは**インバータの出力電圧**である事に着目

インバータ出力部のフィルタ構成



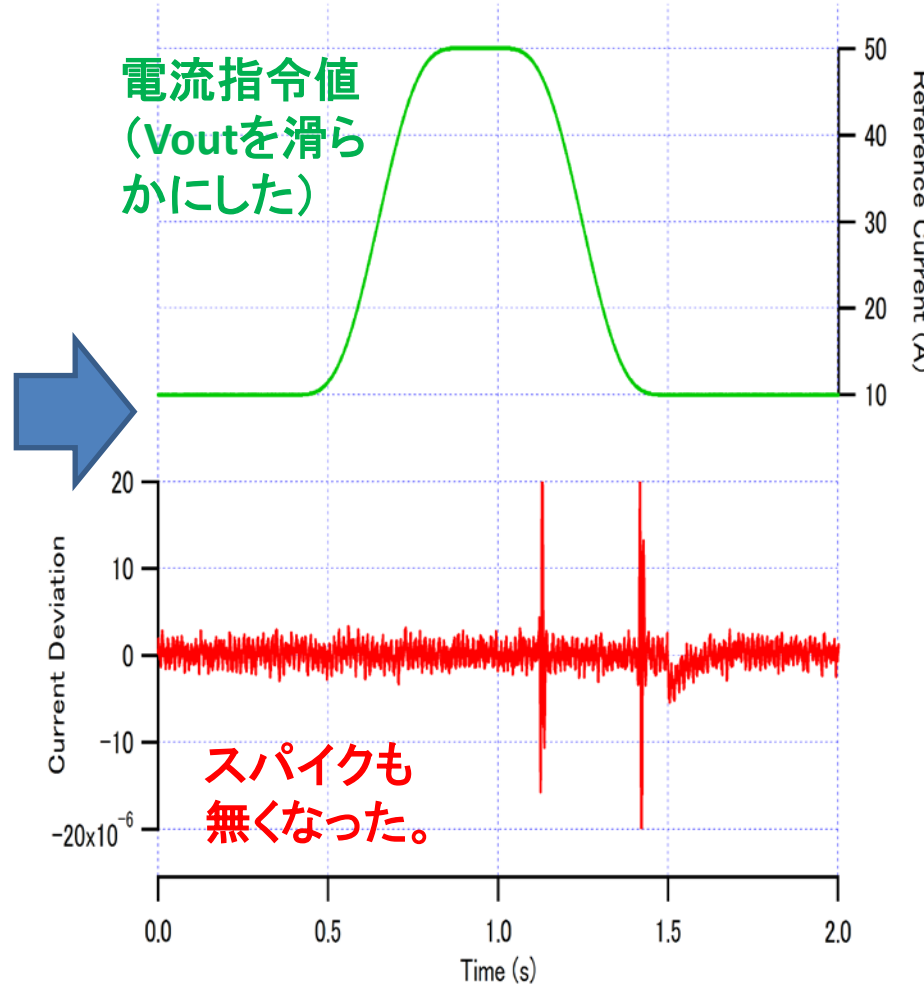
$$V_{out}(t) = \dots + C_2 L_{fil} L_{mag} \frac{d^3}{dt^3} I_{out}(t)$$

I_{out} が滑らかでも V_{out} が滑らかとは限らない
実際に I_{out} の直線部を正弦波でつなぐと、
つなぎ目の V_{out} はデルタ関数になる。



V_{out} が連続になるように I_{out} をつくれればよい

電流指令値
(V_{out} を滑らかにした)



スパイクも
無くなった。

インバータ出力電圧が滑らかになるように電流指令値を決めてやれば、
電流立ち上がり開始時のスパイク状の偏差も無くす事ができる。

超高精度出力のためのフルデジタル制御システムの構築

(追従誤差の除去方式；④コンデンサ電圧計測による系統の影響の低減1)

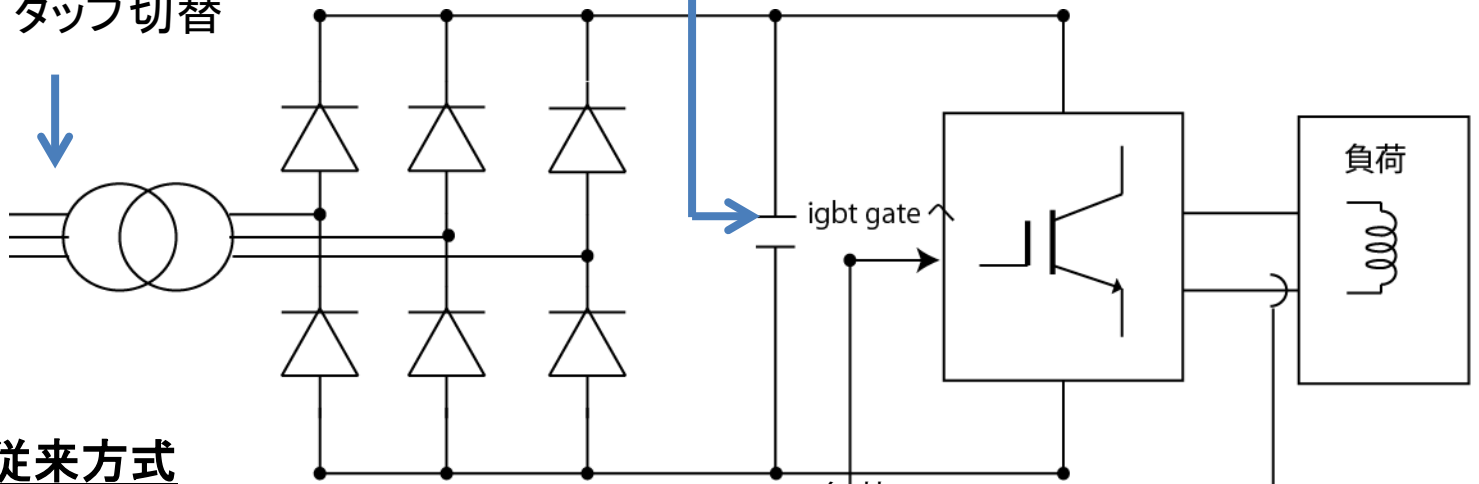
ダイオード整流器

利点：IGBT整流回路に比べてはるかに安価である。

欠点：系統電圧変動の影響を直接受ける

- 電圧変動
- 三相不平衡
- タップ切替

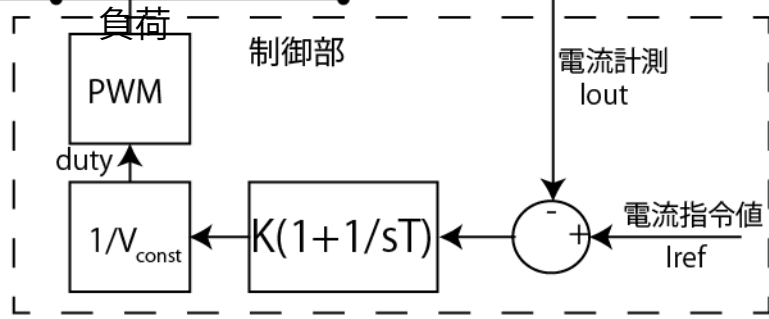
充電電圧の変動 → 追従誤差



従来方式

充電電圧の変動により、系のループゲインが変動し追従誤差となって現れる。

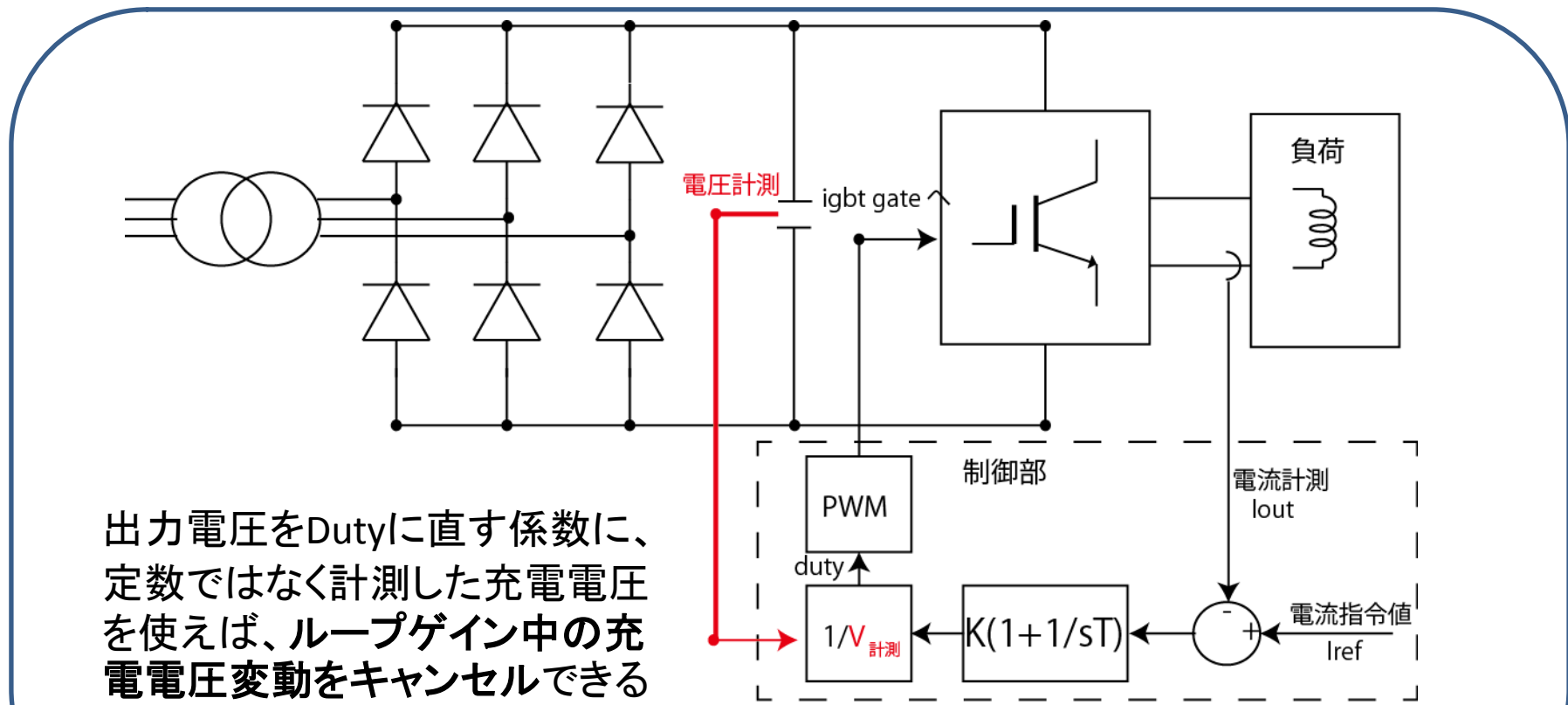
充電電圧1%の変動に対して
10ppm程度の追従誤差 (小型電源による実測および計算)



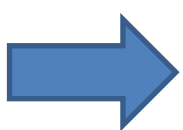
超高精度出力のためのフルデジタル制御システムの構築

(追従誤差の除去方式；④コンデンサ電圧計測による系統の影響の低減2)

新方式：充電電圧を実際に測定して制御に入れる



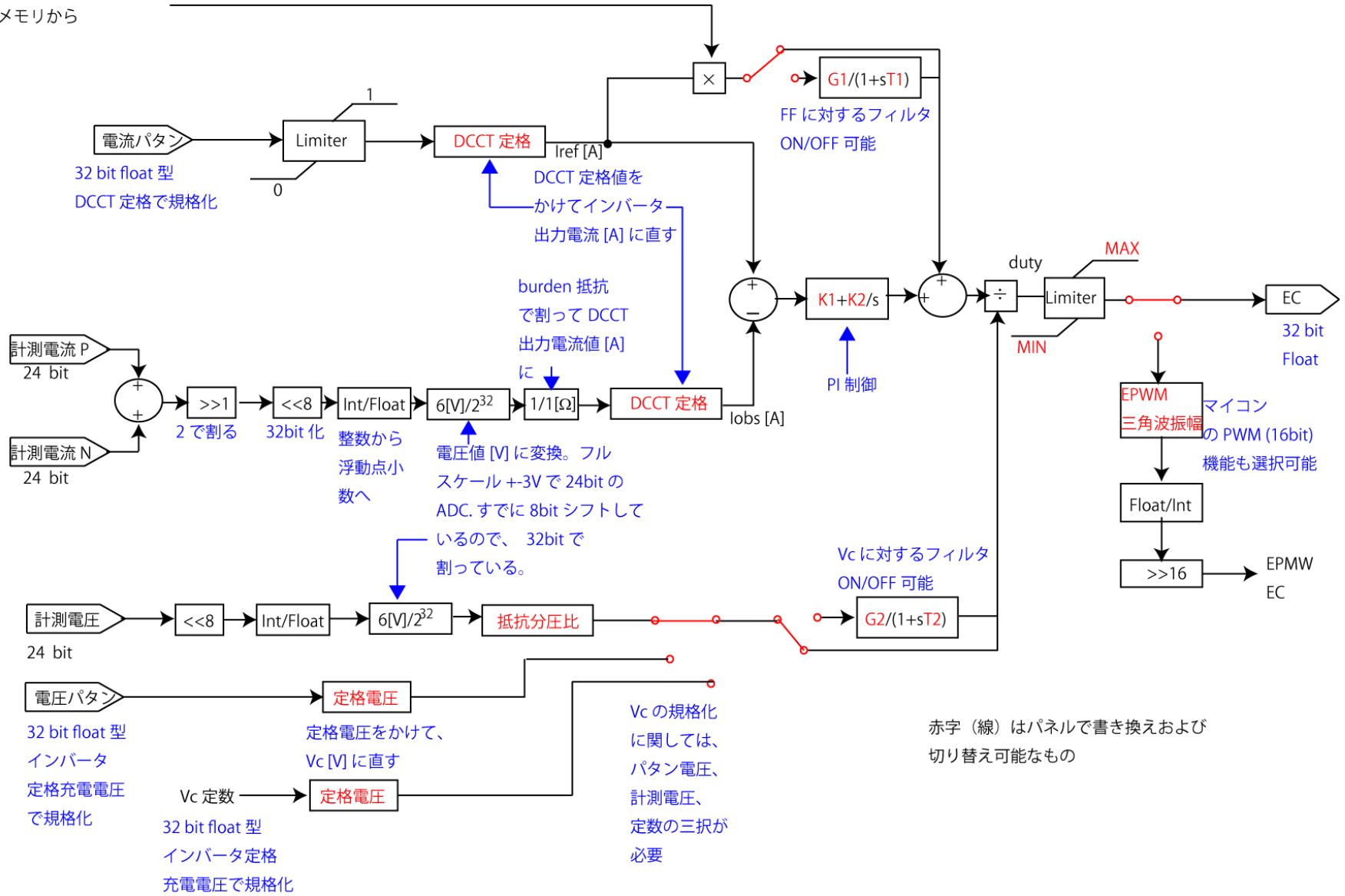
本方式により、充電電圧の変動による追従誤差のばらつき観測されなくなった(<1ppm)



本方式を用いれば、Diode整流器でも追従誤差は十分に小さくできる。

実運転モード

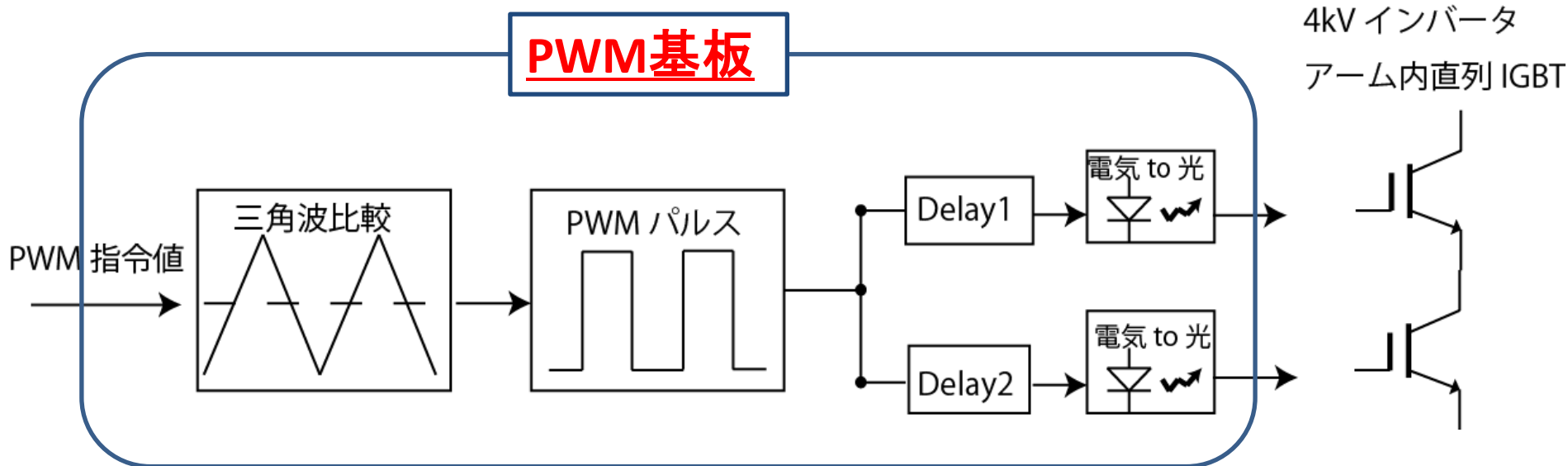
インピーダンスパターン
メモリから



赤字（線）はパネルで書き換えおよび切り替え可能なもの

超高精度出力のためのフルデジタル制御システムの構築 (開発項目: PWM基板)

FEEDBACK基板からの指令値を三角波比較しPWMパルスに変換する。



問題1 : 4kVインバータに於いて、アーム内直列されたIGBTの On/Offタイミングがずれると片側に過電圧がかかる。

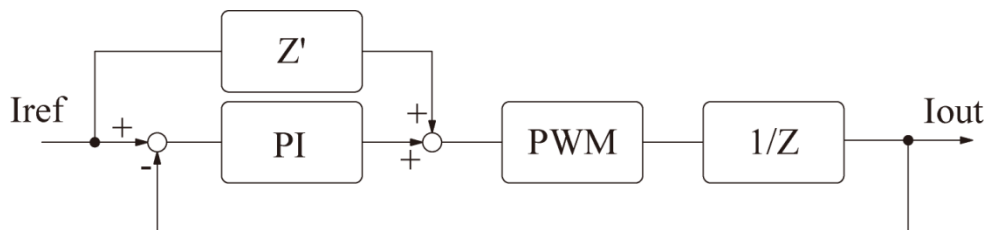
➡ 各CH独立な可変Delayを設けゲートタイミングの微調整で素子間のOn/Off特性のばらつきを補正する。20 ns程度の分解能

問題2 : B電源等の大きな電源になるとチャンネル数が多くなる
例 : 8ch (4kVインバータ) x 4 (並列数) x 3 (直列数) = 96 ch

➡ PCI等のバスを使い、コンパクトな設計

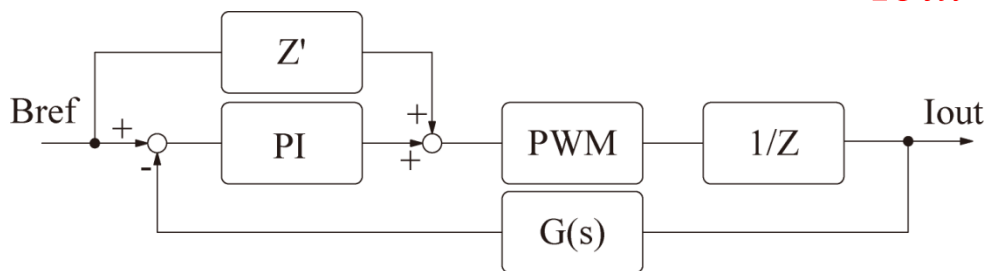
磁場偏差と補正（途中経過）

今回我々が開発した手法を用いると電流偏差はppmオーダー
しかし、渦電流の影響で磁場偏差は0.7%程度。



計測した磁場波形から「電流⇒磁場」伝達関数G(s)を
計算し、パターンメモリに保存
これを使って磁場偏差がゼロになるよう
フィードバックする。

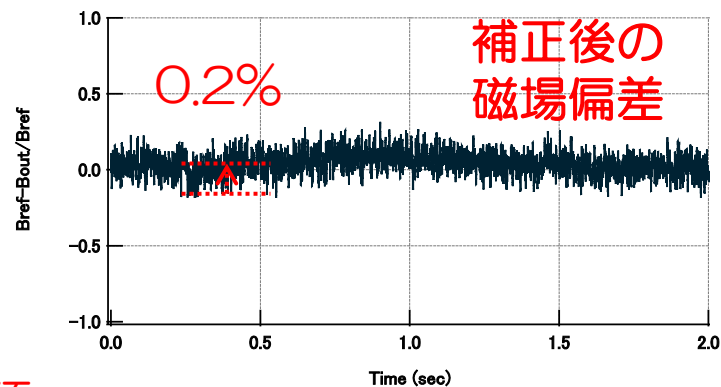
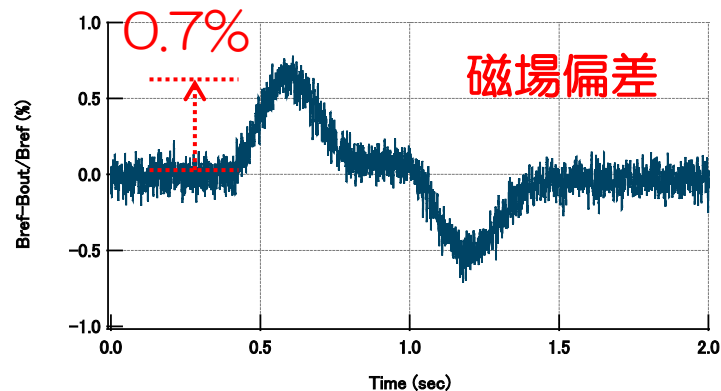
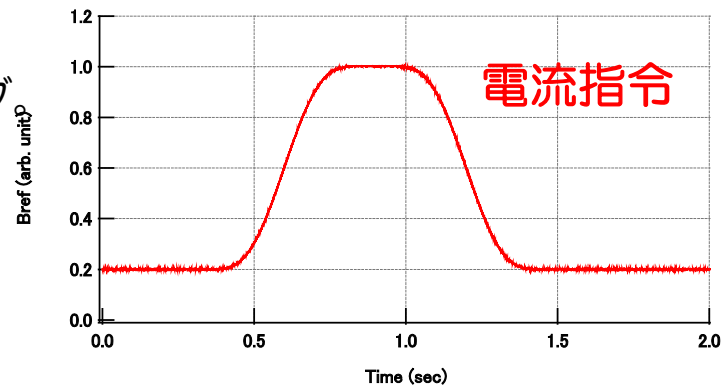
$$G \equiv \frac{Bout}{Iout}$$



原理的には磁場補正が出来ているが、今後、

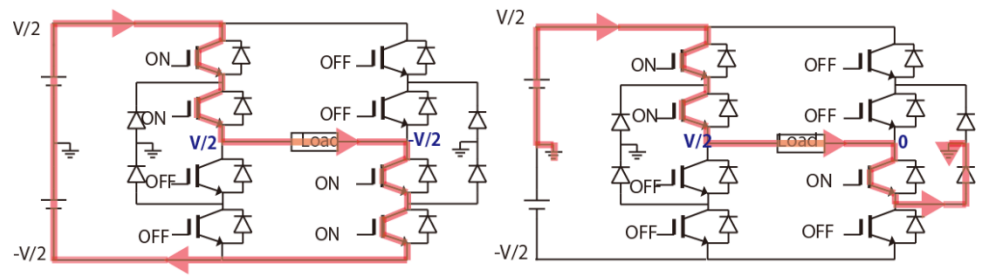
- 1) 磁場測定精度の向上
- 2) G(s)に含まれるリップル対策（平均化处理）
を行って行く必要がある。

電源更新の際は磁場測定による伝達関数測定が必須。



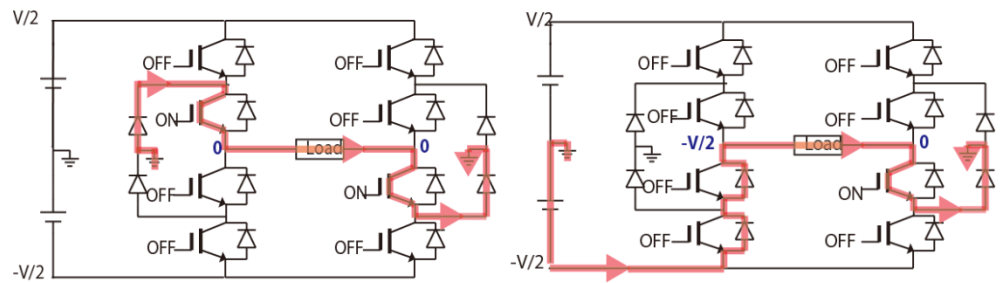
5) NPCインバータによるコモンモード電流抑制

NPCインバータによるコモンモードの抑制（スイッチング原理）



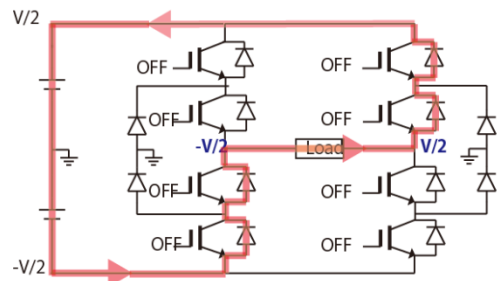
A: 力行モード 1 (V 出力)

B: 力行モード 2 (V/2 出力)

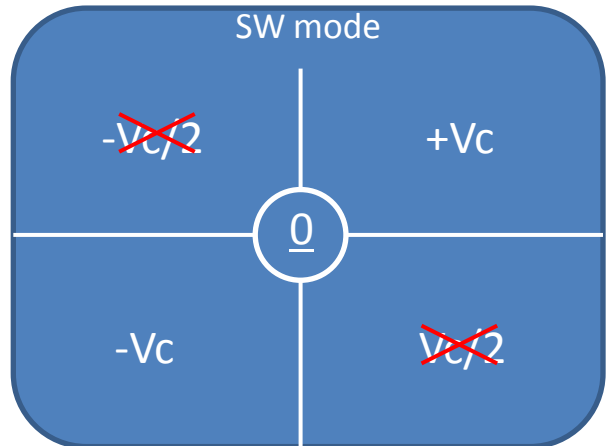
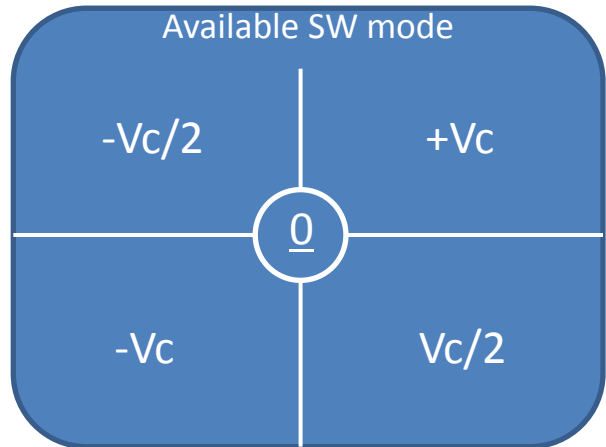


C: 還流モード (0 出力)

D: 回生モード 1 (-V/2 出力)



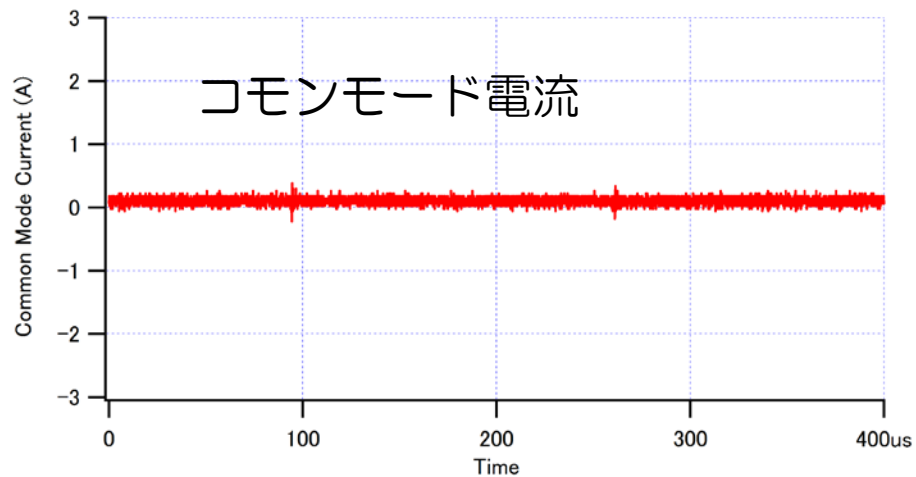
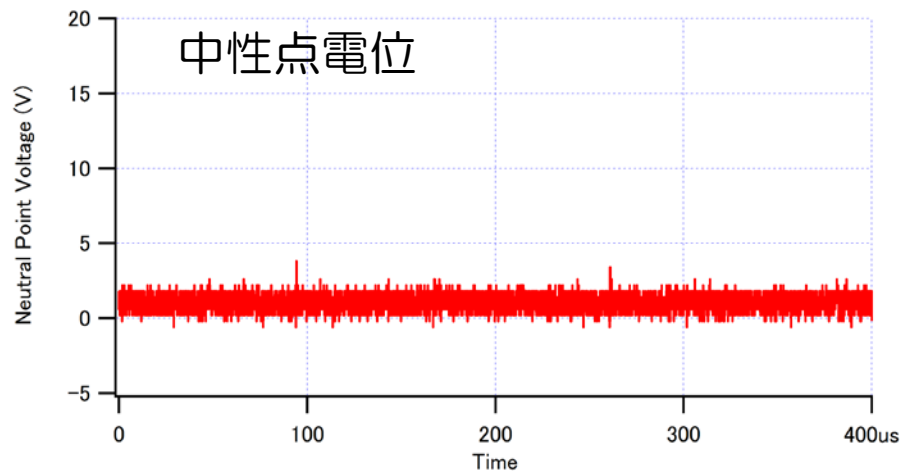
E: 回生モード 2 (-V 出力)



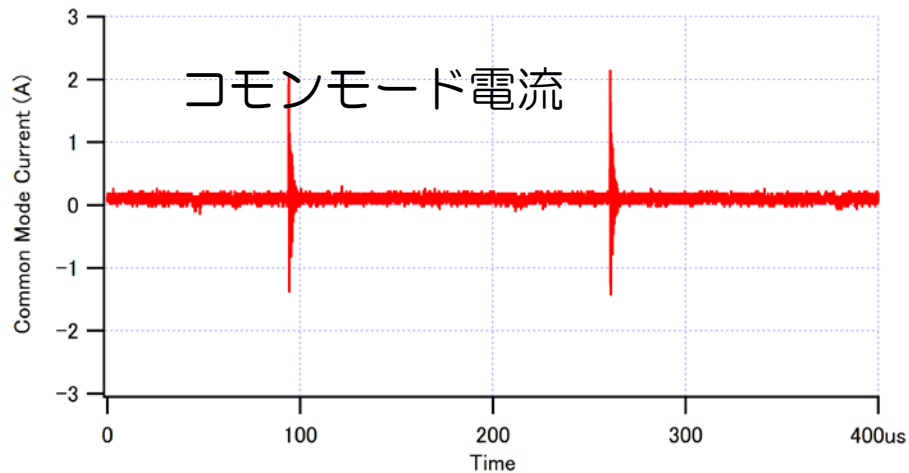
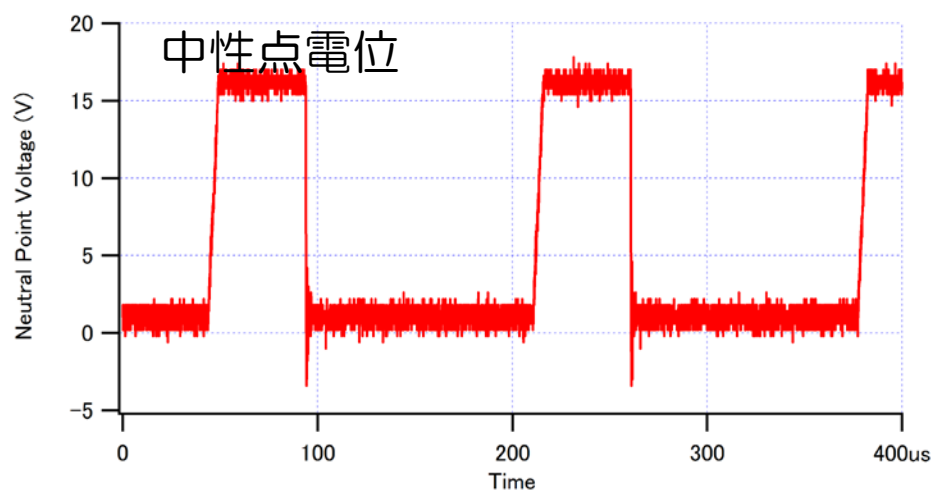
可能な5つのスイッチングモードのうち、インバータの中性点電位変動の発生しない3つのみを利用することで、コモンモード電流を原理的にゼロに出来る。

Common mode rejection by NPC with reduced SW mode

NPC方式

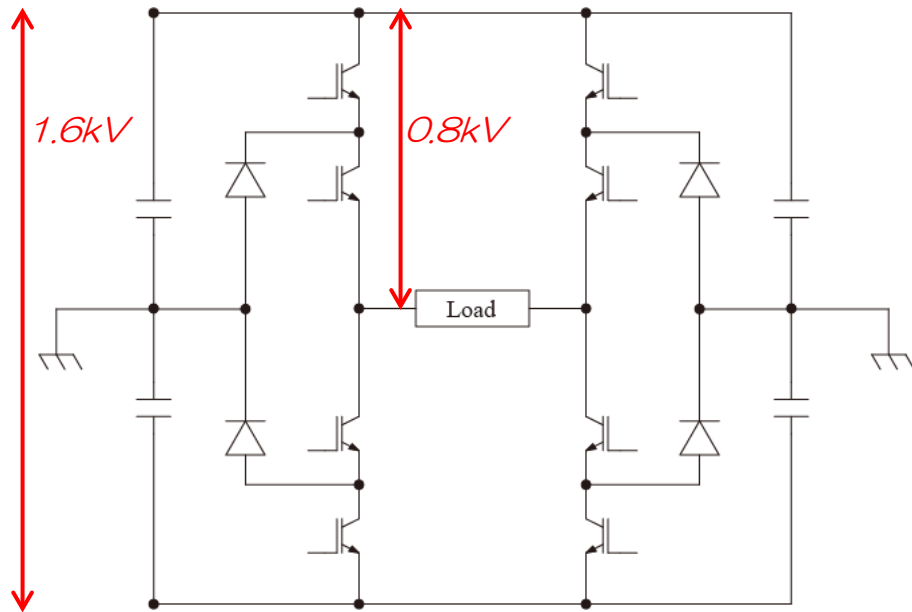


Hブリッジ ユニポーラスイッチング

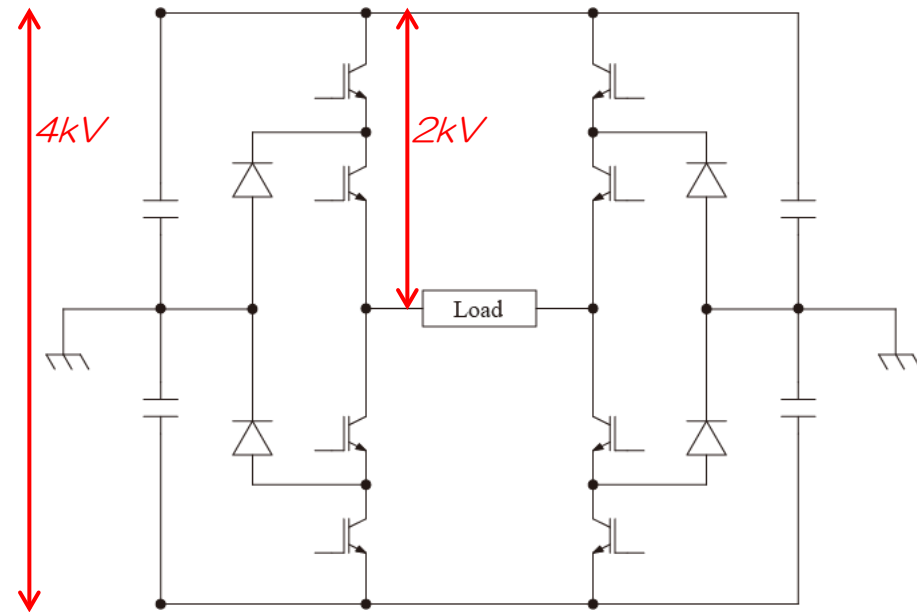


NPCインバータによる共通モードの抑制 (NPCインバータの開発)

Small Q-family (1.6kV, 900Amax)
⇒インバータを4並列多重



Bend & Large Q-family (4kV, 1570Amax)
⇒インバータを4並列多重



【4kV, 400A】 & 【2kV, 200A】 の2種類のインバータが必要
(産業用インバータと比較して中途半端なスペック)

NPCインバータによるコモンモードの抑制（NPCインバータの開発）

三菱半導体（IGBT モジュール）

CM1000DUC-34NF

大電力スイッチング用

絶縁形

CM1000DUC-34NF

- 第5世代 IGBT/FWDi 搭載 MPD シリーズ -



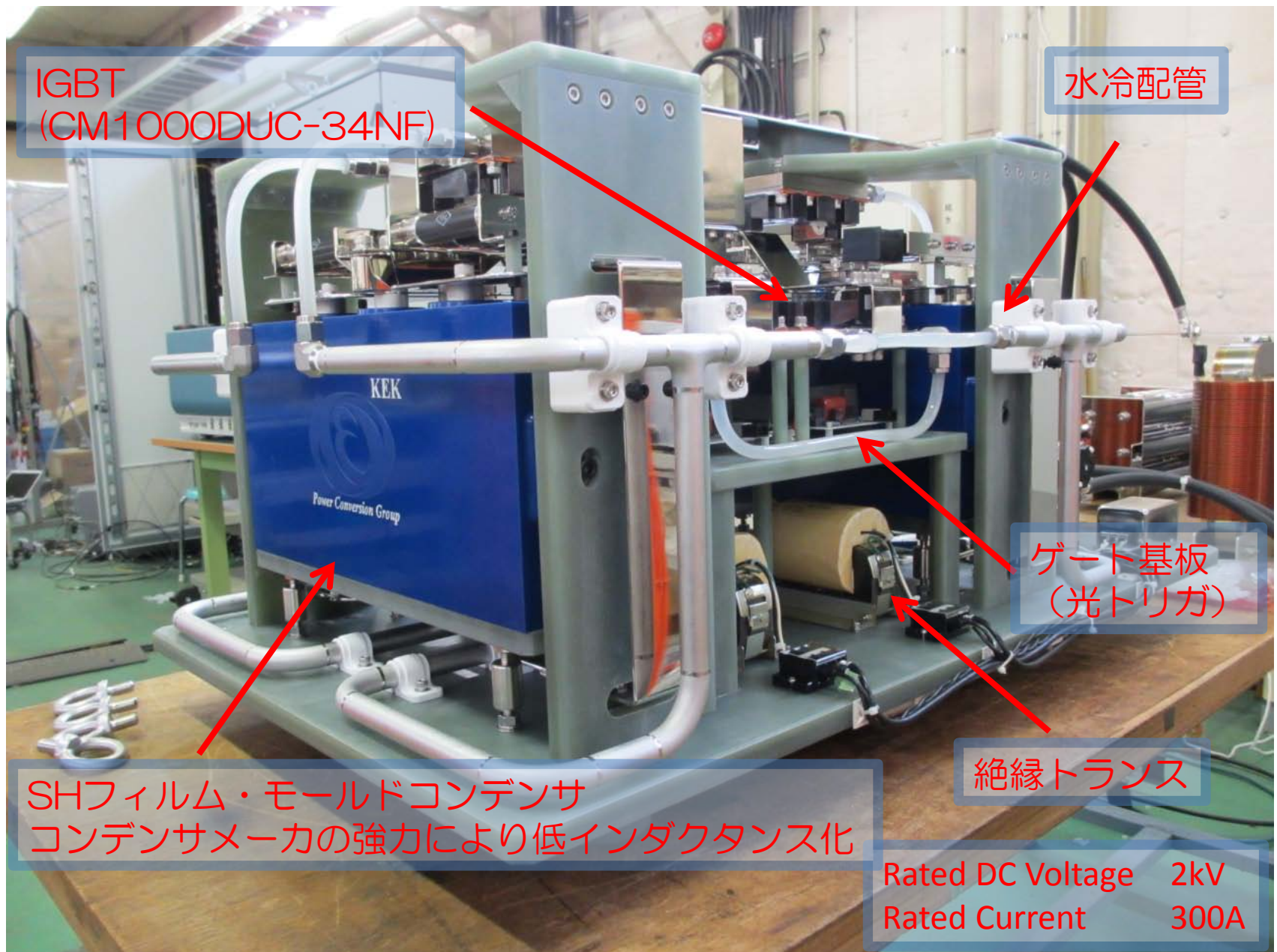
2素子入

- I_C 1000 A
- V_{CES} 1700 V
- フラットベース形
銅（メッキレス）ベース板

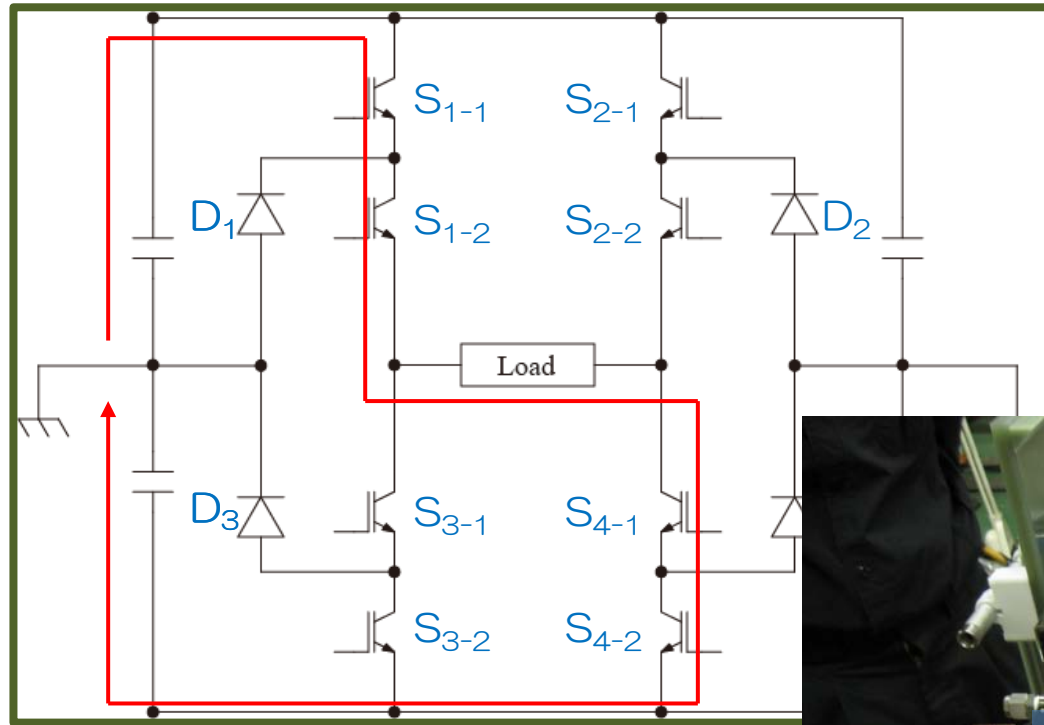
電気的特性（指定のない場合、 $T_J=25\text{ }^\circ\text{C}$ ）

記号	項目	条件	規格値			単位
			最小	標準	最大	
I_{CES}	コレクタ・エミッタ間遮断電流	$V_{CE}=V_{CES}$, G-E間短絡	-	-	1	mA
I_{GES}	ゲート・エミッタ間漏れ電流	$\pm V_{GE}=V_{GES}$, C-E間短絡	-	-	5	μA
$V_{GE(th)}$	ゲート・エミッタ間しきい値電圧	$I_C=100\text{ mA}$, $V_{CE}=10\text{ V}$	5.5	7	8.5	V
V_{CEsat}	コレクタ・エミッタ間飽和電圧	$I_C=1000\text{ A}$ (注5), $V_{GE}=15\text{ V}$				V
		$T_J=25\text{ }^\circ\text{C}$	-	2.2	2.8	
		$T_J=125\text{ }^\circ\text{C}$	-	2.45	-	
C_{ies}	入力容量	$V_{CE}=10\text{ V}$, G-E間短絡	-	-	220	nF
C_{oes}	出力容量		-	-	25	
C_{res}	帰還容量		-	-	4.7	
Q_G	ゲート電荷量	$V_{CC}=1000\text{ V}$, $I_C=1000\text{ A}$, $V_{GE}=15\text{ V}$	-	6000	-	nC
$t_{d(on)}$	ターンオン遅れ時間	$V_{CC}=1000\text{ V}$, $I_C=1000\text{ A}$, $V_{GE}=\pm 15\text{ V}$,	-	-	600	ns
t_r	上昇時間		-	-	200	
$t_{d(off)}$	ターンオフ遅れ時間	$R_G=0.47\ \Omega$, 誘導負荷	-	-	1000	
t_f	下降時間		-	-	300	
V_{EC} (注1)	エミッタ・コレクタ間電圧	$I_E=1000\text{ A}$ (注7), G-E間短絡	-	2.3	3.0	V
t_{rr} (注1)	逆回復時間	$V_{CC}=1000\text{ V}$, $I_E=1000\text{ A}$, $V_{GE}=\pm 15\text{ V}$,	-	-	500	ns
Q_{rr} (注1)	逆回復電荷	$R_G=0.47\ \Omega$, 誘導負荷	-	90	-	μC
E_{on}	ターンオンスイッチング損失	$V_{CC}=1000\text{ V}$, $I_C=I_E=1000\text{ A}$,	-	272.4	-	mJ
E_{off}	ターンオフスイッチング損失	$V_{GE}=\pm 15\text{ V}$, $R_G=0.47\ \Omega$, $T_J=125\text{ }^\circ\text{C}$,	-	250.2	-	
E_{rr} (注1)	逆回復損失	誘導負荷, 1パルスあたり	-	172.4	-	
R_{CC+EE}	内部配線抵抗	主端子・チップ間, 1素子あたり, $T_C=25\text{ }^\circ\text{C}$ (注2)	-	0.286	-	m Ω
r_g	内部ゲート抵抗	1素子あたり	-	0.67	-	Ω

NPCインバータによる共通モードの抑制（NPCインバータの開発）



NPCインバータによるコモンモードの抑制（NPCインバータの開発）

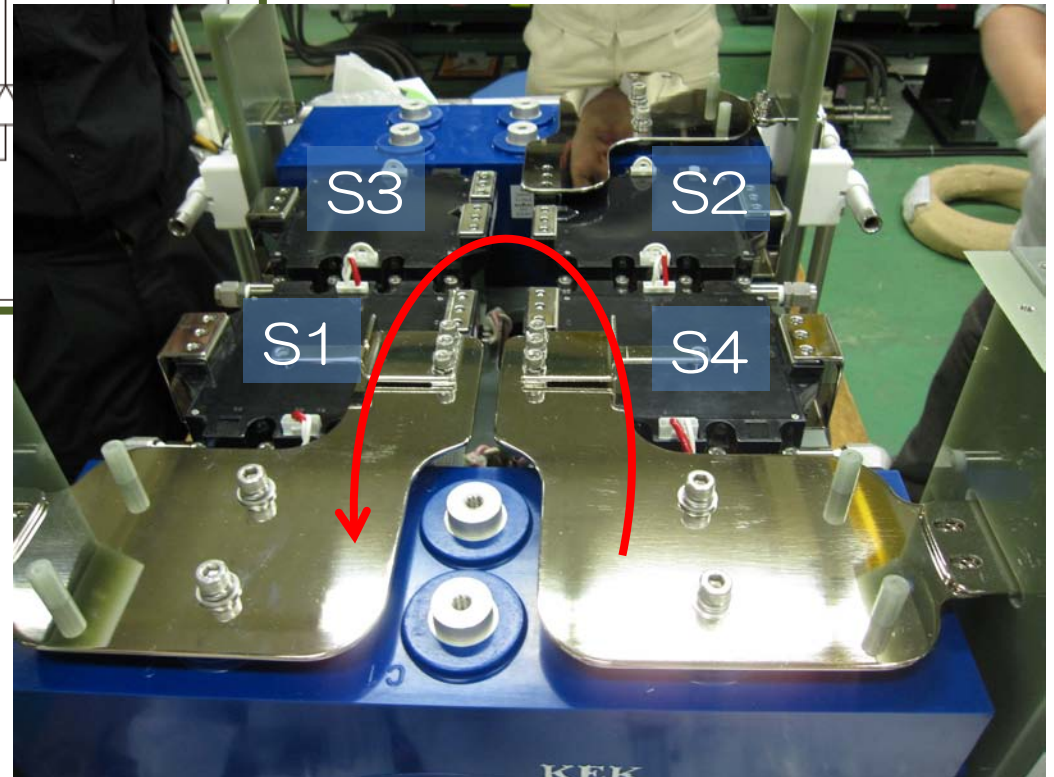


電源内部の寄生インダクタンスを低減する事がサージ電圧を抑制し電源を安定に動作させる上で非常に重要となる。

コンデンサに関しても、製造メーカーの全面的な協力の下インダクタンスの極めて小さなコンデンサの開発に成功。



内部インダクタンス < 30nH

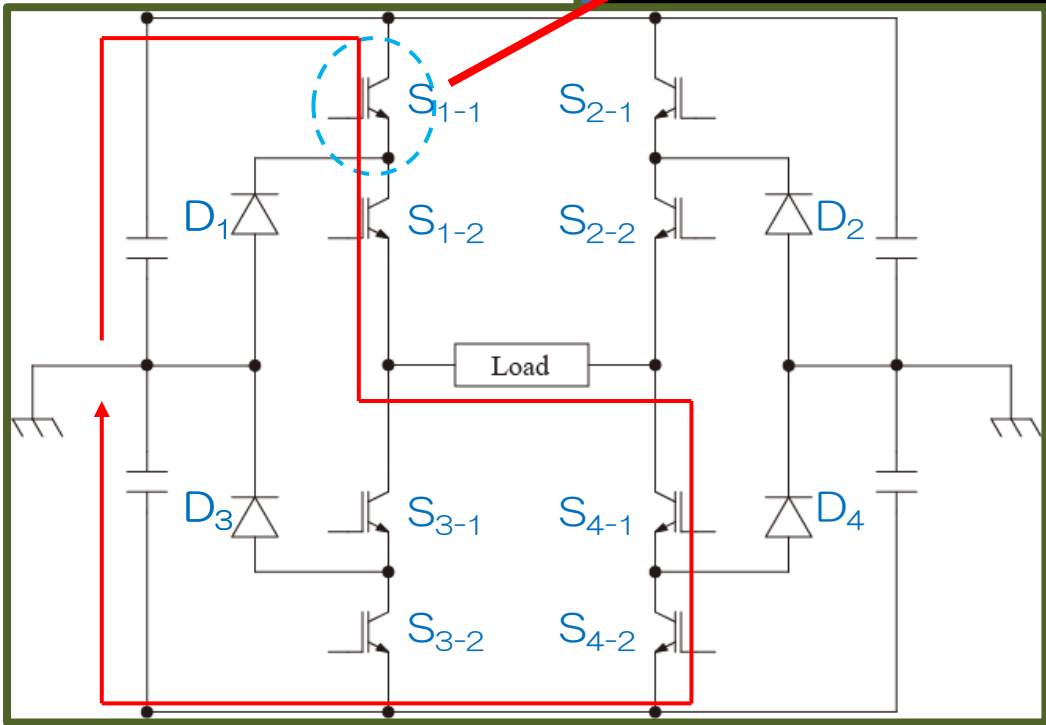
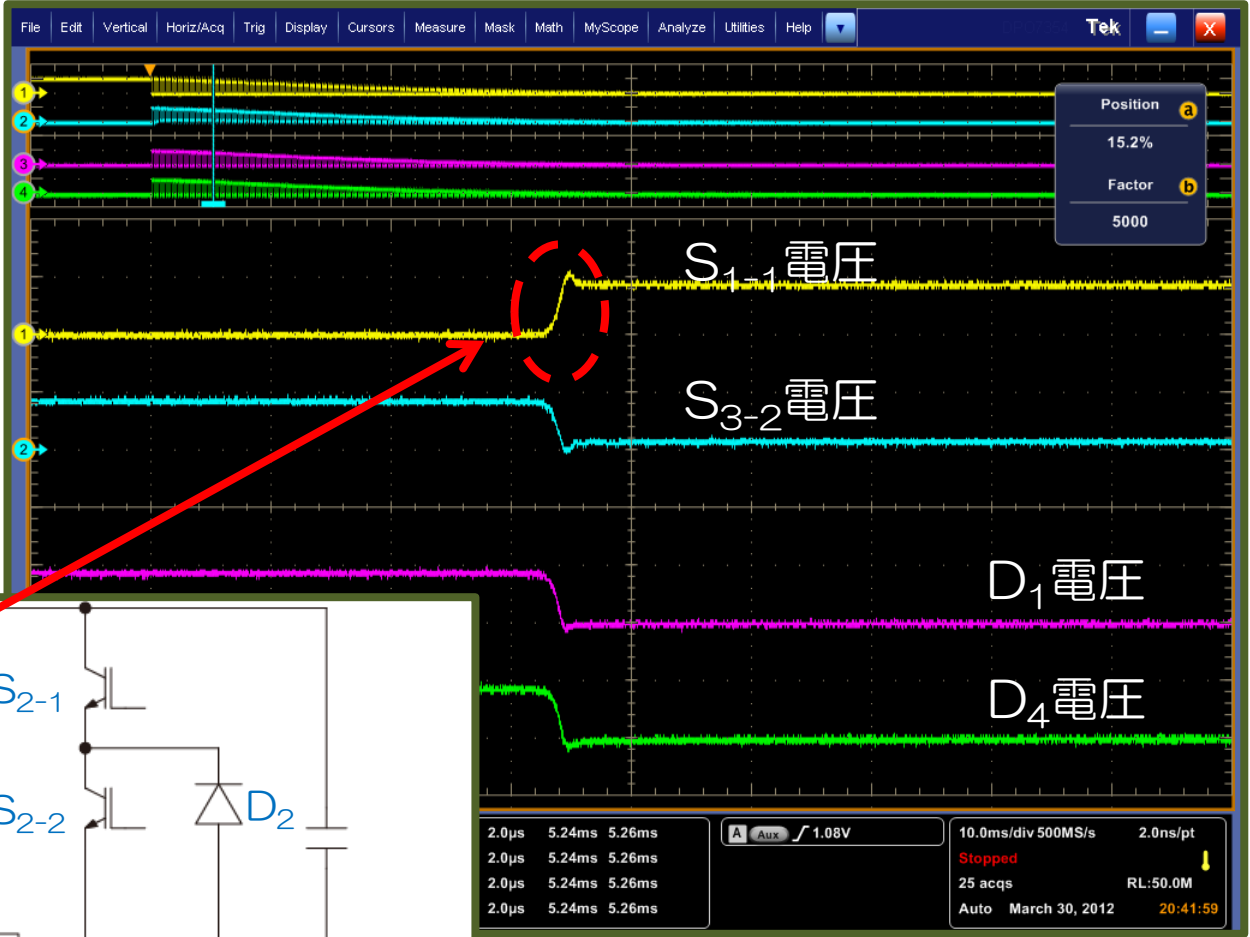


S1とS4を構造的に対向させて配置する事で、力行時の一巡ループインダクタンスの低減が可能

NPCインバータによる共通モードの抑制 (NPCインバータの開発)

IGBT OFF時

充電電圧2000V
出力電流300A 遮断時の
コレクター-エミッタ間電圧
(300kW出力時)

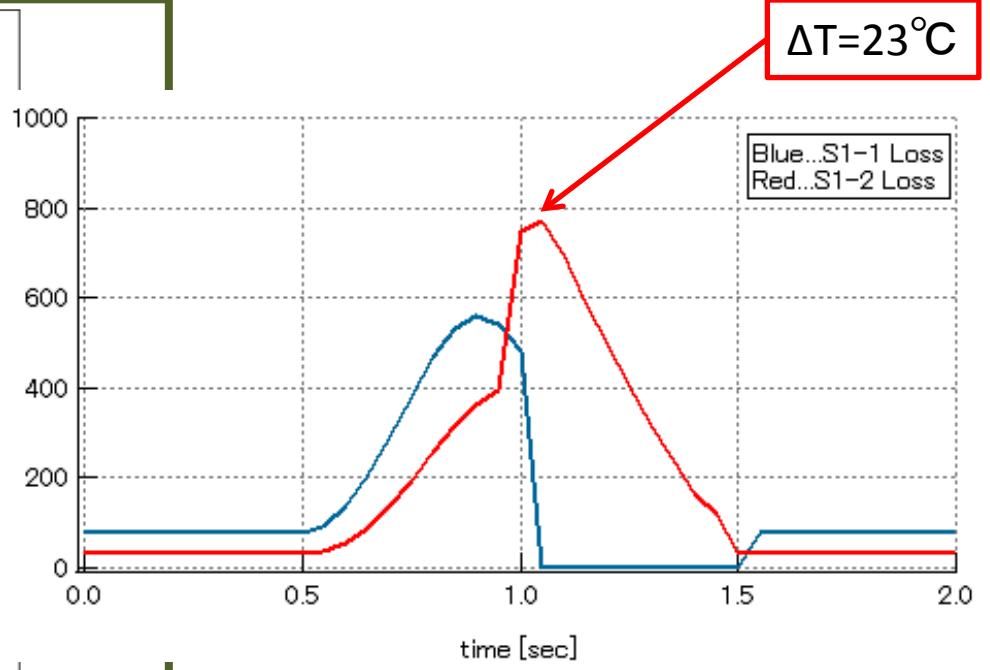
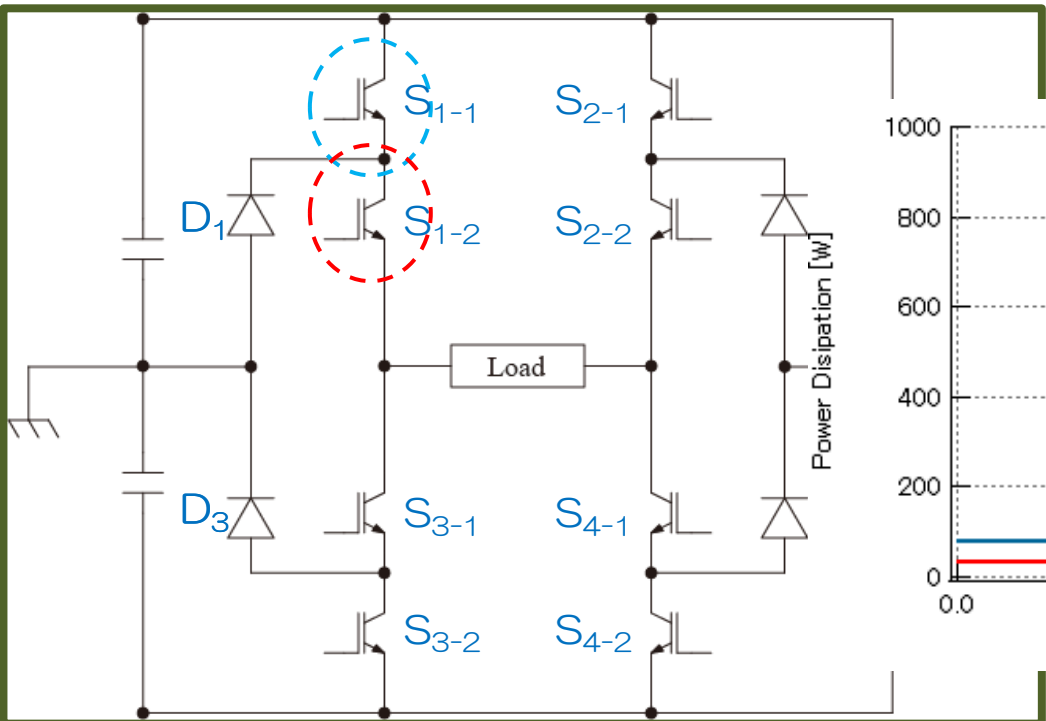
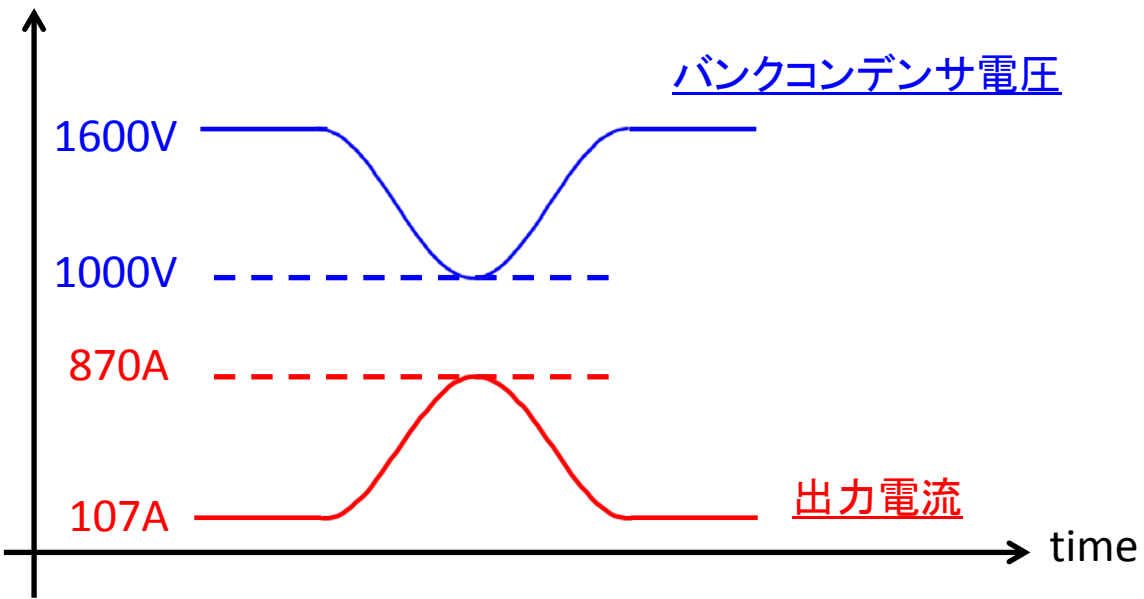


回路の構造及び配線の最適化
により【完全スナバレス】を達成

遮断電流勾配 1.5kA/μsec

NPCインバータによるコモンモードの抑制 (NPCインバータの開発)

サイクル運転における各IGBTでの損失

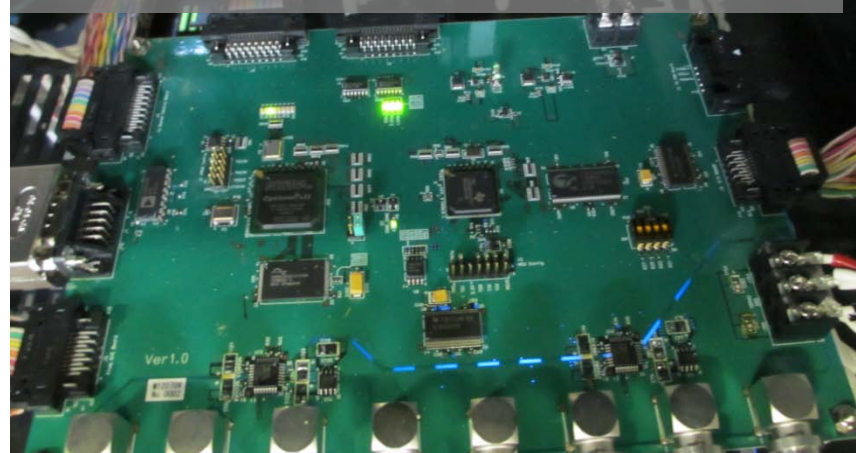


6) BM2 (J-PARC実負荷) による原理実証

フィルタリアクトル
アモルファスに平板銅板を巻く事で
大幅に周波数特性を向上



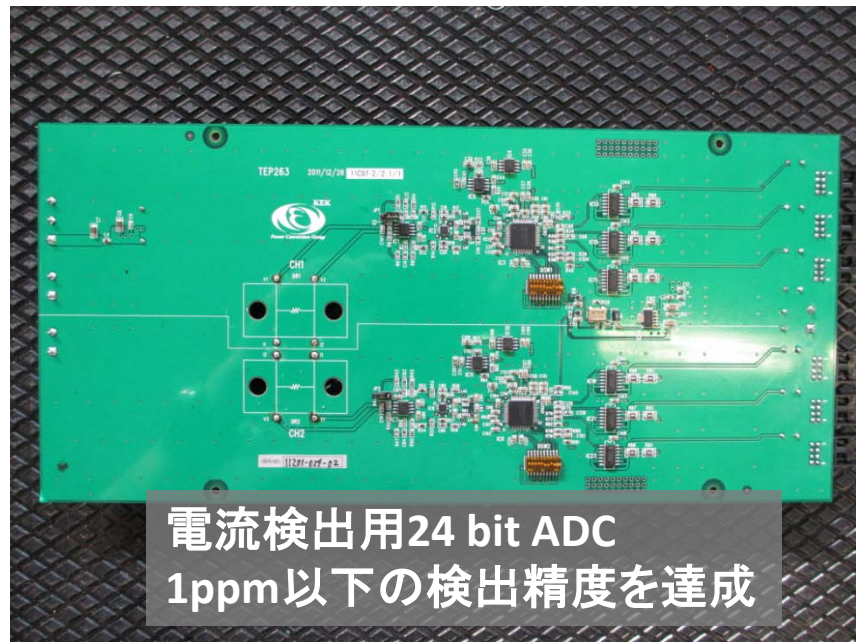
フィードバック基板
FPGAとマイコンとの組合せでメモリの
大容量化と高機能フィードバックを実現



500kVA NPCインバータ
超低インダクタンスコンデンサにより
完全スナバレス化を達成

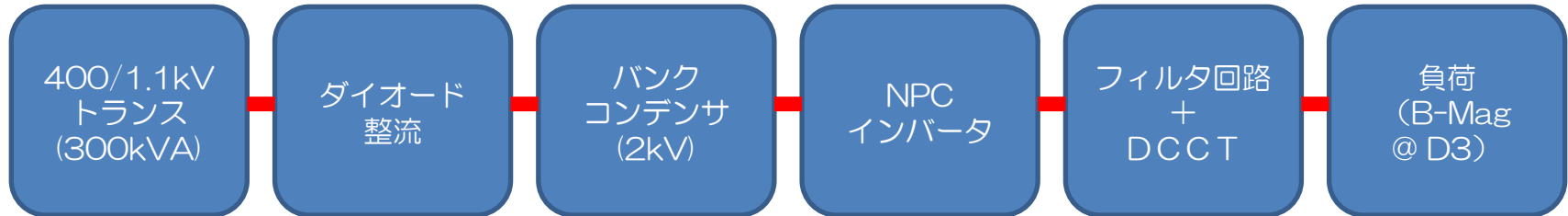


電流検出用24 bit ADC
1ppm以下の検出精度を達成



新規NPCインバータ 大電力試験

(電力機器の耐久試験+高繰り返し化予備試験+ppmリップル検証)



新規開発した各コンポーネントを組み込んだ試験用電源装置
(今夏東海で300kVAの電力試験)

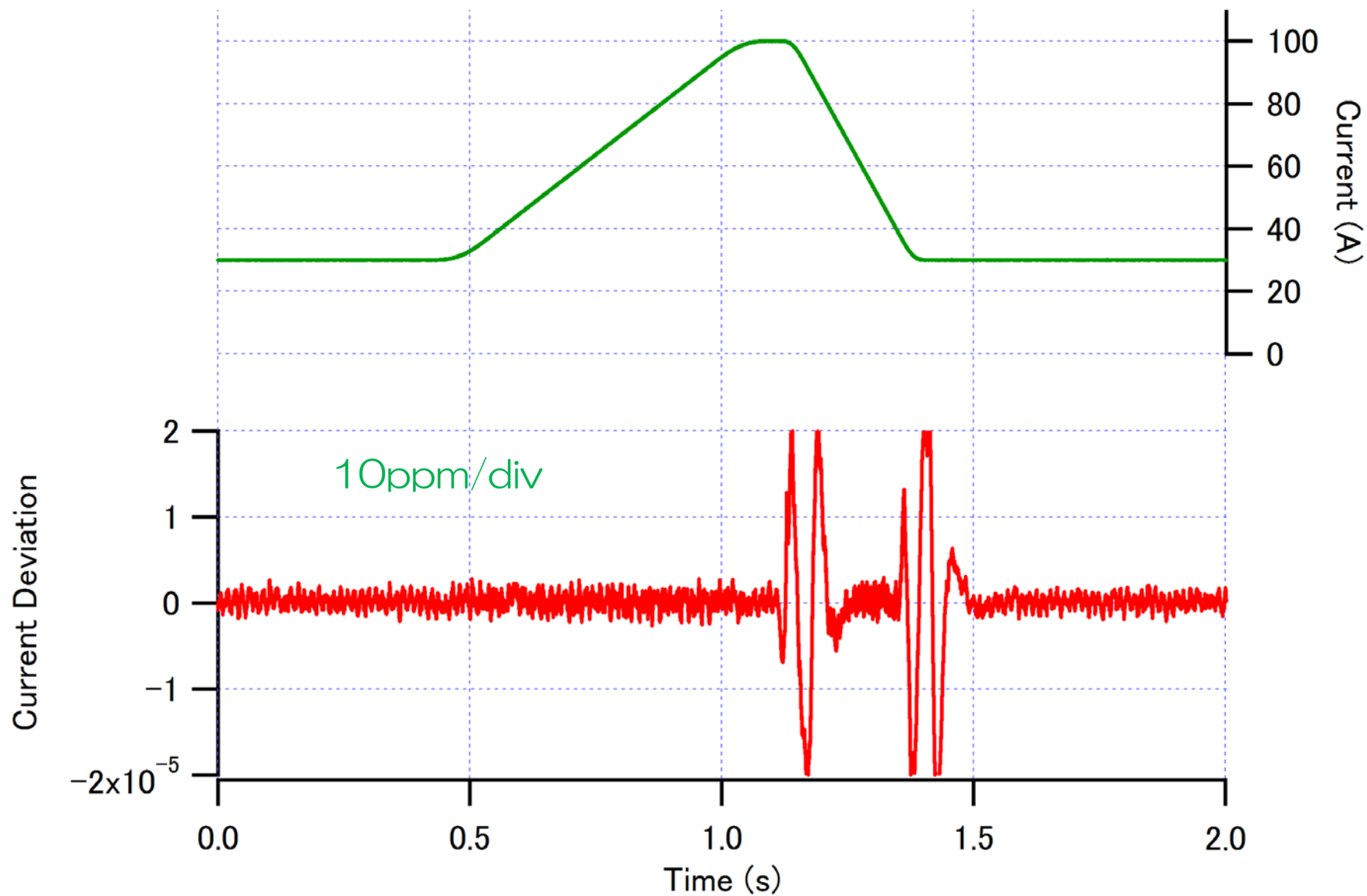
～出力条件～

最大出力電圧	1.3kV
最大出力電流	300A
最大出力電力	400kW
繰り返し	1Hz max

～計測項目～

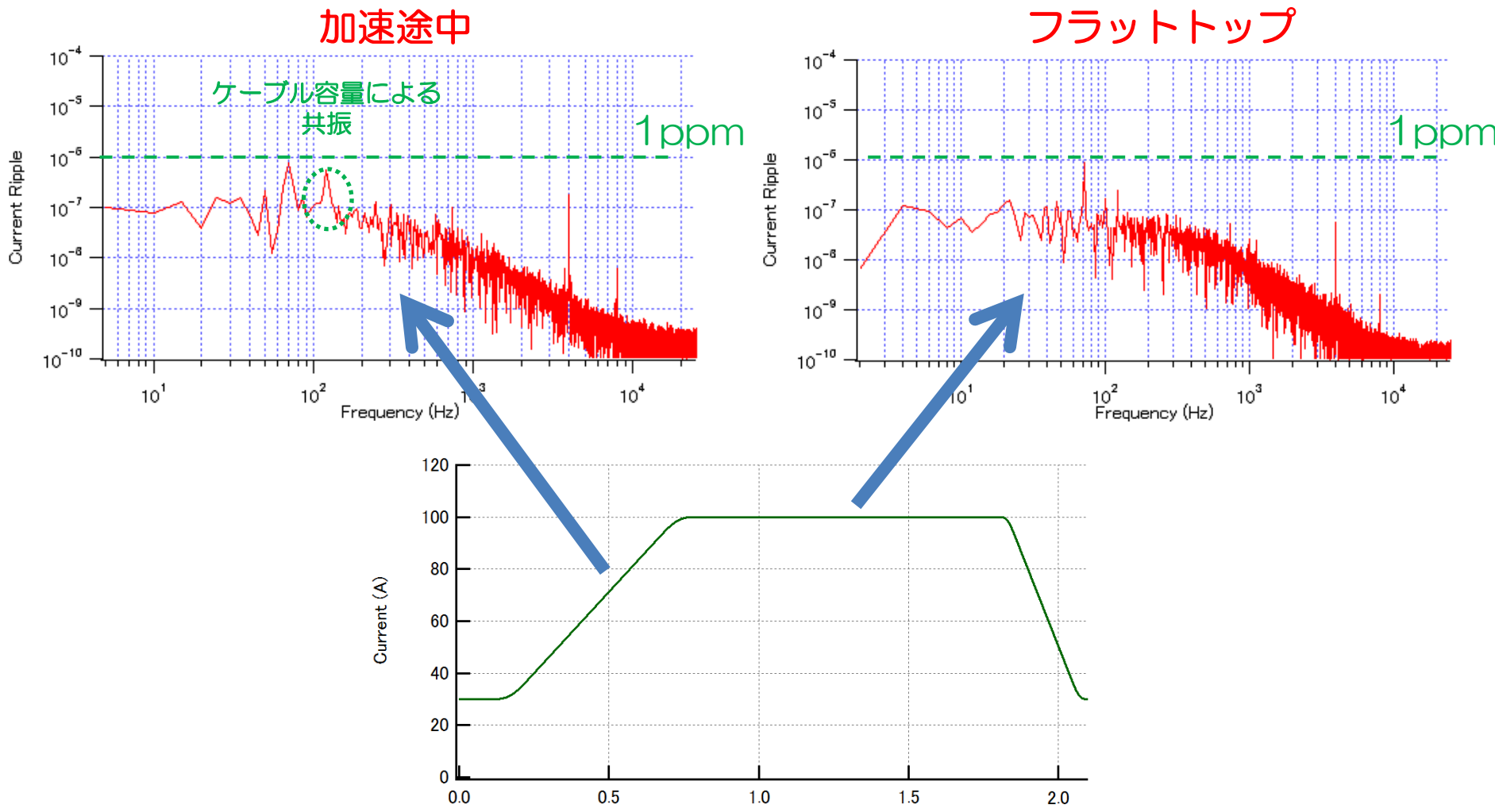
- ・IGBT電圧サージ
- ・還流ダイオード逆回復電圧
- ・内部損失&温度上昇
- ・磁石での渦電流効果・損失
- ・リップル&追従誤差

BM2 (J-PARC実負荷) における原理実証試験；追従誤差



入射から取り出しの全ての期間において追従誤差をppmオーダに抑えている。

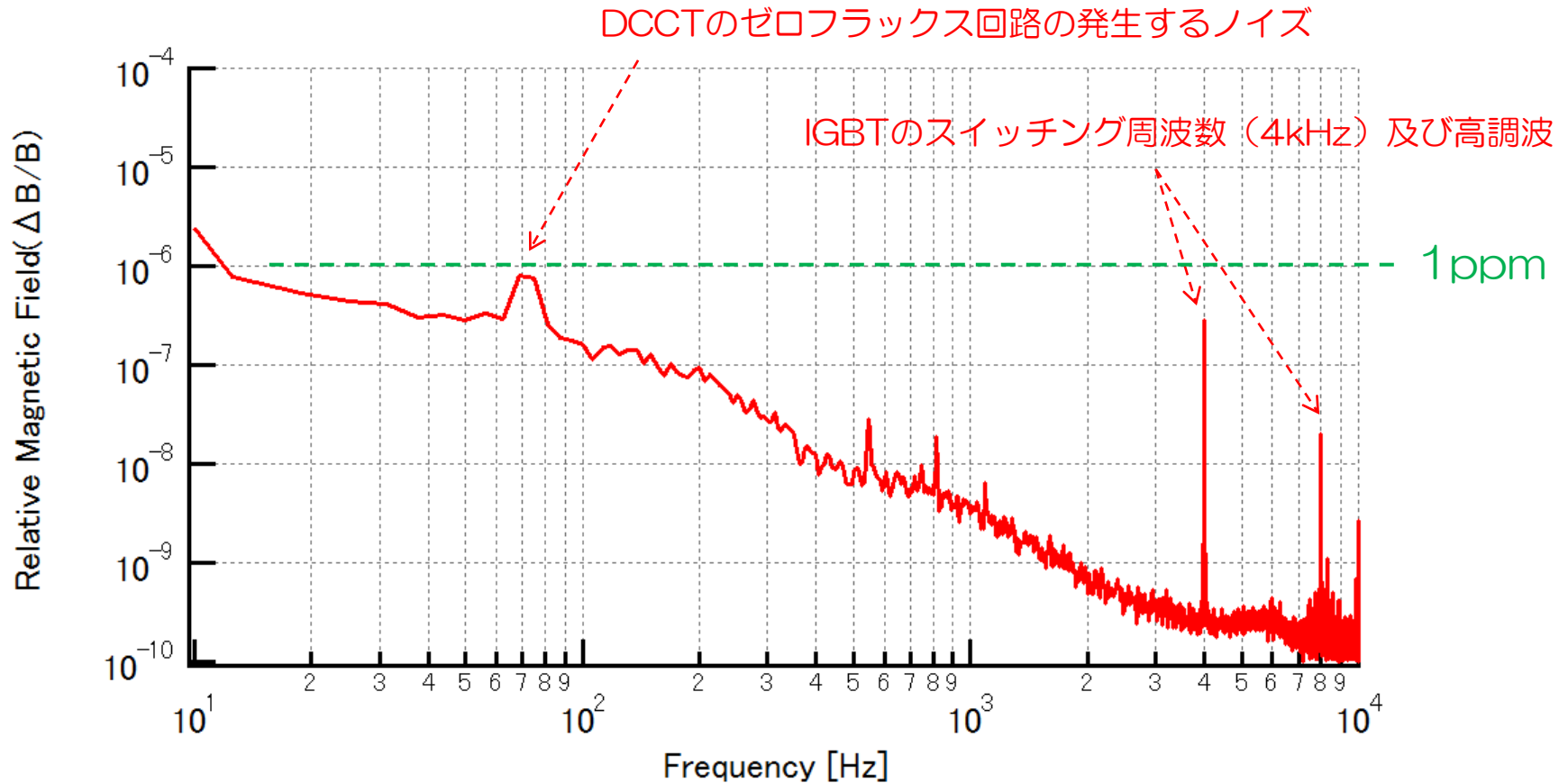
BM2 (J-PARC実負荷) における原理実証試験；電流リップル



入射から取り出しの全期間で1ppm以下を達成したが・・・
加速途中では、ケーブル容量と磁石のインダクタンスによる共振が観測された。
実機B電源では出力電圧が高くなるので、解析の結果約5~10倍大きなリップルと予想される。
何らかの対策（本数を減らす？低静電容量ケーブルの開発？）が必要。

BM2 (J-PARC実負荷) における原理実証試験；磁場測定 (BM161にて測定)

磁場リップル測定結果 (30ADC)；実磁場 (0.222kG) で規格化
計測者；五十嵐、染谷、栗本、森田、小関 (敬称略)



磁場測定の結果でも1 ppm以下のリップル性能を達成している。
実機では変換器の高電圧化に伴いスイッチングリップルも増大するが、
並列多重により15kHz程度までリップル成分を高めるので、
問題ないと考えている。

7) 今後のシナリオとまとめ

今後の開発シナリオとまとめ

- ・ 今後KEKにて開発した技術を製造メーカーに移管するため、**試作プロセスが重要**となってくる。
- ・ 試作電源を長時間運用して、十分な検証を行う事が重要。

今後の要素技術開発

- ・ PCIバスを利用した大型電源用PWM装置の開発
- ・ 位相シフトによる並列多重化技術の確立
- ・ フライイングキャパシタの原理実証
- ・ 4kV-NPCインバータの開発
- ・ 交流重畳DCバンクコンデンサの開発
- ・ コンデンサ保護（低I²t溶断ヒューズの開発）
- ・ 高精度磁場測定及び補正方法の確立

今後のスケジュール

	2012	2013	2014	2015	2016	2017
要素技術開発	■	■				
小・中型電源		■	■	検証試験		
大型電源		■	■	検証試験	運用	試験
量産					■	■ 据付

2017年度に立ち上げを行うためには、試作⇒検証⇒量産を確実に行う必要がある。
 ⇒検証試験の**時間と場所**を確保出来るかが重要なポイントとなる。