

J T - 6 0 データ処理設備実時間処理計算機

坂田 信也、次田 友宣、松田 俊明

日本原子力研究所那珂研究所

1 はじめに

J T - 6 0 データ処理設備実時間処理計算機 (以下 R T P と称す。) は、J T - 6 0 実験放電で生成されるプラズマに対し、帰還制御を行うために複数の計測装置よりデータを収集し、計測装置毎に組込まれた実時間帰還制御用アルゴリズム (以下、制御アルゴリズムと称す。) 処理を実施した後、実時間帰還制御用パラメータデータとして全系制御設備 (以下全系と称す。) に転送するという一連の処理を 1 m s 周期で実施している。(以下、この一連の処理を実時間処理と称す。)

一方、実時間処理実行中においても、J T - 6 0 実験放電シーケンスと同期をとる必要があるため、他計算機とネットワークを介したメッセージの送受信処理を行わなければならない。ここで問題となるのが割り込み処理の発生である。R T P では、この問題をリアルタイム拡張並列 U N I X と呼ばれるオペレーティングシステム、および 2 C P U を有する計算機を採用することで解決した。

また、今後の J T - 6 0 実験放電における実時間帰還制御の多様化を考慮した場合、実時間帰還制御用アルゴリズム演算時の処理能力の向上、高速なデータ収集装置の導入等、システム全体の機能拡張が必要となっている。

本報告では、現システムの紹介、および今後の開発予定について報告する。

2 システム構成

R T P は、処理装置、C A M A C 入出力装置、デジタル入出力装置、A / D 変換器、外部メモリボード、および光リフレクティブメモリより構成される。

図 1 に R T P 外観図を記す。

1) 処理装置

コンカレント System 9 2 0 0

・CPU MIPS R 4 4 0 0 2 個

・システムクロック 1 5 0 M H z

2) C A M A C 入出力装置

K I N E T I C M o d e l 2 1 4 0 - Z 1 A

シリアルハイウィドライバ

3) デジタル入出力装置

米国 P E N T L A N D 社製

マルチファンクションボード M P V 9 5 6

・チャンネル数 1 6 C H

4) A / D 変換器

米国 V M I C 社製 A / D 変換ボード V M I V M E - 3 1 2 3 (× 2 台)

・分解能 1 6 b i t

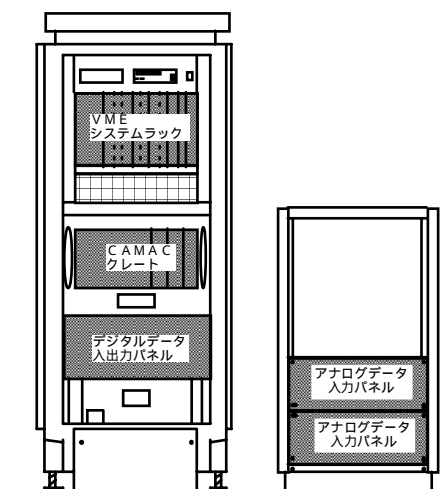


図 1 . R T P 外観図

- ・入力チャンネル数 16CH (×2)
- ・A/D変換速度 50μs / 16CH

5) 外部メモリボード

コンカレント日本製CCRVME - 40

- ・メモリ容量 32MByte

6) 光リフレクティブメモリ

米国VMIC社製光リフレクティブメモリボードVMIVME - 5576

- ・メモリ容量 256Kbyte
- ・データ伝送媒体 光ファイバケーブル

3 オペレーティングシステムの特徴

実時間処理実行時、実験放電と同期をとるため、デジタル入出力装置を介して、実時間処理制御周期タイマーとなる1msクロック信号、および数種類のタイミング信号を外部より取り込んでいる。しかし、実時間処理実行中にシステムからの割り込みが発生した場合、これらのタイミング信号を取り込めず、実験放電と同期をとることが出来なくなり、その結果、実時間帰還制御時に時間軸のズレが発生してしまうことになる。このため、通常のUNIXオペレーティングシステムに対し、リアルタイム機能の拡張を施したリアルタイム拡張並列UNIX(RTU)と呼ばれるオペレーティングシステムを採用することでこの問題を解決した。

本オペレーティングシステムがJT-60実験放電において実時間処理を実行させる上での利点は、

- ・実時間処理プロセスを任意のCPUに割り当てが可能であること。
- ・実時間処理を行うCPUに対し、システムからの割り込みを禁止することが可能であること。

が、挙げられる。これらの機能により、実験放電と同期した実時間処理を実現させている。図2にCPU制御遷移概念図を記す。

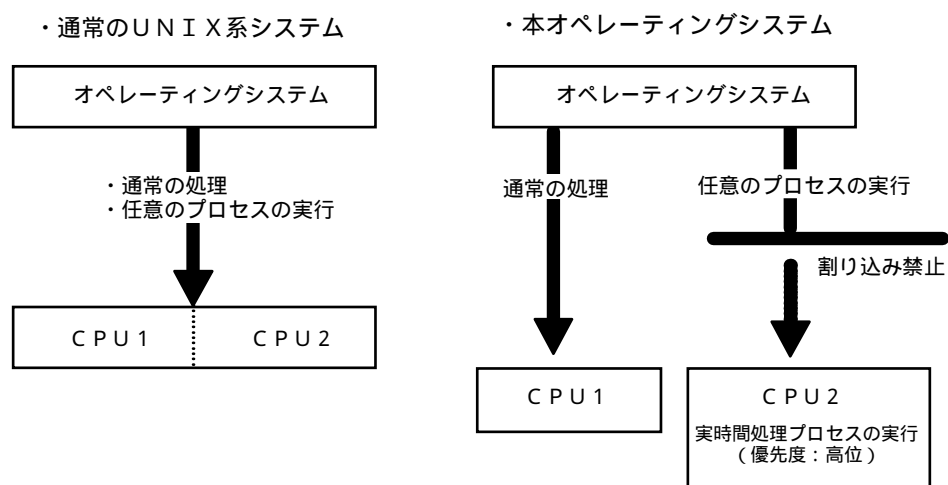


図2 . CPU制御遷移概念図

4 JT - 6 0 における R T P の位置付け

JT - 6 0 における実時間帰還制御系ループは、計測装置、R T P、全系、ガス注入装置、および加熱装置より構成される。図3に実時間帰還制御ループ概略図を記す。

現在、実時間処理プログラム内には、12項目の制御用アルゴリズムが組込まれており、実験目的に応じて任意の制御用アルゴリズムを選択し、実験放電に生成されるプラズマに対し実時間帰還制御を実施している。この実時間帰還制御実施時、R T Pは、放電開始～放電終了までの約65sec間、他システムより転送される1msクロック信号を制御周期とし、選択された制御用アルゴリズムを演算するために必要となる計測装置からデータを収集し、演算処理実施後、実時間帰還制御用パラメータデータとして実時間帰還制御ループ上の上位計算機となる全系に対し、光リフレクティブメモリを介して転送する。図4に実時間処理概略図を記す。

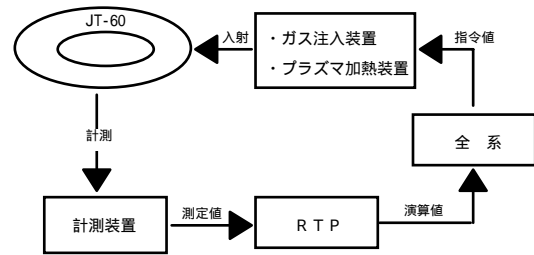


図3．実時間帰還制御ループ概略図

また、実時間処理プログラム内に組込まれた12項目の制御用アルゴリズム中には、各々の計測装置の特性を生かしたデータ収集方法、および計測装置のハードウェア異常検出口ジックを組み込み、ハードウェア異常による実験放電時の実時間帰還制御異常動作を回避している。

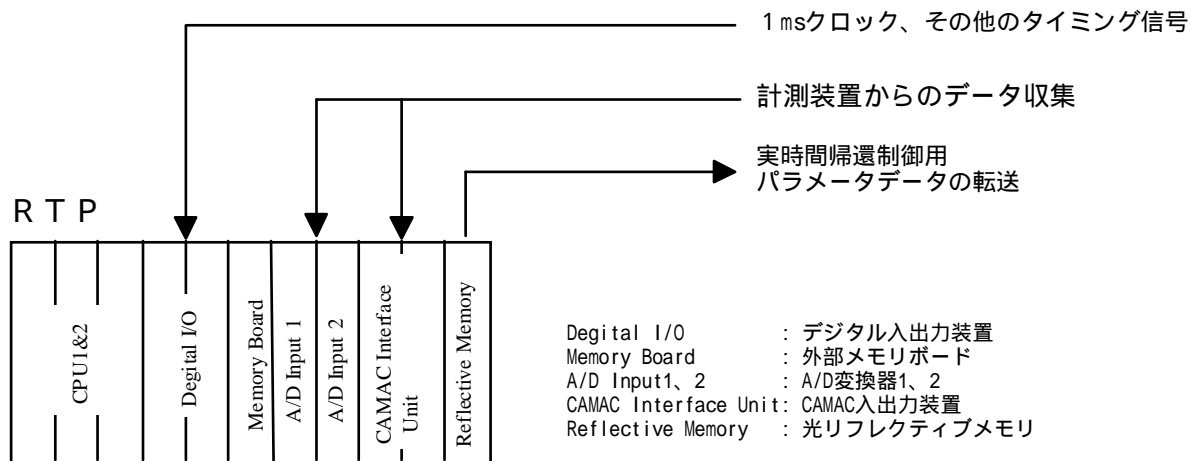


図4．実時間処理概略図

5 現R T Pでの課題

実時間処理プログラム内に組込まれた12項目の制御用アルゴリズム演算を実施するためには、計66点のアナログデータ入力が必要となる。しかし、現時点では、R T Pが有するアナログデータ入力点数の問題から、数パターンのアプリケーションプログラムを実験目的に合わせて切り替えることで運用せざるを得ない状況となっており、まずアナログデータ入力点の追加が必要となっている。

また、H16年度に新たに制御用アルゴリズムを組込む予定となっており、新規追加分の制御用アルゴリズム演算に要する処理時間、および新規アナログデータ入力点の取り込み処理に要する時間により、実時間処理制御周期遅延が発生する可能性も懸念される。このため、アナログデータ入力部の追加と同時にさらなる高速化も検討する必要がある。

6 今後の改造計画

現RTPでの課題に記したように第一にアナログデータ入力点の追加を予定している。

また、今後のJT-60実験放電における実時間帰還制御の多様化を考慮し、現RTPを基に複数台のスタンドアロン型計算機を用いた負荷分散型システムの構築に関して、以下のような検討を行っている。

6.1 負荷分散型RTPシステム

現在、実時間処理プログラム内に組み込まれ稼働している制御用アルゴリズムは、計測装置の特性により、実時間処理制御周期である1msを明確な指標としてデータ処理を実施する項目と時間的にある程度の許容範囲をもたせた項目とに分けることが可能である。ここで後者に該当する制御用アルゴリズムの演算処理、およびデータ収集をスタンドアロン型ワークステーションに移行し、現RTPの実時間処理実行時の負荷分散を図る。また、現RTP-スタンドアロン型ワークステーション間の接続には、システム内でクローズされたプライベートネットワークを構成し、各計算機間のデータ送受信処理を実施する。図5に新RTP構成案を記す。

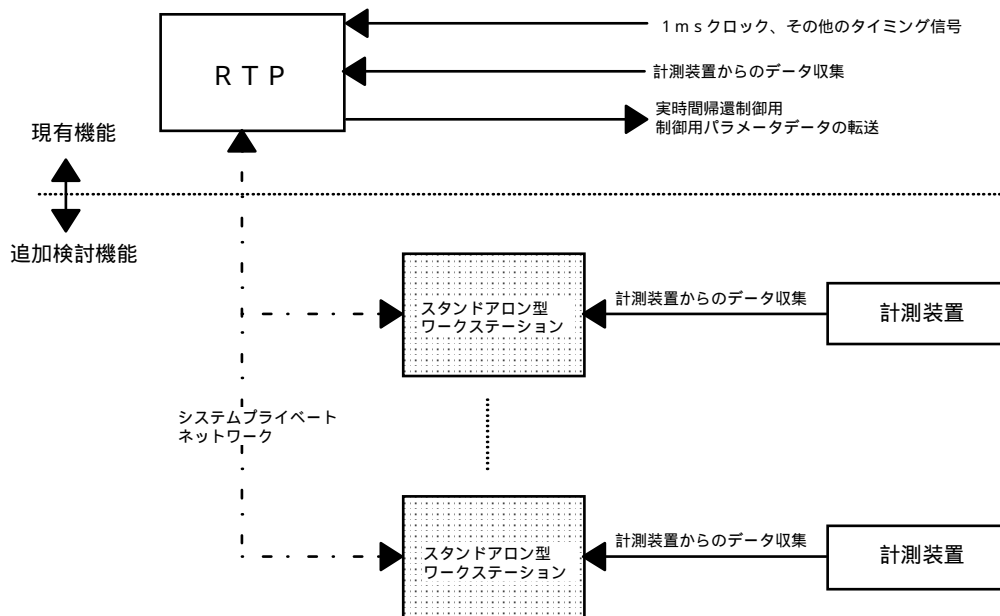


図5 . 新RTP構成案

上記、新RTPを構築するにあたって、

- ・現RTP-スタンドアロン型ワークステーション間のデータ送受信アルゴリズムの構築
- ・スタンドアロン型ワークステーション側の割込み処理による処理周期の不均一さへの対応

等の課題はあるものの今後のシステムの機能拡張、新たな制御用アルゴリズムの追加等を考えると非常に有効なシステムだと思われるため、早期実現を目標に検討を行っていく予定である。

7 まとめ

RTPは、数段階のステップを経てシステムの改良を実施し、JT-60実験放電における実時間帰還制御に対応してきた。しかし、現RTPはあくまで研究開発指向のシステムであることから、今後もJT-60実験放電における更なる実時間帰還制御の高度化、多様化に柔軟に対応できるように開発を進めていく予定である。