

# 粒子検出器読み出し用集積回路の開発

藤田陽一

高エネルギー加速器研究機構 素粒子原子核研究所 エレクトロニクスシステム

## 概要

近年、高検出頻度や2次元読み出し等の要求に応じるべく、従来からガス増幅検出器として広く用いられてきたワイヤーチェンバーにかわり、ワイヤーを使わない Micro Pattern Gas Detector (MPGD) の開発がさかんに進められている。MPGD はその応用範囲の広さから今後の大きな発展が期待されており、エレクトロニクスシステムグループでは測定器開発室のプロジェクトとして  $0.5\mu\text{m}$  CMOS プロセスを用いた MPGD 読み出し用フロントエンド ASIC (FE2007) (図1) の開発を行った。

FE2007 の主要要素は前置増幅器、波形整形回路、コンパレータ、閾電圧ばらつき補償用 DAC であり、入出力仕様は 8 入力、1 アナログサム出力、8 LVDS デジタル出力、チップサイズは 4mm 角である。

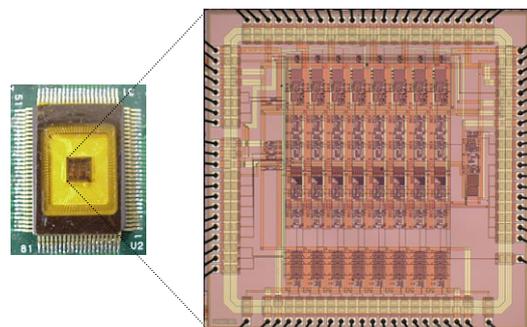


図1 FE2007 (4mm x 4mm)

## 1 はじめに

本 ASIC は粒子線検出器読み出し用アナログフルカスタム集積回路である。検出器より得られた微弱信号の増幅・信号処理を行う 8 チャンネルの処理回路がサイズ 4mm 角内に収められており、入力電荷をアナログ信号の電圧波高として、ヒットの有無およびタイミング情報をデジタル信号として出力する (図2)。電源電圧は  $\pm 2.5\text{V}$ 、入力は両極性の電荷に対応しておりその対応範囲は  $-1.5\text{pC}$  から  $+1.5\text{pC}$ 、出力はデジタル LVDS およびアナログサムである。半導体製造プロセスとして

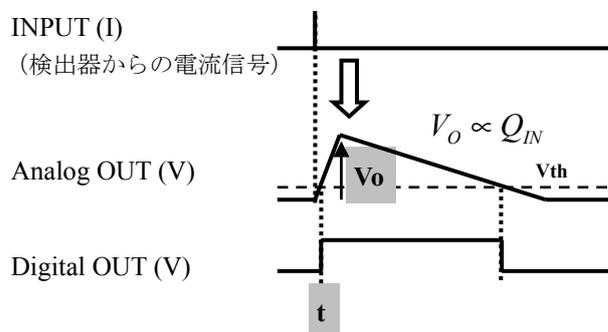


図2 FE2007 入出力 (1ch)

現在主流の CMOS が用いられており、本 ASIC はその高集積度・低消費電力の特長を生かし多チャンネル検出器の信号読み出しに向けたものとなっている。

## 2 回路構成

主要構成要素は前置増幅器、波形整形回路、コンパレータ、そして Digital to Analog Converter (DAC) などがある。図3に全体構成を示す。検出器に接続され雑音から効率よく微小信号を拾い上げる役割を担う前置増幅器、後段回路で取り扱いを可能にするべく増幅・整形を行う波形整形回路、設定した閾値以上の信号検出を知らせるコンパレータである。これらに加え、チャンネルの閾値ばらつきの大きさが問題とされる CMOS プロセスの対策として実装された  $V_{th}$  ばらつき補正用 DAC、全チャンネルのアナログ出力を一つにまとめるサムアンプ、内部ロジックを LVDS レベルに変換する LVDS コンバータ、較正パルス入力の信号経路に用いられるアナログスイッチなどで構成される。

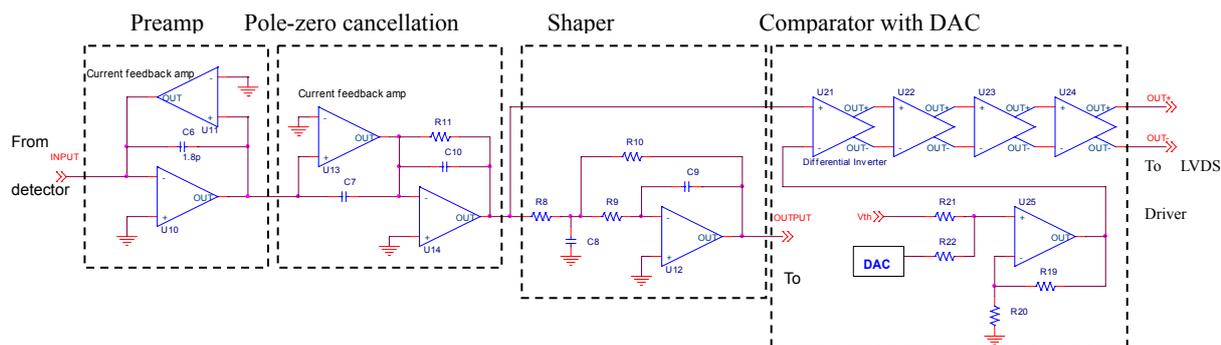


図3 FE2007 回路ダイアグラム (1ch)

## 2.1 前置増幅器

検出器で発生した電荷を受け取り電圧に変換して後段に伝達する。前置増幅器は系の S/N を決定するため検出器の信号が回路内部の雑音に埋もれないよう検出器に対して適切な入力インピーダンス特性を持つ必要があり、また回路雑音も十分に小さい必要がある。本回路はゲインが検出器容量に依存しない電荷有感型を採用しており、シングルエンド入力、フォールディッドカスコード入力段、ソースフォロウ出力段の構成である。ゲインを決めるフィードバック容量は 1.8pF であり、容量に蓄積された電荷の放電にトランスコンダクタンスアンプを用いている。

## 2.2 ポールゼロキャンセル

前置増幅器の出力は数  $\mu s$  の時定数で放電されるが、このままでは放電が終わる前に次の信号を受ける度にダイナミックレンジが狭くなる。更に最終段のサムアンプでは複数チャンネルの信号を受けるため、高レートに対応するためには前段で時定数を小さくしておく必要があり、本回路がその役割を担う。本回路では時定数は 25ns とし出力される。前置増幅器のポールをキャンセルするために前段と同一構成のトランスコンダクタンスアンプを用いている。

## 2.3 波形整形回路

オペアンプおよび5つの R ないし C で構成される多重帰還型 2 次ローパスフィルターである。フィルタ特性はバターワース、低周波ゲインは 1、クオリティファクタ  $Q=0.7$ 、ピーキング時間は J-PARC での高カウントレート X 線測定の要求から 20ns (固定) としている。

## 2.4 コンパレータ

低消費電力のため差動インバータ多段チェーン (4 段アナログ増幅) による方式を採用している。入力電圧 5mV 以上、閾電圧 2mV 以上、差動出力 1.9V、消費電力は約 1.2mW である。タイムウォーク改善のため、入力信号を前段アンプにより 10 倍に増幅している。

## 2.5 Digital to Analog Converter (DAC)

閾電圧のチャンネルばらつきを補償する目的で用いられ、チャンネル毎に実装される。5 つの重み付け電流源と制御回路からなるバイナリウェイト方式 5-bit DAC である (図 6)。外付け抵抗 RD により電圧に変換を行い出力とする。電流値は各電流源に直列接続されたスイッチにより制御する。最小電流源の設計値は  $1.6 \mu A$  であり、RD の値を選ぶことにより最小補償電圧を調整することができる。最小電圧を 10mV に設定した場合には補償電圧として約 300mV をカバーできる。

## 2.6 LVDS ドライバ

Complementary Self-biased 構成を採用、セルフバイアスによる高速応答が特長で立ち上がり下がり時間はともに 1ns である。LVDS は規格上信号が無い場合でも 100Ω 負荷に電流を流す必要があり、これが消費電力全体の約 3 割を占める。LVDS 回路を除く消費電力は約 19mW/ch である。

## 3 レイアウト

図 1 の主要部を拡大したレイアウトを図 4 に示す。図 4 には 2 チャンネルの処理回路とサムアンプがある。検出器からの信号は左側から入力され、後段の処理回路を経てヒットの有無が右端よりデジタルとして出力される。アナログ出力は各チャンネルの波形整形回路の出力がサムアンプにて加算され、下側にアナログとして出力される。チャンネル間ピッチは 250μm で規格化しており、アイソレーションは電源に接続されたウェルによってなされる。電源は回路がアナログデジタル混在のため、3 系統に分離を行っている。

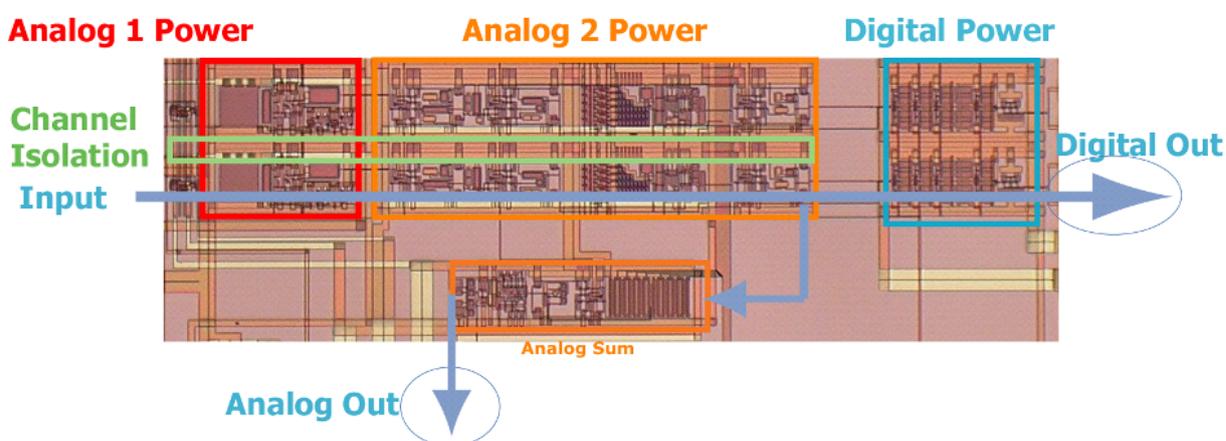


図 4 FE2007 レイアウト主要部

## 4 パルス応答

### 4.1 アナログ出力

正極性ステップパルス入力時の応答の様子を図 5 に示す。信号の立ち上がり下がりには約 100ns で、負極性パルスに対しても同様の応答となる。

### 4.2 デジタル出力

正極性ステップパルス入力時の応答 (LVDS) の様子を図 6 に示す。負極性パルスに対しても同様である。

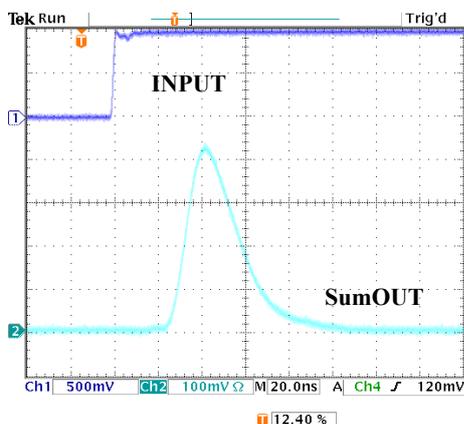


図 5 アナログ応答

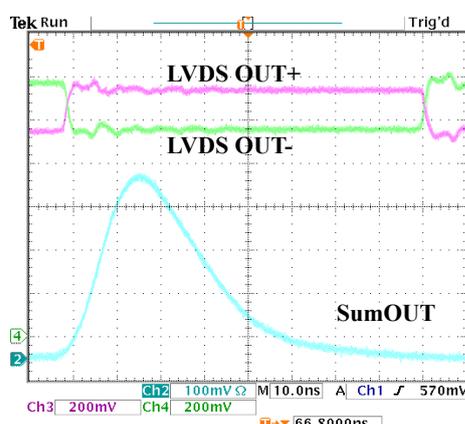


図 6 デジタル応答

## 5 仕様

FE2007 の仕様は表 1 のようにまとめられる。検出器容量 100pF の検出器読み出しの際の入力換算雑音は 6,000 electron (0.96fC) である。

## 6 成果

### 6.1 実験グループの採用例

FE ASIC を用いた読み出しボードでの成果として京都大および KEK 測定器開発室の例を挙げる。図 7 は京都大による X 線結晶構造解析におけるラウエ斑点、図 8 は測定器開発室 MPGD グループによる Cd スリットを用いた中性子線イメージングである。

Power Supply	2.5V, -2.5V
Channel	8
Input charge	-1.5pC ~ 1.5pC
Gain (Comparator Input)	0.44V/pC (13V/pC)
Gain Variation	8%
Integral non linearity	< 3%
Peaking time	20ns
Noise	6000e @ Cd = 100pF
Crosstalk	< 0.6% (Typical)
Timewalk	< 6ns
Vth compensation DAC	10 ~ 300mV @ 10mV/bit
Calibration	Common input w/MOS SW
Readout clock	10 MHz
Power dissipation	30mW/ch
Die size	4mm x 4mm

表 1 FE2007 仕様

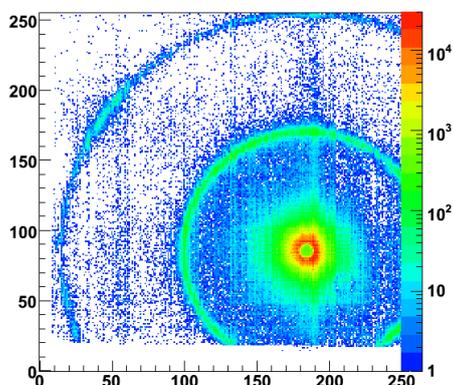


図 7 京都大宇宙線研究室  $\mu$ -PIC Anode 256ch + Cathode 256ch ベヘン酸銀 8keV 谷森氏提供

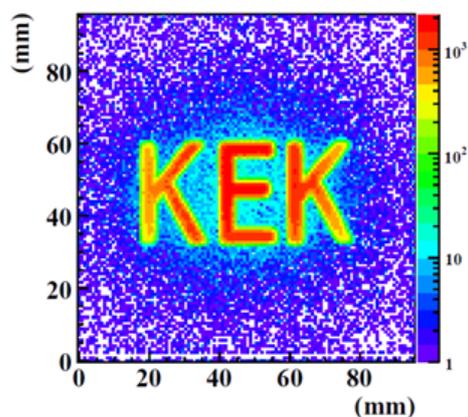


図 8 KEK 測定器開発室 MPGD グループ 中性子線イメージング 宇野氏提供

### 6.2 ASIC が開発できる講習会の実施

FE2007 の要素回路を用いて回路パラメータの変更や改良により他の検出器読み出しにも対応できる可能性がある。アナログ ASIC 開発は一般的に敷居が高くリスクを伴うが、FE2007 の要素回路は既に動作実績があるため、FE2007 ベースで様々な ASIC を低リスク・短期間で開発できると言える。したがって、それらをユーザに公開することにより ASIC 開発のアクティビティ向上に貢献できると思われる。以上をふまえて 2008 年 9 月 10-12 日および 2009 年 2 月 26、27 日に「CMOS アナログライブラリを用いた ASIC 製作実習」として講習会を開催し講師を務めた。この講習会は基本から学んでユーザ自らが自分の実験に使用可能な ASIC を開発することが可能としたものである。24 名が講習会を受講し、そのうち 15 名が実際に ASIC 設計・製作に取り組んだ。詳細は KEK トピックス (<http://www.kek.jp/ja/news/topics/2008/ASIC.htm>) を参照されたい。

## 参考文献

- [1] Y. Fujita et al, "Improvement of CMOS Front-End ASIC for MPGD  $\mu$ -PIC Readout System", presented at the IEEE Nuclear Science Symposium, Dresden 2008
- [2] Hirokazu Ikeda "Electronics for Particle Measurement" School of Mathematical and Physical Science The Graduate University for Advanced Study
- [3] 谷口敬 エレクトロニクスの基礎