

パルス波高値計測回路の製作

○吉田久史、豊田朋範

自然科学研究機構 分子科学研究所 装置開発室

概要

極端紫外光実験施設(UVSOR)の自由電子レーザー(FEL)実験において、透過型光強度モニターからのパルス信号の波高値を計測するための電子回路が必要となった。この情報は最終的に電子分光装置で使用するTDC(Time to Digital Converter)により時間情報としてパソコンに取り込みたいという要望があり、製作する計測回路には波高値の計測と同時にその値に比例した時間間隔の二つのパルスを出力する機能が必要となった。我々は、40MSPSの12bitAD変換器とXilinxのCPLDを使用し、それらの機能を順次実行する計測回路を製作した。

1 はじめに

計測するパルス信号は、振幅:約500mV、パルス幅:数 μ S、繰り返し周波数:20Hz程度のものである。一般的に、信号の波高値はピーク・ホールド回路によりアナログ量として検出した後、AD変換器でデジタル値に変換する方法が取られる。近年では高速・高分解能のAD変換器が比較的安価に入手できるようになったことから、我々はパルス信号をAD変換器で高速にサンプリングしデジタル処理で波高値を検出する方法を取った。波高値の検出のためのデータ処理は、マイコンを使用すれば簡単であるが処理に時間がかかってしまう。12ビット幅のデータをサンプリング周期25nS間にリアルタイムで処理するために、伝搬遅延が

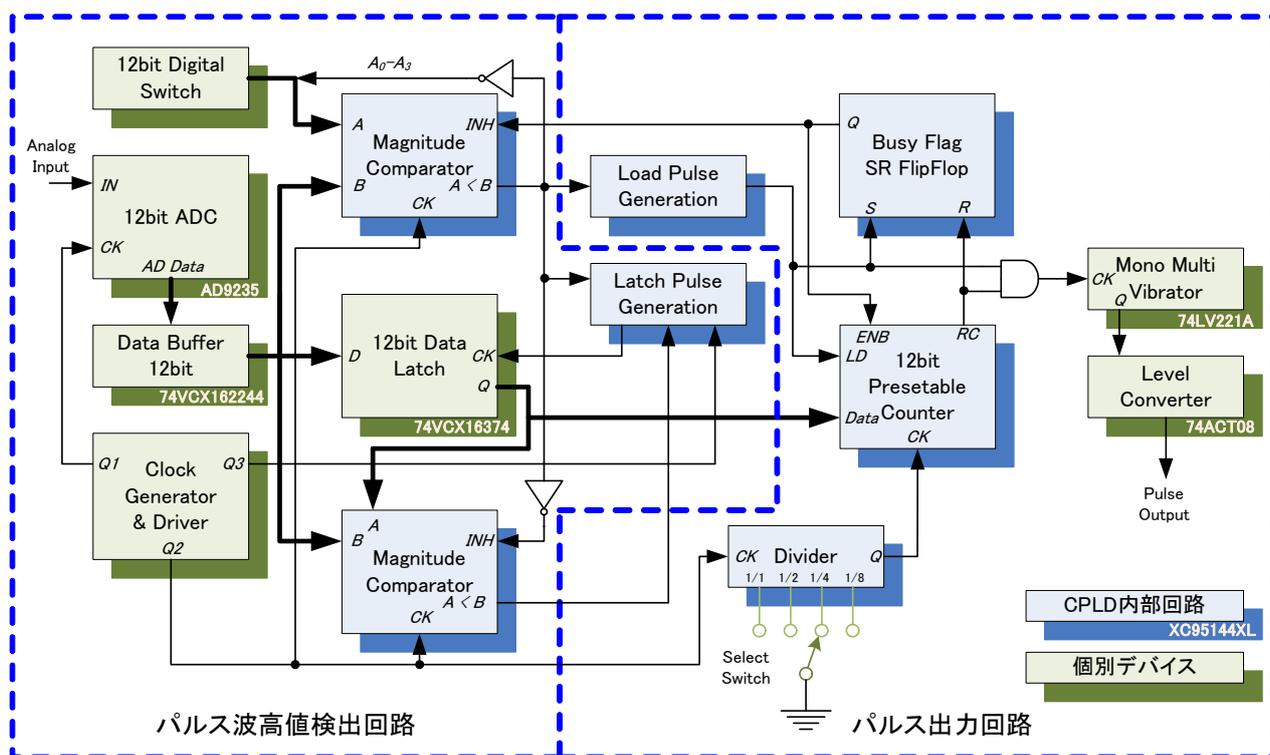


図1. パルス波高値計測回路のブロック図

できるだけ少ない低電圧ロジックの TTL と CPLD を使用し、ハードウェア的にパルス波高値を検出するための回路設計を行った。

2 計測回路の構成

本装置の回路構成を図 1 に、タイミング・チャートを図 2 に示す。図 1 中の緑色の機能ブロックは個別のデバイスを示し、また青色の機能ブロックは CPLD 内部に構成したものを表している。計測回路は前段のパルス波高値の検出回路と後段のパルス出力回路の二つの機能ブロックに分けることができる。この二つの機能ブロックはその動作と停止を相補的に繰り返すように設計した。従って、波高値の検出後のパルス出力期間が計測器のデッド・タイムとなる。当然であるが、このデッド・タイムは波高値に比例して変動することになる。次に、それぞれの機能ブロックについて説明する。

2.1 パルス波高値検出回路

パルス波高値検出回路は、12bit の AD 変換器(AD9235^[1])、2 個の 12bit のマグニチュード・コンパレータ (以下コンパレータ)、そして 12bit のデータ・ラッチ(74VCX16374)で構成される。AD 変換器は、40MHz のシステム・クロックで逐次変換動作を実行する。システム・クロックの立ち上がりでサンプリングが行われ、デジタル変換されたデータは 7 クロック・サイクル分のディレイ後にデータ・バスに出力される。データ・バスには、CPLD 内の二つのクロック同期型コンパレータと波高値を保存するためのデータ・ラッチが接続されている。ブロック図の上段のコンパレータは、データ・バスのデータ(B)とスイッチで設定するしきい値(A)の比較を行い、パルス信号の立ち上がりと立ち下がりを検知する役目を持つ。コンパレータの出力(A<B)は、タイミング図で示すように N~N+5 サンプリングのデータが出力されている期間”1”となる。この出力信号は下段のコンパレータの比較動作を機能させるための INH 信号、データ・ラッチのためのクロック信号、

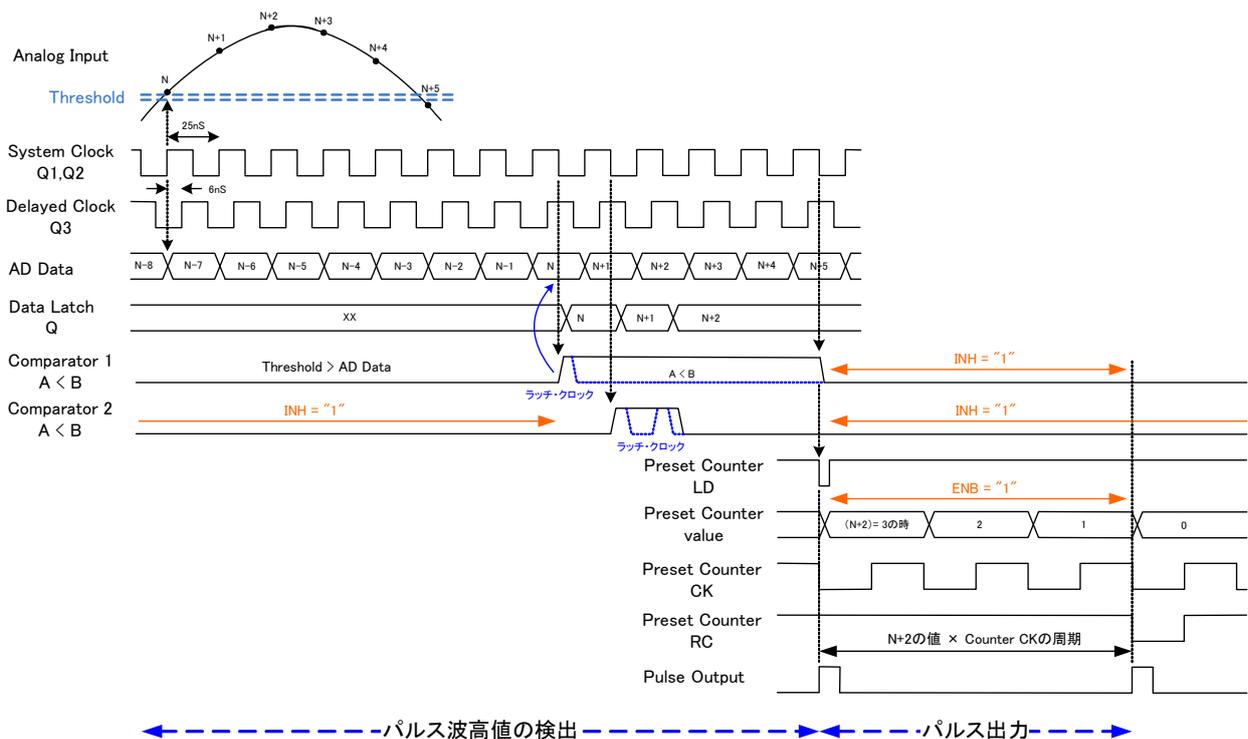


図 2. パルス波高値計測回路のタイミング・チャート

そしてプリセッタブル・ダウンカウンタのロード信号(LD)を生成するのに用いられる。さらに、この出力信号をしきい値の下位 1~4bit にフィードバックさせることも可能にした。このとき、パルス信号の入力前は下位ビットが全て"1"に、またパルス期間中は"0"となってコンパレータがヒステリシス特性を持つことになる。これにより、入力信号に重畳するノイズの影響を軽減することができる。

下段のコンパレータは、データ・ラッチのデータ(A)とデータ・バスのデータ(B)を比較することでパルス信号の波高値を検出するのに用いられる。タイミング図で示すように、この比較動作は 1 クロック後のデータ・バス上のデータから開始される。このコンパレータの出力信号(A<B)は、波高値を保存するデータ・ラッチのラッチ・クロックを生成するのに用いられる。その際、システム・クロックから約 6nS 遅延したクロック(Delayed Clock Q3)が必要となった。

2.2 パルス出力回路

パルス出力回路は、12bit のプリセッタブル・ダウンカウンタ、クロック分周器、SR フリップ・フロップ、モノマルチ(74LV221A)で構成される。前述したように、上段のコンパレータ出力の立ち下がりで生成される LD 信号は、カウンタにパルス波高値をセットすると同時にモノマルチのトリガー信号となって TDC への一つ目のパルスを発生する。さらに、LD 信号により RS フリップ・フロップがセットされ、これがコンパレータの機能を停止する信号(INH="1")となる。TDC への二つ目のパルスは、ダウンカウンタのリプル・キャリー(RC)で生成される。タイミング・チャートで示すように、TDC の入力となる二つのパルスのインターバルは、パルス波高値×ダウンカウンタのクロック周期となる。

3 計測回路のハードウェア

パルス波高値計測回路の回路基板は、アナログ信号の入力部である AD 変換ボードとデジタルの信号処理のための基板の 2 枚に分けて製作した。また、CPLD はザイリンクスの XC95144XL-10TQ144^[2]を搭載したカメレオン USB^[3]基板 (オプティマイズ) を使用した。AD 変換ボードおよびカメレオン USB は、デジタル処理ボード上のコネクタを介して接続する。そして、計測回路全体を NIM1 巾のブランク・モジュールに実装した。

3.1 AD 変換ボード

図 3 はプリント基板加工機で製作した AD 変換ボードである。アナログデバイスの AD9235 は、リファレンスやサンプル/ホールドを内蔵する単電源+3~+3.3V 動作の AD 変換器である。これを差動入力のドライバ(AD8138)で駆動し、1V_{p-p}の入力信号に対して 12bit のオフセット・バイナリ・コードを出力する回路を製作した。プリント基板には、AD 変換器の他、+3.3V の電圧レギュレータ(TPS79933)、データのバス・バッファ(74VCX162244)等も搭載されている。

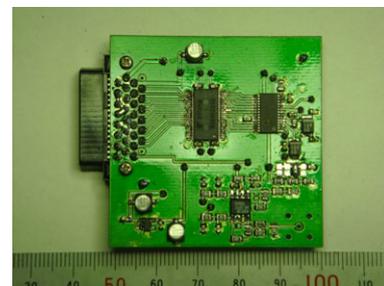


図 3. AD 変換ボード

3.2 デジタル処理ボード

図 4 (A),(B) にデジタル処理基板を示す。この基板の部品面に 20 ピン×2 列のコネクタ 3 個を設置し、そこにカメレオン USB 基板を搭載する。CPLD の I/O ピンへのアクセスや電源供給は、このコネクタ介して

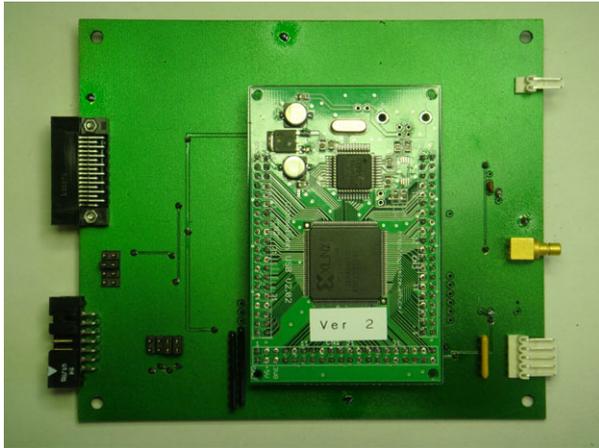
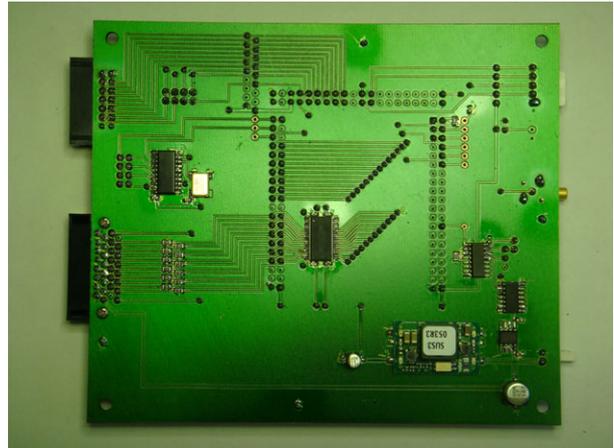


図 4. デジタル処理基板 (A) 部品面



(B) 半田面

行っている。一方で、CPLD のプログラミングと個々の機能の動作試験は、カメレオン USB 基板単独で行った。デジタル処理基板の半田面には、CPLD 以外の集積回路とデジタル系の 3.3V および 5V の電源回路が搭載されている。

4 動作試験

CPLD で製作したロジック機能をカメレオン USB 基板単独で試験した後、計測回路全体で動作試験を行った。まず始めにパルス波高値検出部分の動作試験を行うために、AD 変換器にファクション・ジェネレータで作成した疑似パルス(台形波)を入力し、ロジック・アナライザで各部の動作を観測した。図 5 に動作試験の様子を、図 6 にロジック・アナライザの観測波形の一部を示す。観測波形はパルス信号を検知するコンパレータの出力信号でトリガーをかけ、その前後のシステム・クロック(SClock)、ディレイ・クロック(DelayClock)、AD 変換データ(ADdata)、ラッチ・データ(LTdata)、コンパレータ出力(CP1,CP2)、ラッチ・クロック(LATCH)を表示している。トリガー位置で最初のデータ・バス上のデータがラッチされた後、入力パルスの立ち上がりからラッチ・データが次々と更新されて行く様子が分かる。コンパレータの比較判定のタイミング(SClock の立ち下がり)とその出力間に約 5nS、さらにラッチ・クロックが出力されるまでに約 5nS の伝搬遅延が観測できる。しかしながら、データ・バスのデータ(ADdata)はその期間安定しているのでラッチ動作には問題がないことが分かる。

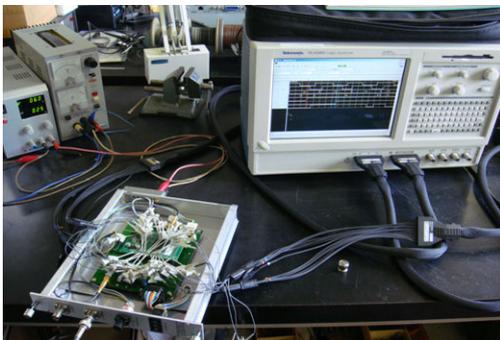


図 5. 動作試験の様子

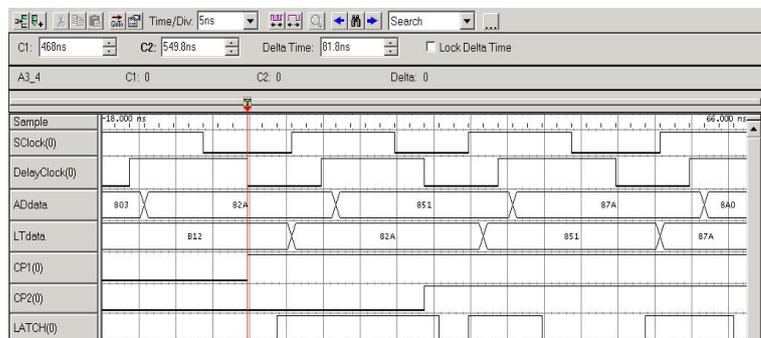


図 6. ロジック・アナライザ観測波形

最後に、パルス出力回路の動作を確認するためにオシロスコープで各部の波形観測を行った。図 7 は入力パルス信号とコンパレータ出力(CP1)、そして SR フリップ・フロップの出力信号(Busy Flag)を観測したものである。入力パルスがしきい値を超えている間コンパレータの出力がハイ・レベルとなり、その出力の立

