

FPGA 回路研修

1. 概要

本研修は FPGA 回路開発時に必須である開発ツールの使い方の習得を目指した実習形式の未経験者向けの研修です。研修終了後に独学で開発を進める事が出来る最低限の予備知識の習得を目指します。受講対象者として FPGA 回路開発未経験の電気電子工学を専門としない方を想定しています。特に物理実験系に所属する方を受講対象としていますが他の分野の参加者も歓迎いたします。

FPGA の回路を開発するために必要な知識は(1)デジタル回路設計に関する知識と(2)FPGA への実装方法です。(1)に関しては書籍などにより習得する事が出来ますが、(2)に関しては良い習得方法がありません。そこで本研修では(2)について学習します。本セミナー受講後は自分で設計した回路を FPGA に実装して動かすことができるので、(1)の学習効果が向上する事も期待しています。

実習で使用する FPGA は AMD 社 Artix-7 シリーズ、使用 HDL は Verilog-HDL です。

2. 講師と日程

講師：田内 一弥 氏（素核研 シニアフェロー）

日程：2 日間

2026 年 1 月 15 日（木） 9 時 30 分～16 時 30 分

2026 年 1 月 16 日（金） 9 時 30 分～16 時 30 分

場所：先端計測開発棟 208

3. 募集定員

先着 10 名

4. 対象者

機構内または機構外の技術職員

機構内の技術職員の方は、主幹もしくはグループリーダーに了承を得た者

5. 用意するもの

ノート PC

システム要件:

- Vivado ML 2023.1 ツールがインストール済みで、USB Type-A ポートがある Windows PC をご持参ください。Type-C のみの場合、USB Type-C/Micro Type-B (2.0) 変換ケーブルをご持参ください
インストール方法は下記 URL を参照して下さい。【一部 2018.2 等の記載箇所は、2023.1 に読み替えて下さい】
https://openit.kek.jp/training/2025/fpga/docs/Install_XilinxVivado2023_1.pdf
- 必要搭載メモリ容量: 2GB (4GB 以上を奨励します)

6. 募集期間

2025 年 12 月 10 日 (水) ~ 12 月 26 日 (金)

7. 申し込み方法

受講希望者は、申込書に記載の上、所内メール、または E メールで下記申し込み先までお送りください。機構内技術職員の方は、主幹またはグループリーダーの承認を得て提出してください。

受講申込書：<https://www2.kek.jp/engineer/tsukuba/senmon/>

8. 申し込み先・担当職員連絡先

専門研修委員 濱田英太郎 (PHS : 4396)

メールアドレス : s-kenshuu2025@ml.post.kek.jp