



前述の高速データ転送要素技術に送り込むデジタルデータを生成するためのアナログデジタル変換、時間デジタル変換要素に関しても FPGA 及び CMOS0.18 $\mu\text{m}$  やそれ以下の微細プロセスで開発中である。アナログデジタル変換の開発方針は、多チャンネル用途を念頭においた低消費電力数  $\mu\text{W}$ 、10MHz アナログデジタル変換回路と高速波形サンプリングを行うための 100MHz パイプラインアナログデジタル回路を軸にしている。これらは近い将来国際的にも重要な要素技術として、前述の高速データ転送技術と共にコミュニティの発展に寄与する。時間デジタル変換要素に関しては、FPGA においては Insec の測定回路を実用化させ実験環境で運用しているだけでなく、50psec 未満の時間分解能を持つ時間測定回路も開発した。

種々の検出器に対しては、種々の CMOS プロセスを使用し、半導体ピクセル/ストリップ検出器、ガスピクセル検出器、ドリフトチェンバー用読み出し集積回路、カロリメータ読み出し集積回路等を開発してきておりそのなかには量産され実験間で使用されている物も多い。最近では低雑音読み出し集積回路としてノイズ電子数が 100 電子未満の性能を達成するなど、高位置分解能・多チャンネル化以外の性能向上及び検出器の評価用高性能回路の開発も軌道にのってきている。

現在検出器のピクセル化、多チャンネル化は CMOS プロセス等の微細化技術に牽引される形で急激に進んでおり、以前は半導体検出器だけに使用されていた集積回路技術を含む高密度実装技術はガス検出器、光検出器など広範囲に使用されるようになった。これは検出器と電子回路技術の関係がより密になっている事を示しており、以前にもまして我々には検出器を理解し高密度実装技術を使いこなしつつ高性能な計測システムを実用化させるための総合力を持つ事を求められている(実用化/技術の展開に関しモジュール開発の例を図 2 に示す)。コミュニティが推進するプロジェクトの成功とそれらプロジェクトが国際協力と競争の中でよりビジビリティを向上させるための一助として今後とも多くの研究者と連携を取りながら研究開発実用化を進めて行く。

## 高密度高周波実装デザインの応用

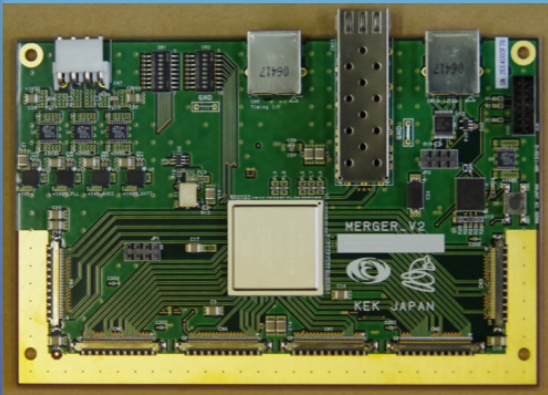
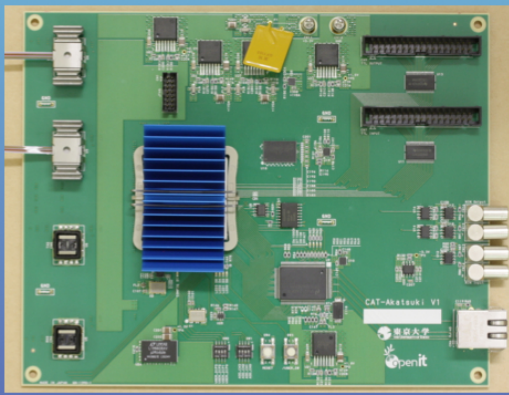
● Belle-II ARICH用	● ATLAS 液体アルゴン用
	
12層基板、チャンネル数:864ch	12層基板,12-links
全信号帯域 : 55Gbps	全信号帯域 : 120Gbps
ボードサイズ:10cmx15cm	ボードサイズ : 16cmx20cm

図 2 : アナログデジタル混在高密度実装広帯域信号伝送ボードの例

## 2. 先端技術の取り込み、技術継承を含む長期的視点にたった取り組み

我々は加速器科学総合支援事業の資金的援助及び素粒子原子核研究所のサポートの基に他の機関のエキスパートとのコラボレーションネットワーク”Open-It”を立ち上げ、講義、実習の教育活動及び複数プロジェクトと連携した On the Job Training で若手教育とプロジェクト推進を通じたコミュニティー全体への積極的な寄与を行う体制を構築した。この体制のもと我々の持っているノウハウや開発物等は実際に若手へ伝授され多くのプロジェクトを推進する原動力になっている。

講義実習等の教育活動運営は KEK 外の大学等が中心になって来ており既に次のフェーズに移行しつつある。先端開発と教育/技術普及を連携させた”プロジェクト受入れ”

に関しては、アクティビティー推移を示すためにこれらプロジェクトの各年度の物理学会での発表数の推移を示す。活動の詳細は <http://openit.kek.jp> を参照していただきたい。

図3 Open-It 年度毎の活動推移

