

新たな現象や非常に稀な現象を捉えることを目標とする世界最先端の研究において、センサーや信号処理システム等の装置は世界に1つしか無いため自分自身で開発しなくてはなりません。エレクトロニクスシステムグループ(E-sys)では、このような世界に1点だけの実験装置のセンサーからシステムに至るまでを各実験グループと連携して開発し、それらを Open-It を通して知と技術の共有を行っています。測定器開発センター(ITDC)の一員として活動を行なっています。



E-sys は、つくばキャンパス(E-sys つくば)と東海キャンパス(E-sys 東海)の2カ所の研究開発教育拠点からなります。E-sys つくばは半導体検出器および信号処理用エレクトロニクスの要素開発(集積回路開発、PCB:Printed Circuit Board 開発)に関し E-sys 東海と連携し研究開発を推進しています。

## 1. プロジェクトへの貢献

- E-sys つくば

つくばサイトでは、ATLAS グループ、Belle II グループ等コライダー実験を行うグループとの連携開発だけでなく J-PARC における実験用測定装置開発も推進しています。つくばサイトでは要素技術開発が主ですが、E-sys 東海と協力してシステム開発も行なっています。

### (モノリシックピクセルセンサー開発)

Belle II アップグレードのためのモノリシックピクセルセンサーの開発に携わっており、ストラスブルグ大学を中心とした国際共同開発グループの一員として OBELIX-1 チップの開発を行っています。特にチップの安定動作に欠くことのできない重要な回路ブロックである電源回路の設計を中心に貢献しており、年内のテープアウトに向けて開発作業を進めています。

### (Belle II CDC 読出し用エレクトロニクス開発)

Belle II CDC アップグレードのための信号読出し用エレクトロニクスの開発に携わっており、アナログフロントエンドと ADC を混載した RAPID と呼ばれる ASIC と、RAPID、FPGA 及び高速光モジュールを搭載した回路基板(RECBE Mk-II)の開発を Belle II CDC グループ、E-sys 東海と協力して行っています。RAPID は昨年度までに3,000 チップ(24,000 チャンネル相当)が量産されました。また、RECBE Mk-II の改良も併せて行い、2024年8月に量産版の ASIC を搭載した RECBE Mk-II が納品されました。現在 CDC グループにて回路の機能及び性能の評価が進められており、RAPID からの ADC 信号を正しく取得できることが確認できました。今後より詳細な評価を行う予定です。

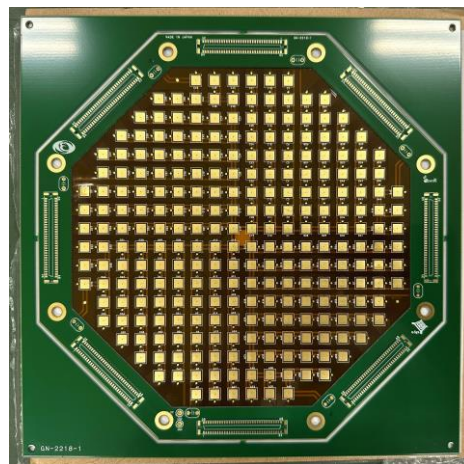
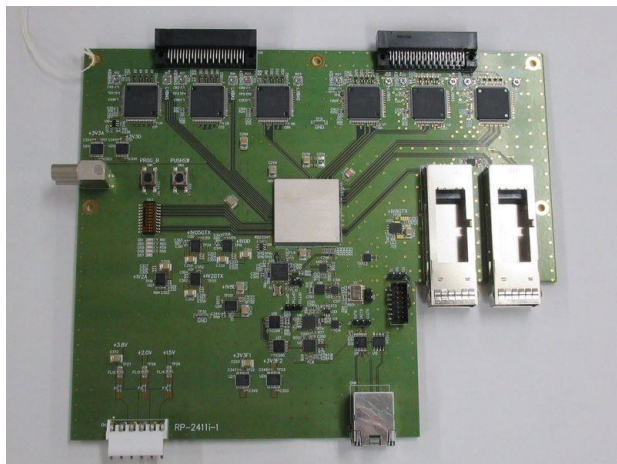
### (ミュオンビームモニター開発)

COMET Phase-1 に向けて放射線耐性の高い SiC を用いたミュオンビームモニターの開発を進めており、今年度はセンサー単体の性能評価を MLF のパルス状ミュオンビームを用いて試験し、ターゲットとなるミュオン1個1個を個別に検出できることを実証しました。

### (汎用光検出器読出し ASIC 開発)

J-PARC におけるハドロン実験や T2K 実験への応用を目的として、MPPC をはじめとする汎用的な光検出器読出し用 ASIC(YAENAMI)の開発を進めています。実用化を検討している各実験グループの協

力の元 YAENAMI の機能及び性能評価が進められ、いくつかの改善点が分かりました。指摘された改善点に対して修正を行った YAENAMI を 2024 年 7 月にテープアウトしており、今年中に機能及び性能評価が完了する見込みです。



図の説明:(左) Belle II CDC アップグレード用に開発を進めている RAPID (量産版) を搭載した RECBE Mk-II 基板 (右) ミューオンビームモニター用 SiC マトリクスボードの試作品

- E-sys 東海

東海サイトでは主に J-PARC:現場で開発や改良が必要であることが多いデジタル技術を中心として研究開発を行いつつ、J -PARC センター利用者が専門家と連携し研究開発を進めるため、共同利用実験室を設置し開発に必要な測定器などの機材も用意しており、毎日大学院生・若手研究者が利用しています。技術特徴は ASIC、FPGA に搭載するデジタル回路開発、10Gbps を超える高速転送技術、データ収集システムの構築やデータ収集用プラットフォーム開発です。

(高集積 MPPC 読み出し回路 CIRASAME の開発)

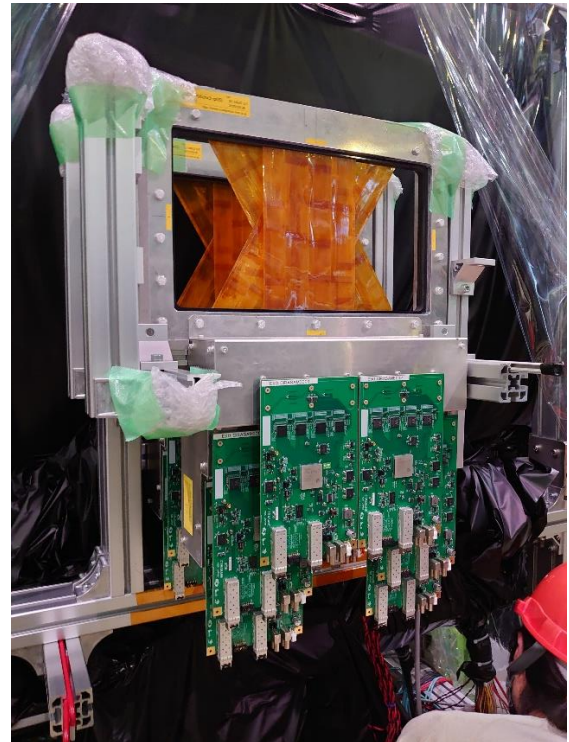
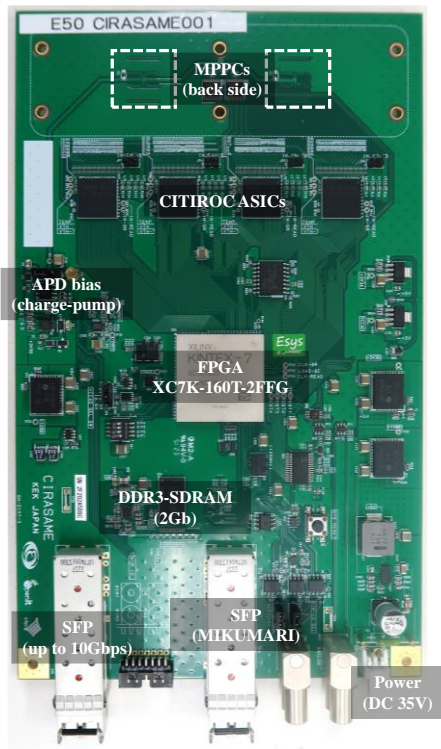
CITIROC チップを用いた高集積 MPPC 読み出し回路(CIRASAME)に連続読み出し TDC を実装して、今春に J-PARC K1.8BR ビームラインで行われた T103 テスト実験においてファイバー検出器の読み出しに成功しました。CIRASAME は 130mm x 200mm 幅の on-detector 型の回路基板であり、裏面に取り付けられた 128ch 分の MPPC を 4 つの CITIROC チップを用いて読み出すことができます。回路上に APD バイアス用のチャージポンプが搭載されており、MPPC ヘバイアス供給を行い、かつ CITIROC によってチャンネル毎のバイアス調整が可能となっています。FPGA 上には 1ns 精度の連続読み出し TDC が実装されており、フリーストリーミングでヒット時間情報を SiTCP を用いて PC へ転送できます。

(連続読み出し DAQ システムの開発)

J-PARC K1.8BR ビームラインにおいて、T103 実験を実験グループと協力して遂行し、連続読み出し DAQ システムの試験を行いました。実験では連続読み出し用のフロントエンドエレクトロニクス(FEE)、連続読み出し DAQ 用フロントエンド主回路(AMANEQ)と CIRASAME でワイヤーチェンバー、ファイバー検出器、およびタイミング検出器のデータをフリーストリーミングで PC へ送信し、ソフトウェア上でコインシデンストリガーを生成、ソフトトリガー情報を元にイベント切り出しと保存、というトリガーレスデータ収集スキームの試験を行いました。35 台の FEE を用いて約 4,000 チャンネルを読み出し、4 台のサーバー PC を用いて平均 1.2GB/s のデータ処理が可能であることを実証しました。

(g-2/EDM 実験用エレクトロニクスの開発)

g-2/EDM 実験のシリコン検出器読み出し ASIC を搭載するためのボード「ASIC ボード」に改善を施し、量産版になると期待されるバージョン 3 ボードを開発しました。この基板はビルドアップ工法を用いた高密度配線基板であり、約 100mm×40mm の基板上に 8 個の ASIC を搭載し、1 ユニットでシリコンストリップの 1024 チャンネルを読み取ることができます。



図の説明: (左上)高集積 MPPC 読み出し回路 CIRASAME (右上)ファイバー検出器に CIRASAME を取り付けた様子 (下) g-2 ASIC ボード バージョン 3



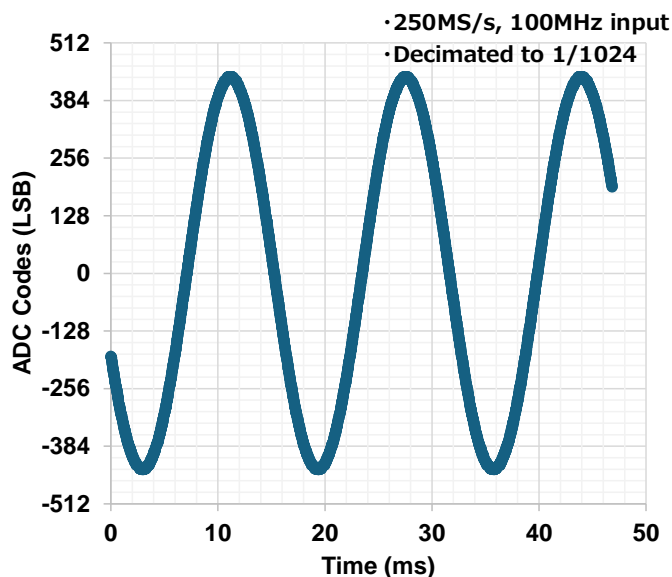
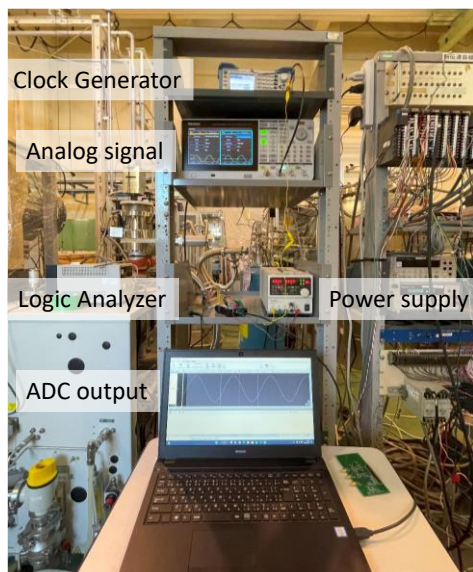
## 2. 萌芽研究・技術開発

- 量子コンピュータに関する極低温 CMOS 回路技術

2022年10月よりムーンショット型研究開発として、誤り耐性型汎用量子コンピュータの実現を目指すムーンショット目標6の研究開発プロジェクト「スケーラブルな高集積量子誤り訂正システムの開発」に参画し、量子ビットからの信号を読み出すための極低温(4K)で動作するADCの開発に着手しています。

これまでに22nm CMOSプロセスを用いてADCの試作を行い、ITDC低温グループと協力して4K環境下での回路評価を行いました。目標の4Kよりもさらに低温である1.7Kでも正常に回路が動作することが確認でき、プロジェクトの目標達成に向けて大きな成果が得られました。

本研究は、JST【ムーンショット型開発事業】 Grant番号【JPMJMS226A】の支援を受けたものです。



図の説明: (左) ITDC 低温グループと協力して整備した ASIC の低温評価環境 (右)1.7K の温度環境下で ADC に正弦波を入力した際の応答波形

- 時刻同期プロトコル Local Area Common Clock Protocol(LACCP)の開発

これまで E-sys 東海が研究開発してきたクロック信号同期用のプロトコルである MIKUMARI を活用し、時刻同期プロトコル Local Area Common Clock Protocol (LACCP)を開発しました。このプロトコルの大きな特徴として、10ps 精度 300 ps 確度の時刻同期を自動で行えることがあげられます。試験では 100m 長さまでの様々な長さの光ファイバーケーブルを用いて 4 台の回路基板を直列に接続し、全てのモジュールの時刻がルートモジュールに対して 300ps 確度以内で同期出来ている事を確認しました。この機能を AMANEQ や CIRASAME といった連続読み出し用の FEE へ搭載し、今春に J-PARC K1.8BR ビームラインにおいてビーム試験を行いました。今後更に適用範囲を広げていき、様々な FEE 回路上で時刻同期が可能になるように開発を進めていきます。

- 高耐放射線中性子検出器の開発

原子力英知事業で開発中のダイヤモンドをセンサーとして用いる中性子検出器の開発では、新たにスクリーンオフセット印刷機が導入されました。この印刷機を用いて基板とセンサーの接続を印刷技術によって実現するという新しい実装技術の開発に取り組んでいます。具体的な技術については以下の活動報告資料をご参照ください。

([https://www2.kek.jp/ipns/ja/research\\_introduction/report/5472/](https://www2.kek.jp/ipns/ja/research_introduction/report/5472/))

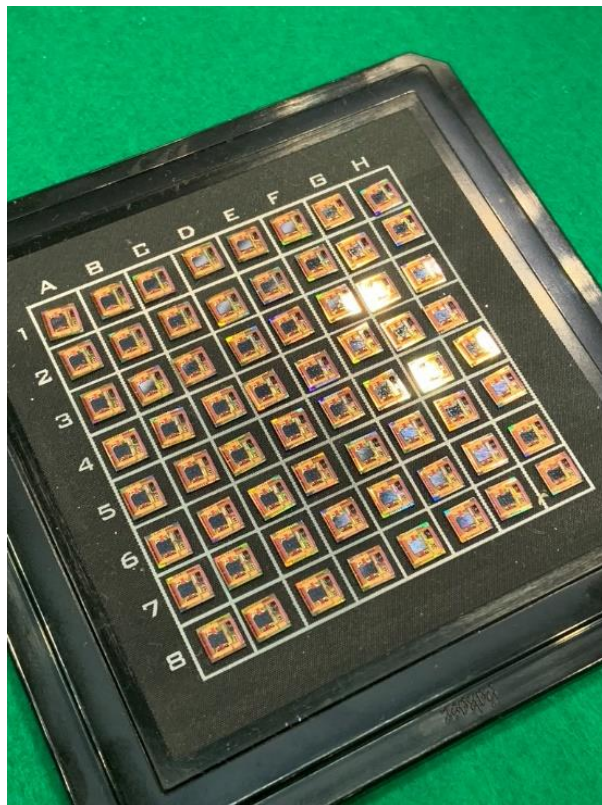
- 低遅延超高速デジタルデータ通信光ファイバーの開発

我々は会社と協力し、128Gbps の速度を持つ低遅延(遅延時間が nsec 以下)の光通信リンクを評価しています。将来はこの技術を高集積化されたセンサー用信号処理回路に接続し使用することを考えており、評価が進行中です。この技術の特徴は高速で低遅延であるため、我々が使用している金属ケーブルと同じように使用できることです。通常は数十 nsec 程度の遅延があるために測定装置を設計する際にこの遅延を考慮して設計をしなくてはなりません。これは特に事象選別に使用するためのトリガー回路などに大きな制約をもたらしますが、これを使用することでトリガー生成計算時間にかかる制約が大きく緩和されます。

また高エネルギー加速器実験で使用する一つの測定装置内で使用されているセンサーの数は 100 万チャンネルを優に超え、すべてのセンサーからの信号を金属ケーブルで読み出そうとするとその測定装置の断面積よりも大きくなってしまい読み出すことができません。この空間的な制約を緩和するために、一つのセンサーの信号を時間方向に並べ直して読み出してあげることですべてのセンサーからの信号を読み出してあげることが可能になります。

時間方向に並べ直すということは、例えば10チャンネルのセンサーからの信号を時間方向に並べ直して、同じ時間内で読み出してやるためには、空間方向で読み出す時間の 10 倍高速でないといけません。この時に重要になってくる技術が前述の超高速光デジタルデータ通信です。例えば現在我々の検討している技術で 1Gbps の読み出しが必要なセンサーは 128 個まとめて読み出すことができるため断面積は約約1/100 に低減できます。これをピクセルセンサーなどに応用すれば我々の使用している測定装置の新しい形が見えてくることでしょう。

下の写真は 128Gbps 送受信光トランシーバーのチップ写真で量子ドットレーザーとフォトセンサー及び信号処理回路が数ミリ角のチップに実装されているもので、これに直接光ファイバーを接続することで使用できるようになります。今後は放射線耐性等も評価を進めていく予定です。



### 3. コミュニティ・教育活動

我々は複数の機関と連携し、エキスパートとのコラボレーションネットワーク Open-It、コライダーエレクトロニクスフォーラム(CEF)、SPADI Alliance(SPADI-A)を通して教育活動、プロジェクト推進を通じたコミュニティ全体への積極的な寄与を行っています。

Open-It は「教育」と「連携」をキーワードにした、1)教育プログラム、2)連携開発プログラム、3)交流プログラムの3つを中心に活動しています。(https://openit.kek.jp/)

CEF では、タスクフォースとして、コライダー実験用高性能 FPGA と AI 技術を用いた高機能高速トリガー生成技術開発と 40GHz を超える高速転送技術の開発を推進するために、ATLAS、Belle II、ALICE 及び関係大学と連携して活動を行っています。(https://kds.kek.jp/category/2369/)

SPADI-Alliance (SPADI-A)は DAQ システムの共通化・標準化を掲げ原子核分野を中心として立ち上がったアライアンスであり、E-sys はその運営において、阪大 RCNP データ収集基盤室、理研 RNC 情報処理チーム、東大 CNS、東北大 ELPH とともに中核を担っており、7 つのワーキンググループ(WG)を設置して、それぞれの目的とする開発研究を行っています。(https://www.rcnp.osaka-u.ac.jp/~spadi/)

今年度の具体的な活動は以下の通りです。

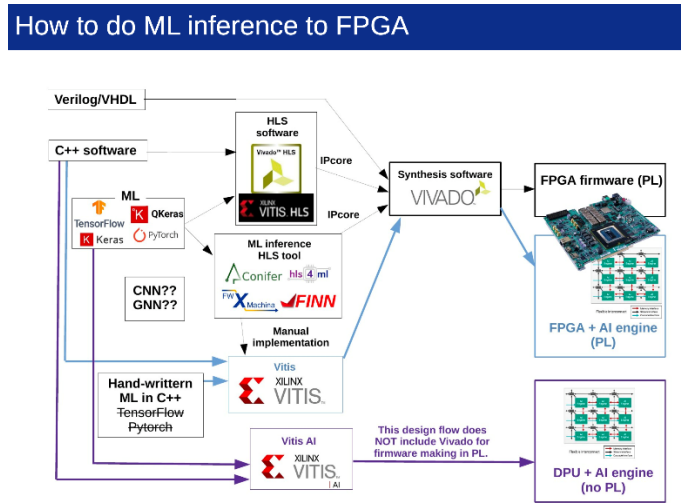
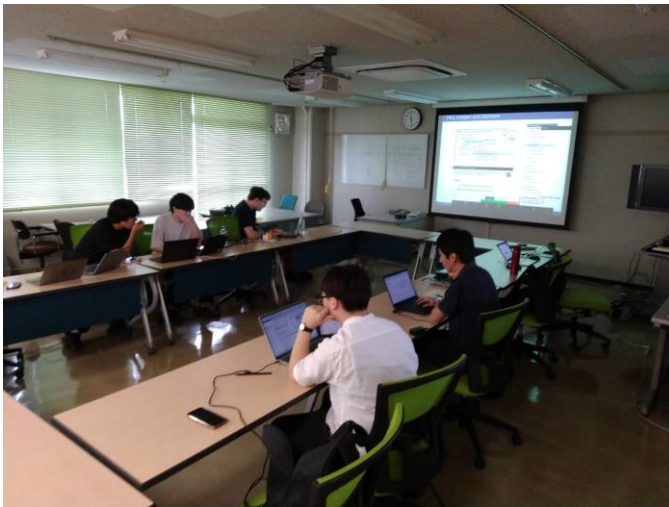
- 総研大と協力し複数の台湾の大学院学生を対象として 2024 年 5 月 13~14 日にかけてセミナーを行ってきました。このような活動を通して、物理だけでなく先端技術協力も推進していく予定です。下の写真は Fujen Catholic University (天主教輔仁大学)を訪問した際のもので。



- Versal FPGA を用いた AI/ML の実装含む有効活用を目的として、CEF のタスクフォースミーティングを 2024 年 6 月 25 日に開催しました。(https://kds.kek.jp/event/51258/)
- Open-It セミナー FPGA 中級トレーニングコースを J-PARC において 2024 年 7 月 8~10 日に開催し、5 名が参加しました。
- CEF と SPADI alliance 合同で素核研ワークショップ「次世代 DAQ・トリガーシステムを目指して」を 2024 年 7 月 17、18 日に開催し、66 名が参加しました。(https://kds.kek.jp/event/51025/)
- E-sys が毎年主催している総研大集中講義「計測と制御」を 2024 年 7 月 22~26 日に実施しました。今年度はハイブリッド形式で開催し、対面 5 名+オンライン 35 名、延べ約 200 名が参加して、放射線検出器の基礎について学びました。



- Open-It セミナー FPGA トレーニングコースを名古屋大学において 2024 年 8 月 5、6 日に開催し、20 名が参加しました。
- AI エンジンスクールを 2024 年 8 月 8～9 日に実施し、10 名が参加しました。皆さんも知るように、近年の AI 技術は急速に発展しています。AI 技術(機械学習技術を含む)は我々が使用している書き換え可能なデジタル集積回路(FPGA)にも組み込まれつつあります。先に述べた機械学習技術は、今まで我々が使用してきた事象選別システム(トリガーシステム)のインテリジェント化に大きく貢献し、将来その様相を大きく変えてしまうでしょう。しかしながら下図に示すように AI 技術を FPGA 内で縦横無尽に使用するにはその技術及びツールに慣れる必要があり、今回のスクールは、その使い方や技術内容について演習形式で、Lai さんによって英語で企画されました。海外の大学院生も5～6 名程度参加し国際色の豊かなスクールになりました。来年度以降も継続していく予定です。



- CEF の勉強会を 2024 年 8 月 27 日に実施し、「印刷技術を用いた集積回路実装技術の研究開発」について庄子さん、「高放射線環境下で FPGA を動作させるための集積回路の開発」について濱田さんに講演してもらいました。<https://kds.kek.jp/event/51602/>