

新たな現象や非常に稀な現象を捉えることを目標とする世界最先端の研究において、センサーや信号処理システム等の装置は世界に1つしか無いため自分自身で開発しなくてはなりません。エレクトロニクスシステムグループ(E-sys)では、このような世界に1点だけの実験装置のセンサーからシステムに至るまでを各実験グループと連携して開発し、それらを Open-It を通して知と技術の共有を行っています。これらの活動は測定器開発センター(ITDC)の一員として行なっています。



E-sys は、つくばキャンパス(E-sys つくば)と東海キャンパス(E-sys 東海)の2カ所の研究開発教育拠点からなります。E-sys つくばは半導体検出器および信号処理用エレクトロニクスの要素開発(集積回路開発、PCB:Printed Circuit Board 開発)に関し E-sys 東海と連携し研究開発を推進しています。

## 1. プロジェクトへの貢献

- E-sys つくば

つくばサイトでは、ATLAS グループ、Belle II グループ等コライダー実験を行うグループとの連携開発だけでなく J-PARC における実験用測定装置開発も推進しています。つくばサイトでは要素技術開発が主ですが、E-sys 東海と協力してシステム開発も行なっています。

### (モノリシックピクセルセンサー開発)

Belle II アップグレードのためのモノリシックピクセルセンサーの開発に携わっており、ストラスブルグ大学を中心とした国際共同開発グループの一員として OBELIX-1 チップの開発を行っています。特にチップの安定動作に欠くことのできない重要な回路ブロックである電源回路の設計を中心に貢献しており、個別回路の設計を完了しました。テープアウトに向けてすべての回路を統合した検証作業が進められています。

### (Belle II CDC 読出し用エレクトロニクス開発)

Belle II CDC アップグレードのための信号読出し用エレクトロニクスの開発に携わっており、アナログフロントエンドと ADC を混載した RAPID と呼ばれる ASIC と、RAPID、FPGA 及び高速光モジュールを搭載した回路基板(RECBE Mk-II)の開発を Belle II CDC グループ、E-sys 東海と協力して行っています。量産版 RAPID を搭載した RECBE Mk-II(図1)のファームウェアおよびデータリンクの開発が進められ、以下に示す全てのデータリンクについて開発に成功しました。

- 10 Gbps to TRG (UT4), self-defined protocol
- 2.54 Gbps to DAQ, Belle2Link
- b2tt to Trigger&Timing Distribution system

### (COMET 実験に向けたエレクトロニクス開発)

COMET Phase-1 実験に向けて、トリガー信号を読み出すための MPPC 用高速(数百 MHz帯域)アナログ信号処理回路(図2)の開発を行い、プリアンプ部に関して性能が仕様を満たしていることを確認しました。また、フィルター及び波形整形回路は回路図設計を行い、COMET グループへ設計データを譲渡することでプロジェクトを完了しました。

(汎用光検出器読み出し ASIC 開発)

J-PARC におけるハドロン実験や T2K 実験への応用を目的として、MPPC をはじめとする汎用的な光検出器読み出し用 ASIC (YAENAMI) の開発を進めています。実用化を検討している各実験グループの協力のもと YAENAMI の機能及び性能評価が進められ、いくつかの改善点が見つかりました。指摘された改善点に対して修正を行った YAENAMI v.2 の評価を 2024 年 10 月に実施し、ADC の線形性の向上やデジタル信号の干渉の緩和などの改善を確認しました。YAENAMI v.2 で残された課題(過入力時のアナログ波形のオーバーシュートや一部機能のバグ)について修正した量産版 YAENAMI v.3 (図3)を 2024 年 12 月にテープアウトしました。年度内にチップ入手、来年度はじめに実装および評価を進める予定です。

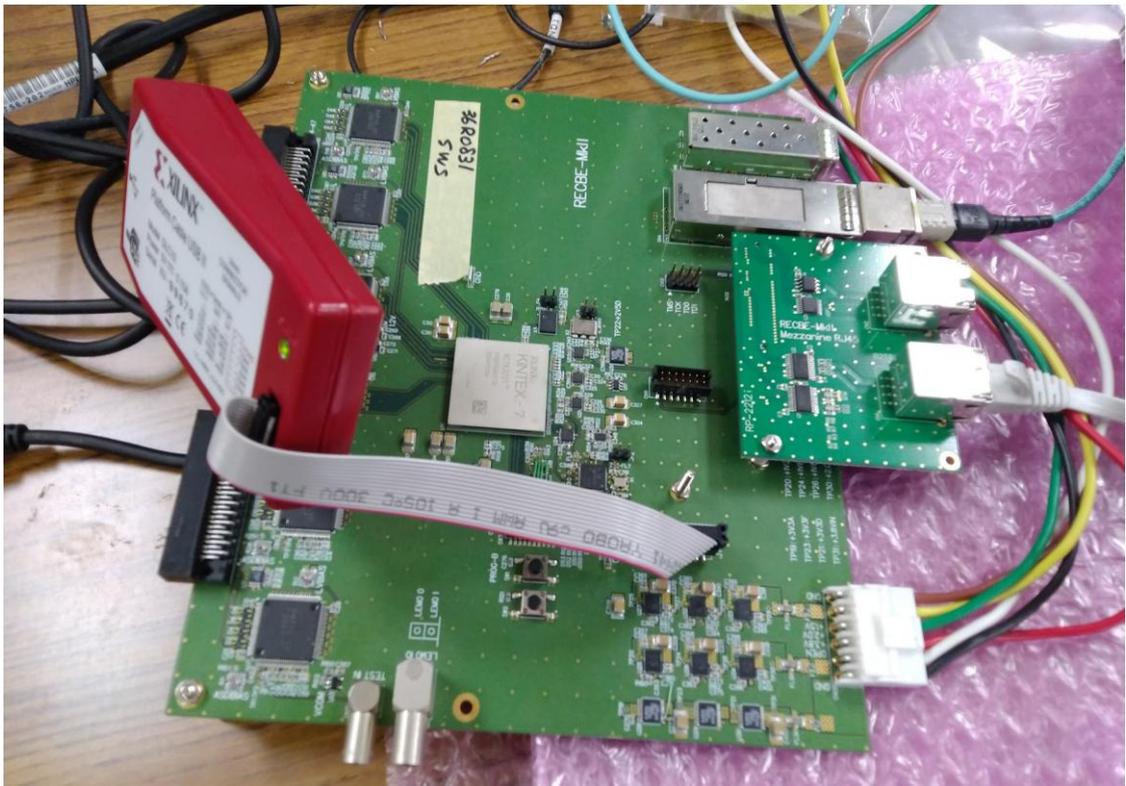


図1 RECBE Mk-II のリンクテストの様子

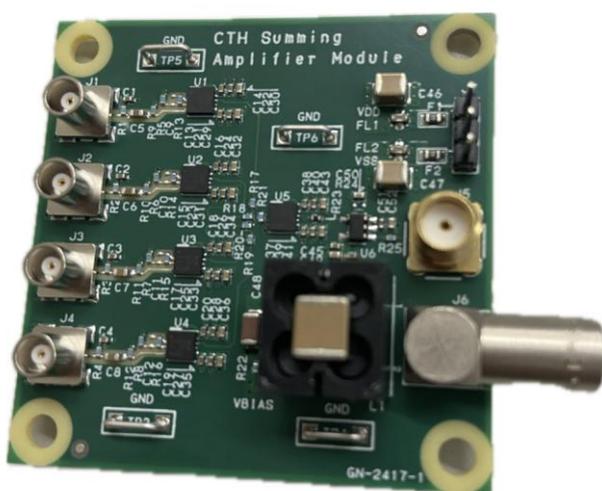


図2 COMET 実験用高速アナログ信号処理回路

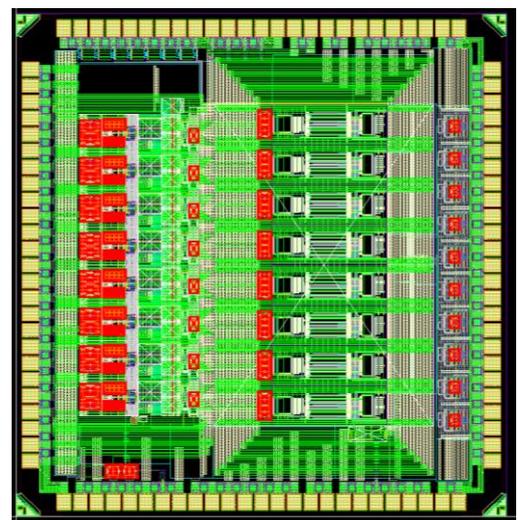


図3 YAENAMI v.3 のレイアウト図

- E-sys 東海

東海サイトでは主に J-PARC:現場で開発や改良が必要であることが多いデジタル技術を中心として研究開発を行いつつ、J -PARC センター利用者が専門家と連携し研究開発を進めるため、共同利用実験室を設置し開発に必要な測定器などの機材も用意しており、毎日大学院生・若手研究者が利用しています。技術特徴は ASIC、FPGA に搭載するデジタル回路開発、10Gbps を超える高速転送技術、データ収集システムの構築やデータ収集用プラットフォーム開発です。

(連続読出し DAQ システムの開発)

ITDC E-sys 東海が中心となって開発を進めている連続読み出し DAQ システムを、実験グループや ITDC のメンバーと協力して J-PARC ハドロン実験施設におけるビームライン開発のためのテスト実験 (T105 および T106)へ応用しました。T105 と T106 実験はそれぞれ、ハドロンテストビームライン開発のためと、高運動量ビームライン二次化のための試験実験です。T106 実験では 23 台のフロントエンド回路を用いて 3000ch 弱の検出器信号を読み出し(図 4)、ハードウェアトリガーと連続読み出しの協調によるデータ取得を実施しました。今後も ITDC 内外のグループと連携し、本システムの開発と普及に努めます。

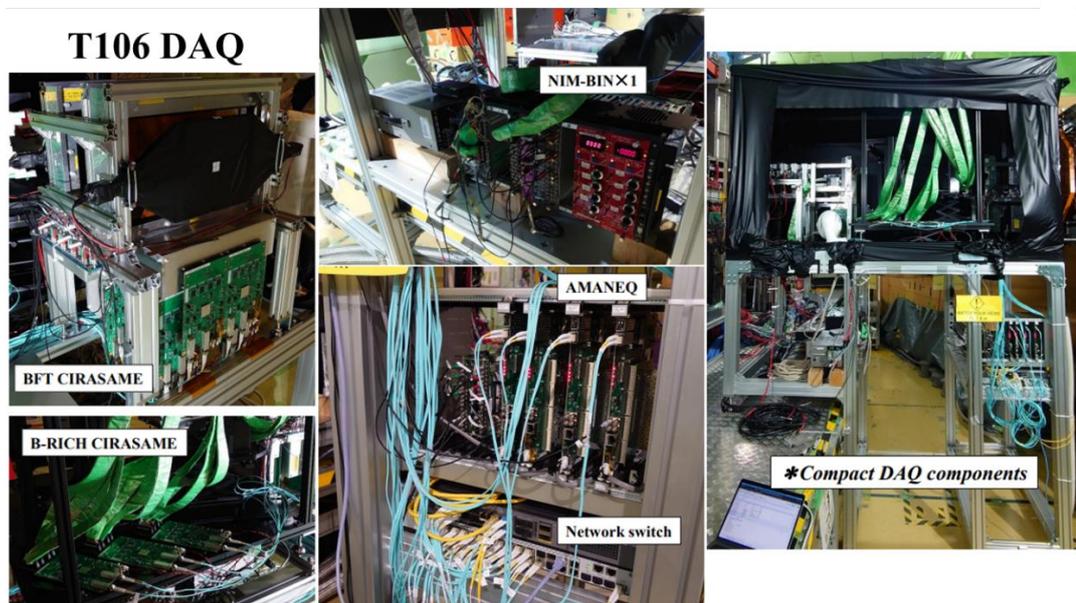


図 4 連続読出し DAQ システムの電子機器(T106 実験)

(Belle II ARICH 検出機の読み出し)

Belle II 実験用の MPPC 読み出し ASIC(TF01)用回路基板開発の支援を行いました。この回路基板(図5)は 4 種類の要素からなり、それぞれ MPPC 基板、ASIC 実装基板、インターフェース基板、FPGA 基板です。インターフェース基板にその他 3 つの基板が接続されており、ASIC の改版等を見越した設計となっています。現在 MPPC を接続した動作試験が進んでいます。

(COMET 実験のインターフェース基板開発)

COMET CDC に用いる、インターフェース基板(RECBE IF Board)開発の支援を行いました。本基板(図6)は、過去に開発した IF Board の試作機からの改良版です。試作機からの変更点としては、電源回路の耐放射線化、ケーブルの引き回しを考慮した基板形状の変更を行いました。最大 16 台の RECBE に JTAG 信号、Clock 信号、トリガー信号を送ることができます。現在、IF board としての機能試験が進んでいます。



図5 Belle II 実験用の MPPC 読み出し ASIC 回路基板



図6 COMET 実験用 RECBE IF ボード

(COMET 実験 DAQ システムの開発)

COMET 実験の物理測定で主検出器として使用される COMET 円筒形ドリフトチェンバー(CDC)の動作試験がハドロン施設実験準備棟で進められています。この検出器の読み出しシステムを利用し、COMET 実験用の DAQ (図7)の開発を行っています。先に述べた連続読み出し DAQ システムに用いられているソフトウェア部分は従来のトリガーDAQ システムにも利用することができます。このシステムにより多数の計算機を利用する分散処理が可能となり、COMET 実験のデータを 1 GB/s を超えて高速に収集できることを示しました。また、ソフトウェアトリガーの導入の可能性を開くことが出来ました。

現在 CDC のデータは順調に取得できており、その上で COMET 実験に合わせたイベント構築手法の改良を行っています。並行してソフトウェアトリガー導入のための議論やデータの確認を進め、検出器の動作や望ましいデータが取れているかを監視するためのデータクオリティモニターの開発を行っています。

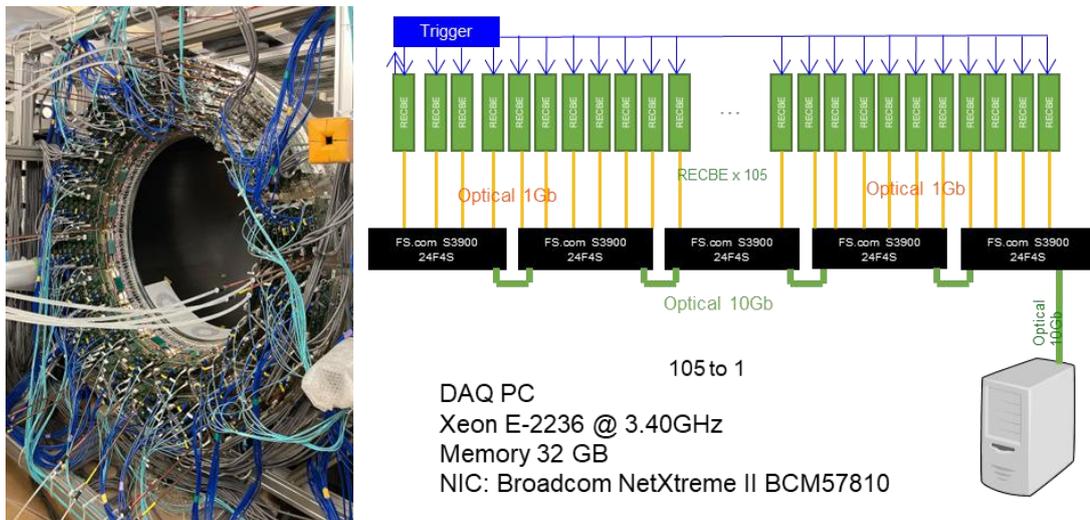


図7 COMET 実験 CDC(左)と DAQ システム構成(右)

## 2. 萌芽研究・技術開発

- 極低温 CMOS 回路技術

2022年10月よりムーンショット型研究開発として、誤り耐性型汎用量子コンピュータの実現を目指すムーンショット目標6の研究開発プロジェクト「スケーラブルな高集積量子誤り訂正システムの開発」に参画し、量子ビットからの信号を読み出すための極低温(4K)で動作する CRYO CMOS 回路の開発に着手しています。22nm CMOS プロセスを用いて開発を進めており、昨年度までに 4.2K で動作する分解能 10bit、サンプリングレート 250MS/s の ADC の開発に成功していました。今年度はこれを8チャンネルタイムインターリーブ動作させて 8 倍高速化し、2GS/s まで性能を高めた ADC の試作を行いました。常温、4.2K 共に正常動作が確認され、これによりプロジェクトの目標をおおむね達成しました。ASIC の極低温評価環境は ITDC 低温グループの協力の下整備が進められています。本研究は、JST【ムーンショット型開発事業】 Grant 番号【JPMJMS226A】の支援を受けたものです。

この研究と並行して、GHz 帯電圧信号増幅波形処理回路および周波数多重化読み出しによる多チャンネルセンサー信号処理システムへの技術を物理実験へ応用するための研究開発も開始しました。具体的に GHz 帯電圧増幅器、周波数多重化用ミキサーなどの開発をベースにした高耐環境性能を持つ ASIC の要素開発を進めています。

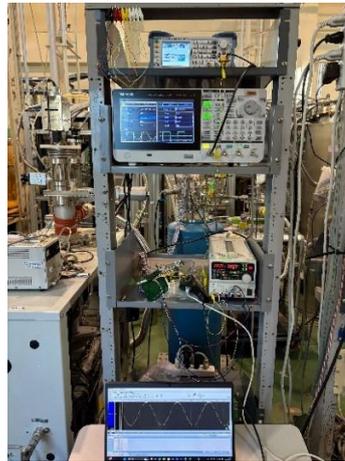


図8 ADC の極低温評価環境

- 印刷技術を用いた薄膜ダイヤモンドセンサーの実装

放射線損傷に強いセンサーは加速器実験にとって重要であり、ダイヤモンドを用いたセンサーの開発が盛んに行われています。現在我々が取り組んでいる中性子ダイヤモンドセンサーの基板実装に印刷技術を用いました。印刷技術を用いる利点は、厚さ 50 $\mu\text{m}$  以下のダイヤモンドに局所的な負荷をかけずに、配線することができる点です。印刷で厚さ 50 $\mu\text{m}$  以下のダイヤモンドセンサーを基板に実装し、センサーの動作確認を行いました。写真に示すように、高電圧用の線は印刷によってつながっています。また、ダイヤモンドと基板の接続も印刷により行われています。印刷実装を行なったダイヤモンドセンサーを用いて中性子照射試験を行い、中性子検出が確認できました。これにより、薄膜上の脆いセンサーを実装する新しい手法が確立しました。

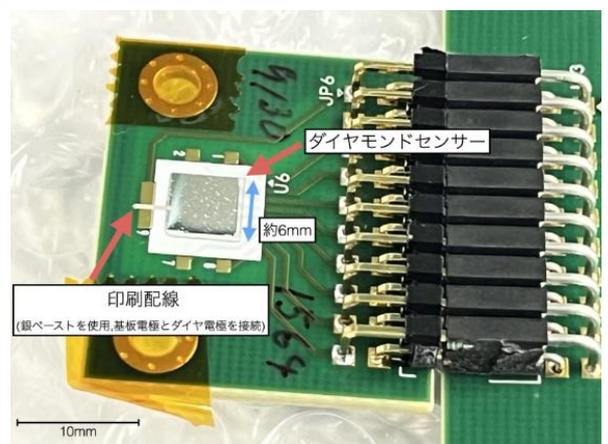


図9 印刷技術によるダイヤモンドセンサー実装

- RPA と AI 技術の測定装置開発への応用検討

RPA(Robotic Process Automation)と AI を融合させた効率化ツールについてのリサーチを行い、測定装置開発への応用の検討を進めています。特にプログラム生成 AI エージェントの応用はコンピューターインターフェースや装置の制御ソフトの開発だけでなく、Python、JavaScript、HTML、Swift、その他スクリプト形言語及び WEB 自動化関連ツール(selenium)、WEB scraping とデータベース連携、並びにデータ解析などのソフトウェア開発に関して、初心者だと数ヶ月かかる開発時間を 1/10 程度に短縮できる可能性があることが示されました。

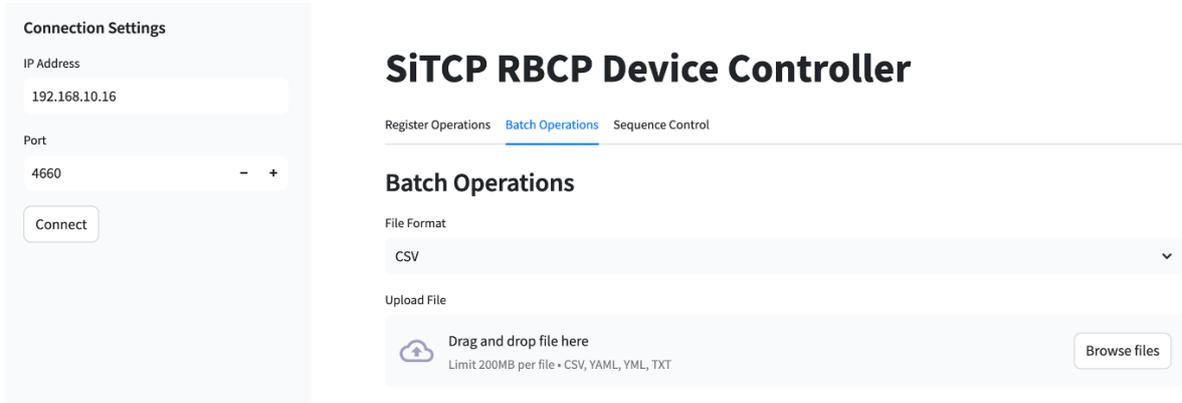


図 10 Replit による SiTCP slow control によるデバイス制御用 WEB アプリの生成例

- Versal AI エンジンの加速器実験への応用検討

加速器実験の DAQ システムをより高インテリジェンス化するために、Versal に搭載された AI エンジンを活用する手法について検討を進めています。我々は Versal AI エンジンに ML を実装する方法を習得し、様々な種類のロジックを実装し評価を行っています(図11)。これらの知見は CEF や DRD 等のコミュニティに広く共有すべくチュートリアル作成も行っています。

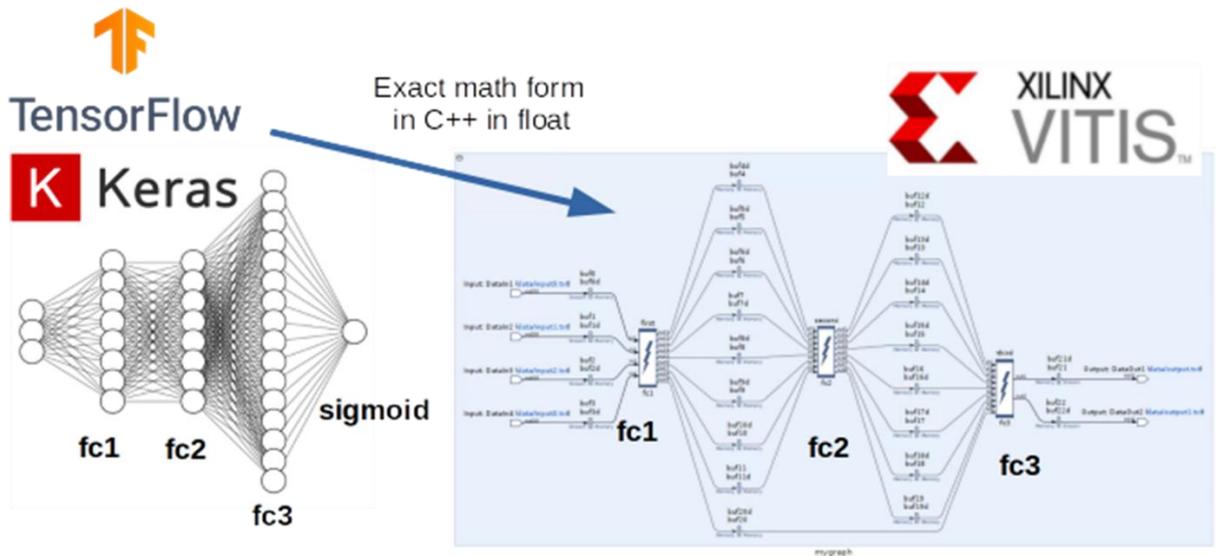


図 11 Versal AI エンジンへのニューラルネットワーク等の実装

### 3. コミュニティ・教育活動

我々は複数の機関と連携し、エキスパートとのコラボレーションネットワーク Open-It、コライダーエレクトロニクスフォーラム(CEF)、SPADI Alliance(SPADI-A)を通して教育活動、プロジェクト推進を通じたコミュニティ全体への積極的な寄与を行っています。

Open-It は「教育」と「連携」をキーワードにした、1)教育プログラム、2)連携開発プログラム、3)交流プログラムの3つを中心に活動しています。(https://openit.kek.jp/)

CEF では、タスクフォースとして、コライダー実験用高性能 FPGA と AI 技術を用いた高機能高速トリガー生成技術開発と 40Gbps を超える高速転送技術の開発を推進するために、ATLAS、Belle II、ALICE 及び関係大学と連携して活動を行っています。(https://kds.kek.jp/category/2369/)

SPADI-Alliance (SPADI-A)は DAQ システムの共通化・標準化を掲げ原子核分野を中心として立ち上がったアライアンスであり、E-sys はその運営において、阪大 RCNP データ収集基盤室、理研 RNC 情報処理チーム、東大 CNS、東北大 ELPH とともに中核を担っており、7 つのワーキンググループ(WG)を設置して、それぞれの目的とする開発研究を行っています。(https://www.rcnp.osaka-u.ac.jp/~spadi/)

今年度 9 月以降の具体的な活動は以下の通りで、Open-It のセミナーシリーズを多数開催し、DAQ システムの開発の基礎の普及に努めました。

- Open-It セミナー ASIC トレーニングコース(Zoom)を 2024 年 9 月 25～27 日に開催し、16 名が参加しました。
- Open-It セミナー FPGA トレーニングコースの英語版を 2024 年 10 月 21、22 日に KEK で初開催し、7名が参加しました。
- Open-It 計測システム研究会2024を東京大学において 2024 年11月18、19日に開催し、100 名の参加登録がありました。
- Open-It セミナー FPGA トレーニングコースを東北大学において 2024 年12月17、18日に開催し、18名が参加しました。
- Open-It セミナー FPGA トレーニングコースを九州大学において 2025年3月5、6日に開催し、14名が参加しました。

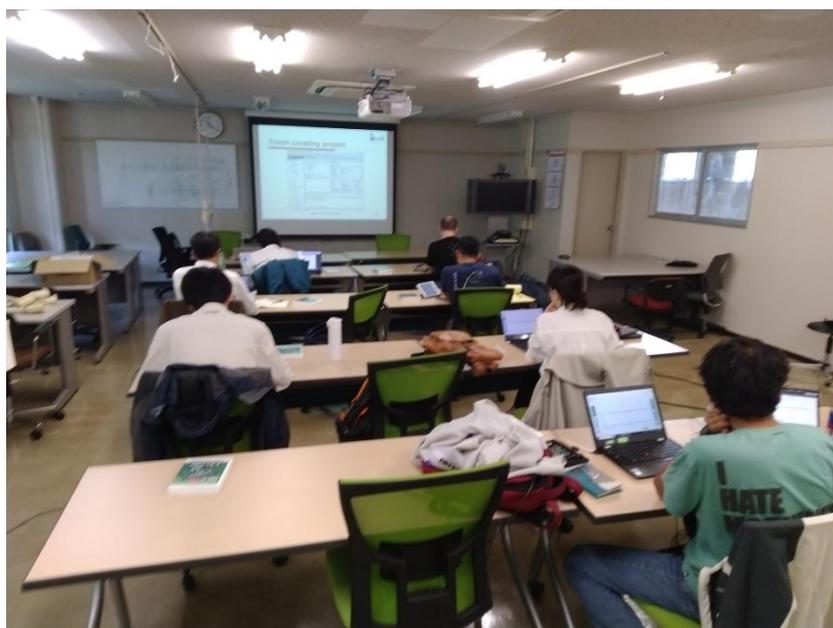


図 12 英語版 FPGA トレーニングコースの講義風景