

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165285
(P2008-165285A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.		F I			テーマコード (参考)
G06F 11/00	(2006.01)	G06F 9/06	630A		5B176
G06F 9/445	(2006.01)	G06F 9/06	640A		

審査請求 有 請求項の数 7 O L (全 18 頁)

(21) 出願番号	特願2006-350884 (P2006-350884)	(71) 出願人	504151365
(22) 出願日	平成18年12月27日 (2006.12.27)		大学共同利用機関法人 高エネルギー加速器研究機構
			茨城県つくば市大穂1番地1
		(74) 代理人	100138391
			弁理士 天田 昌行
		(74) 代理人	100098589
			弁理士 西山 善章
		(74) 代理人	100097559
			弁理士 水野 浩司
		(74) 代理人	100121083
			弁理士 青木 宏義
		(74) 代理人	100132067
			弁理士 岡田 喜雅

最終頁に続く

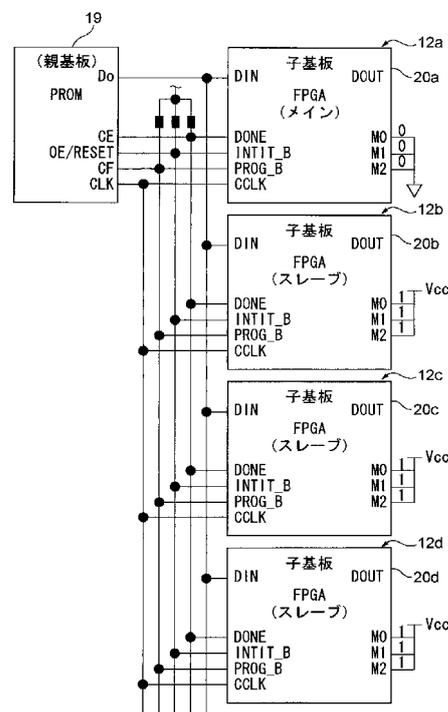
(54) 【発明の名称】 中性子計測用のデータ収集装置及びプログラムダウンロード方法

(57) 【要約】

【課題】 子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードできるようにすること。

【解決手段】 中性子計測用のデータ収集装置は、FPGA 20a~20dを備えた複数の子基板12a~12dと、ダウンロード用ROM 19を備えた親基板11とを備え、FPGA 20aをマスターモードに設定すると共に、他のFPGA 20b~20dをスレーブモードに設定する。マスターモードのFPGA 20aからダウンロード用ROM 19にクロックを出力してプログラムデータをマスターモードのFPGA 20aに設定すると共に、FPGA 20aから出力されるクロック及びダウンロード用ROM 19から出力されたプログラムデータをスレーブモードの各FPGA 20b~20dにも入力して当該プログラムデータを設定する。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

多数の検出器から分散して中性子検出信号の読み出しを行う複数の子基板と、前記子基板が基板面上に積み重ねて配置され前記各子基板から測定データを収集する親基板と、前記各子基板に設けられ中性子検出信号の波高値を測定する F P G A と、前記親基板に設けられ前記各子基板の F P G A にダウンロードすべきプログラムを格納したダウンロード用メモリとを備え、

前記各 F P G A は、F P G A 側からダウンロード用メモリにクロックを出力して該ダウンロード用メモリ内のプログラムデータを出力させてプログラムを設定する第 1 モードと、F P G A にクロックとプログラムデータを供給してプログラムを設定する第 2 モードとを設定可能に構成され、

前記 F P G A の一つを第 1 モードに設定すると共に、他の F P G A を第 2 モードに設定し、第 1 モードの F P G A からダウンロード用メモリに対してクロックを出力して該ダウンロード用メモリから出力されるプログラムデータを当該第 1 モードの F P G A に設定すると共に、第 1 モードの F P G A から出力されるクロック及び当該クロックにより前記ダウンロード用メモリから出力されたプログラムデータを第 2 モードの各 F P G A にも入力して当該プログラムデータを設定することを特徴とする中性子計測用のデータ収集装置。

【請求項 2】

前記各子基板は、各子基板に設置した F P G A の入出力端子が個別に接続された複数の導体ピンからなる子基板側ピン配列を有し、

前記親基板は、前記ダウンロード用メモリの外部端子であるクロック入力用のクロック端子及びデータ出力用のデータ出力端子が割り付けられたクロックピン及びデータピンを含む複数の導体ピンからなる親基板側ピン配列を有し、

前記子基板側ピン配列は F P G A の入出力端子毎に各導体ピンが子基板間で共通接続された共通ピンとされ、前記親基板側ピン配列の導体ピンと前記各子基板の中のいずれかの子基板側ピン配列の導体ピンとが導通接続されることを特徴とする請求項 1 記載の中性子計測用のデータ収集装置。

【請求項 3】

前記親基板は、全子基板で対応可能な中性子検出信号総数に対応した数の導体ピンを有する親基板側検出器用ピン配列を有し、

前記各子基板は、前記親基板側検出器用ピン配列の各導体ピンと導通する複数の導体ピンを有する子基板側検出器用ピン配列と、前記子基板側検出器用ピン配列に対応して設けられ各子基板に取り込む中性子検出信号を選択するためのショートパターンとを具備したことを特徴とする請求項 1 又は請求項 2 記載の中性子計測用のデータ収集装置。

【請求項 4】

前記親基板に設けられた前記親基板側ピン配列及び親基板側検出器用ピン配列、前記各子基板に設けられた前記子基板側ピン配列及び前記子基板側検出器用ピン配列は、当該各ピン配列を介して各基板を上下に積み重ね可能であると共に積み重ねた上下の基板で同一位置の各導体ピンが導通する I C ソケットで構成されたことを特徴とする請求項 3 記載の中性子計測用のデータ収集装置。

【請求項 5】

第 1 モードの F P G A から出力したクロックを前記子基板側ピン配列のクロック用共通ピン及び当該クロック用共通ピンに導通している前記親基板側ピン配列のクロックピンを介して前記ダウンロード用メモリのクロック端子に入力すると共に、第 2 モードの F P G A の前記子基板側ピン配列のクロック用共通ピンを介して当該第 2 モードの F P G A に入力し、

前記ダウンロード用メモリのデータ出力端子からクロックに同期して出力されたプログラムデータを前記親基板側ピン配列のデータピン及び当該データピンに導通している前記子基板側ピン配列のデータ用共通ピンを介して第 1 モードの F P G A 及び第 2 モードの各 F P G A に入力することを特徴とする請求項 4 記載の中性子計測用のデータ収集装置。

10

20

30

40

50

【請求項 6】

前記各子基板は、複数組のショートパターンで構成され前記 F P G A の識別アドレスを示すビットパターンを発生させる I D 番号設定回路を備え、

前記親基板が特定の子基板の識別アドレスを示す選択信号を前記各子基板へ出力し、前記各子基板の F P G A は入力した選択信号が示す識別アドレスから自分が選択されたか否か判断することを特徴とする請求項 1 から請求項 5 のいずれかに記載の中性子計測用のデータ収集装置。

【請求項 7】

多数の検出器から分散して中性子検出信号の読み出しを行う複数の子基板と、前記子基板が基板面上に積み重ねて配置され前記各子基板から測定データを収集する親基板と、前記各子基板に設けられ中性子検出信号の波高値を測定する F P G A と、前記親基板に設けられ前記各子基板の F P G A にダウンロードすべきプログラムを格納したダウンロード用メモリとを備えた中性子計測用のデータ収集装置におけるプログラムダウンロード方法であって、

前記 F P G A の一つを F P G A 側からダウンロード用メモリにクロックを出力して該ダウンロード用メモリ内のプログラムデータを出力させてプログラムを設定する第 1 モードに設定し、他の F P G A を F P G A にクロックとプログラムデータを供給してプログラムを設定する第 2 モードに設定し、

第 1 モードの F P G A からダウンロード用メモリに対してクロックを出力して該ダウンロード用メモリから出力されるプログラムデータを当該第 1 モードの F P G A に設定すると共に、第 1 モードの F P G A から出力されるクロック及び当該クロックにより前記ダウンロード用メモリから出力されたプログラムデータを第 2 モードの各 F P G A にも入力して当該プログラムデータを設定することを特徴とするプログラムダウンロード方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の子基板において多数の検出信号の読み取りを分散して行った後、親基板が子基板から測定データを読み込む中性子計測用のデータ収集装置及びプログラムダウンロード方法に関する。

【背景技術】

【0002】

現在、中性子散乱実験により物質の構造解析が行われている。中性子散乱実験では中性子計測手法の一つとして飛行時間測定法 (T O F) が提案されている。飛行時間測定法では中性子の捕獲位置を正確に求めるために中性子用電荷分割型位置敏感検出器 (以下、「 P S D 」という) が開発されている。

【0003】

図 1 1 は、1本の P S D から読み出しを行う読み出し回路の模式的なシステム構成図である。抵抗線で表された P S D 1 の両端に電荷増幅器 2 a , 2 b が接続される。電荷増幅器 2 a , 2 b は P S D 1 の両端に現れた電荷を電圧に変換して対応した負荷分散用基板 (以下、「子基板」という) 3 へ電圧形式の中性子検出信号を送出する。

【0004】

図示していない帯域フィルタを通して波形整形することで、中性子検出信号を時定数が 0 . 5 μ s から 1 μ s 程度で 2 μ s 幅程度のパルス波形を得る。子基板 3 にはアナログ / デジタル変換回路 (A D C) 4 a , 4 b 及び F P G A 5 が設けられている。子基板 3 の A D C 4 a , 4 b へ波形整形した中性子検出信号を送出する。A D C 4 a , 4 b は、サンプリング周波数が 2 0 M H z から 5 0 M H z で、ビット数が 1 2 ビットから 1 4 ビットのものを使用し、入力する中性子検出信号を 1 2 ビットから 1 4 ビットのデジタルデータ (Q 1 , Q 2) に変換する。A D C 4 a , 4 b から出力されるデジタルデータ (Q 1 , Q 2) を F P G A 5 へ入力して、Q 1 と Q 2 のピーク値を検出する。

【 0 0 0 5 】

子基板の F P G A 5 は、親基板側のメイン F P G A 8 からのポーリングで F P G A 5 で検出した測定データを親基板 7 のメイン F P G A 8 へ伝送する。メイン F P G A 8 において $x/L = a * Q^2 / (Q^1 + b * Q^2) - c$ の計算を行い、中性子の捕獲位置を求める。なお、「a」は倍率、「b」は比率、「c」はオフセットである。中性子の捕獲位置データをヒストグラム作成回路 9 に入力してヒストグラムを作成し、制御用コンピュータ 10 から要求があればヒストグラムを転送する。

【 0 0 0 6 】

実際の中性子散乱実験では、多数の P S D を二次元状に配置して、各 P S D の読み出しを同時並列的に行う必要がある。このために、1枚の子基板 3 で処理する P S D 1 の本数を 2 本程度に制限し、複数の子基板 3 で負荷分散することで、処理速度を低下させることなく F P G A 5 に要求される能力を低く抑え、コストを抑制するようにしている。

10

【 0 0 0 7 】

ところで、子基板 3 に搭載した F P G A 5 のプログラムを仕様変更などに応じて変更する必要性が生じることがある。一般に F P G A のプログラムの書き換えは、F P G A にダウンロードすべきプログラムを格納した R O M を基板上に設け、F P G A が自ら R O M にクロックを与えてデータ要求し、クロックに同期してプログラムを読み出して F P G A にダウンロードする方式（以下、「マスターモード」という）と、パソコンから F P G A にクロック及びプログラムデータを与えてプログラムをダウンロードする方式（以下、「スレーブモード」という）とがある。

20

【特許文献 1】特開昭 6 2 - 1 4 2 7 2 号公報

【特許文献 2】特開 2 0 0 3 - 5 8 3 8 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

ところが、多数の中性子検出信号の読み取りを複数の子基板で負荷分散するシステム構成の場合、プログラム変更対象の F P G A の個数が増大するので、F P G A のプログラム変更作業が非常に煩雑になるといった問題がある。例えば、マスターモードでプログラム変更する場合を想定すると、各子基板に設置する専用 R O M にプログラムを格納して、子基板毎に専用 R O M を交換する R O M 交換作業が必要になる。しかし、占有面積が制限された子基板上の狭いスペースで作業しなければならず、非常に困難な R O M 交換作業が要求される。一方、スレーブモードでプログラム変更する場合を想定すると、パソコンから一つ一つ子基板のアドレスを指定してクロックとプログラムデータを順番に送り込む作業が必要となる。

30

【 0 0 0 9 】

本発明は、以上のような実情に鑑みてなされたものであり、中性子検出信号の分散処理能力を子基板の積み重ね数で調整することができ、親基板側のダウンロード用 R O M で子基板側の全ての F P G A のプログラムを管理でき、分散処理能力に応じて子基板の積み重ね数を増減させても子基板側の全ての F P G A に同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることのできる中性子計測用のデータ収集装置及びプログラムダウンロード方法を提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 1 0 】

本発明の中性子計測用のデータ収集装置は、多数の検出器から分散して中性子検出信号の読み出しを行う複数の子基板と、前記子基板が基板面上に積み重ねて配置され前記各子基板から測定データを収集する親基板と、前記各子基板に設けられ中性子検出信号の波高値を測定する F P G A と、前記親基板に設けられ前記各子基板の F P G A にダウンロードすべきプログラムを格納したダウンロード用メモリとを備え、前記各 F P G A は、F P G A 側からダウンロード用メモリにクロックを出力して該ダウンロード用メモリ内のプログラムデータを出力させてプログラムを設定する第 1 モードと、F P G A にクロックとプロ

50

グラムデータを供給してプログラムを設定する第2モードとを設定可能に構成され、前記FPGAの一つを第1モードに設定すると共に、他のFPGAを第2モードに設定し、第1モードのFPGAからダウンロード用メモリに対してクロックを出力して該ダウンロード用メモリから出力されるプログラムデータを当該第1モードのFPGAに設定すると共に、第1モードのFPGAから出力されるクロック及び当該クロックにより前記ダウンロード用メモリから出力されたプログラムデータを第2モードの各FPGAにも入力して当該プログラムデータを設定することを特徴とする。

【0011】

このように構成された中性子計測用のデータ収集装置によれば、FPGAの一つを第1モードに設定すると共に、他のFPGAを第2モードに設定し、第1モードのFPGAから出力されるクロック及び当該クロックによりダウンロード用メモリから出力されたプログラムデータを第2モードの各FPGAにも入力するように構成したので、親基板側のダウンロード用メモリで子基板側の全てのFPGAのプログラムを管理でき、また子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることができる。

10

【0012】

また本発明は、上記中性子計測用のデータ収集装置において、前記各子基板は、各子基板に設置したFPGAの入出力端子が個別に接続された複数の導体ピンからなる子基板側ピン配列を有し、前記親基板は、前記ダウンロード用メモリの外部端子であるクロック入力用のクロック端子及びデータ出力用のデータ出力端子が割り付けられたクロックピン及びデータピンを含む複数の導体ピンからなる親基板側ピン配列を有し、前記子基板側ピン配列はFPGAの入出力端子毎に各導体ピンが子基板間で共通接続された共通ピンとされ、前記親基板側ピン配列の導体ピンと前記各子基板の中のいずれかの子基板側ピン配列の導体ピンとが導通接続されることを特徴とする。

20

【0013】

このように構成された中性子計測用のデータ収集装置によれば、前記子基板側ピン配列はFPGAの入出力端子毎に各導体ピンが子基板間で共通接続された共通ピンとされ、前記親基板側ピン配列の導体ピンと前記各子基板の中のいずれかの子基板側ピン配列の導体ピンとが導通接続されるので、第1モードのFPGAから出力されたクロックは親基板側ピン配列の導体ピンを介して親基板側のダウンロード用メモリの外部端子へ供給されると共に第1モードのFPGAからクロックが入力される導体ピンと共通ピンとなっている他の子基板の子基板側ピン配列の導体ピンを介して第2モードのFPGAへ入力される。また、第1モードのFPGAにプログラムデータを入力する当該子基板の子基板側ピン配列の導体ピンと共通ピンとなっている他の子基板の子基板側ピン配列の導体ピンを介して第2モードのFPGAへプログラムデータが入力される。これにより、第1モードのFPGAには第1モードでプログラムデータが設定され、第2モードのFPGAには第2モードでプログラムデータが設定されることとなり、子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることができる。

30

【0014】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板は、全子基板で対応可能な中性子検出信号総数に対応した数の導体ピンを有する親基板側検出器用ピン配列を有し、前記各子基板は、前記親基板側検出器用ピン配列の各導体ピンと導通する複数の導体ピンを有する子基板側検出器用ピン配列と、前記子基板側検出器用ピン配列に対応して設けられ各子基板に取り込む中性子検出信号を選択するためのショートパターンとを具備したことを特徴とする。

40

【0015】

このように構成された中性子計測用のデータ収集装置によれば、中性子検出信号総数である全入力を検出器用ピン配列に配置でき、各子基板に取り込む中性子検出信号をショートパターンのショート状態で選択することができ、全ての子基板を同一構成とすることができ、コスト削減を図ることができる。

50

【0016】

また本発明は、上記中性子計測用のデータ収集装置において、前記親基板に設けられた前記親基板側ピン配列及び親基板側検出器用ピン配列、前記各子基板に設けられた前記子基板側ピン配列及び前記子基板側検出器用ピン配列は、当該各ピン配列を介して各基板を上下に積み重ね可能であると共に積み重ねた上下の基板で同一位置の各導体ピンが導通するICソケットで構成されたことを特徴とする。

【0017】

このように構成された中性子計測用のデータ収集装置によれば、同一構成の子基板を各ピン配列を介して親基板の上に積み重ねて集積化することが可能であり、子基板の積層数を増減するだけで、分散処理の能力を容易に調整することができる。

10

【0018】

また本発明は、上記中性子計測用のデータ収集装置において、第1モードのFPGAから出力したクロックを前記子基板側ピン配列のクロック用共通ピン及び当該クロック用共通ピンに導通している前記親基板側ピン配列のクロックピンを介して前記ダウンロード用メモリのクロック端子に入力すると共に、第2モードのFPGAの前記子基板側ピン配列のクロック用共通ピンを介して当該第2モードのFPGAに入力し、前記ダウンロード用メモリのデータ出力端子からクロックに同期して出力されたプログラムデータを前記親基板側ピン配列のデータピン及び当該データピンに導通している前記子基板側ピン配列のデータ用共通ピンを介して第1モードのFPGA及び第2モードの各FPGAに入力することを特徴とする。

20

【0019】

このように構成された中性子計測用のデータ収集装置によれば、第1モードのFPGAには第1モードでプログラムデータが設定され、第2モードのFPGAには第2モードでプログラムデータが設定されることとなり、子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることができる。

【0020】

また本発明は、上記中性子計測用のデータ収集装置において、前記各子基板は、複数組のショートパターンで構成され前記FPGAの識別アドレスを示すビットパターンを発生させるID番号設定回路を備え、前記親基板が特定の子基板の識別アドレスを示す選択信号を前記各子基板へ出力し、前記各子基板のFPGAは入力した選択信号が示す識別アドレスから自分が選択されたか否か判断することを特徴とする。

30

【0021】

このように構成された中性子計測用のデータ収集装置によれば、各子基板に当該子基板の識別アドレスを示すビットパターンを発生させるID番号設定回路を設けたので、複数組のショートパターンといった簡単な構成で各子基板のFPGAに自分の識別アドレスを認識させることができる。

【0022】

また本発明のプログラムダウンロード方法は、多数の検出器から分散して中性子検出信号の読み出しを行う複数の子基板と、前記子基板が基板面上に積み重ねて配置され前記各子基板から測定データを収集する親基板と、前記各子基板に設けられ中性子検出信号の波高値を測定するFPGAと、前記親基板に設けられ前記各子基板のFPGAにダウンロードすべきプログラムを格納したダウンロード用メモリとを備えた中性子計測用のデータ収集装置におけるプログラムダウンロード方法であって、前記FPGAの一つをFPGA側からダウンロード用メモリにクロックを出力して該ダウンロード用メモリ内のプログラムデータを出力させてプログラムを設定する第1モードに設定し、他のFPGAをFPGAにクロックとプログラムデータを供給してプログラムを設定する第2モードに設定し、第1モードのFPGAからダウンロード用メモリに対してクロックを出力して該ダウンロード用メモリから出力されるプログラムデータを当該第1モードのFPGAに設定すると共に、第1モードのFPGAから出力されるクロック及び当該クロックにより前記ダウンロード用メモリから出力されたプログラムデータを第2モードの各FPGAにも入力して当

40

50

該プログラムデータを設定することを特徴とする。

【0023】

このように構成されたプログラムダウンロード方法によれば、親基板側のダウンロード用メモリで子基板側の全てのFPGAのプログラムを管理でき、分散処理能力に応じて子基板の数を増減させても子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることができる。

【発明の効果】

【0024】

本発明によれば、中性子検出信号の分散処理能力を子基板の積み重ね数で調整することができ、親基板側のダウンロード用ROMで子基板側の全てのFPGAのプログラムを管理でき、さらに分散処理能力に応じて子基板の積み重ね数を増減させても子基板側の全てのFPGAに同一プログラムを煩雑なプログラム変更作業を伴うことなく容易にダウンロードすることができる。

10

【発明を実施するための最良の形態】

【0025】

以下、本発明の一実施の形態について図面を参照しながら具体的に説明する。

図1は本発明を適用した一実施の形態に係る中性子計測用のデータ収集装置における基板部分の分解斜視図であり、図2は当該基板部分の平面図である。親基板11の基板面における右側約半分の領域に、4枚の子基板12a、12b、12c、12dが2枚ずつ並べて上下に積み上げて配置されている。すなわち、親基板11上面の子基板設置領域（右側半分）には、2枚の子基板12c、12dが後述する検出器用ピン配列を同方向に向けて並列に配置され、その一方の子基板12cの上面に子基板12aが同じく検出器用ピン配列を同方向に向けて配置され、他方の子基板12dの上面に子基板12bが同じく検出器用ピン配列を同方向に向けて配置されている。

20

【0026】

親基板11の子基板設置領域における一辺には左右一對のコネクタ部品13a、13bが設けられている。各コネクタ部品13a、13bは、8本のPSDの左右の信号の読み出しを行うように構成されており、それぞれ16本のピン端子を備えているものとする。コネクタ部品13a、13bには各PSDに接続された信号ケーブルが並列に接続される。2次元状に設置された8本のPSDの両端からの全中性子検出信号が2つのコネクタ部品13a、13bに振り分けられて入力されるように構成されている。

30

【0027】

親基板11には、コネクタ部品13a、13bに対応してそれぞれ16本の導体ピンからなる検出器用ピン配列14a-1、14a-2、14b-1、14b-2が形成されている。検出器用ピン配列14a-1、14a-2、14b-1、14b-2は導体ピン毎に独立した又は一列に一体化した構造のICソケットで構成されている。ICソケットの構造は後述する。検出器用ピン配列14a-1、14a-2、14b-1、14b-2は、子基板12c、12dの周縁部であって子基板側の検出器用ピン配列位置と対向する位置に形成されている。

【0028】

また親基板11には、子基板設置領域において子基板12c、12dの一方の長辺の周縁部とそれぞれ対向する各位置に複数の導体ピンからなる親基板側ピン配列15a、15bが設けられている。親基板側ピン配列15a、15bは導体ピン毎に独立した又は一列に一体化した構造のICソケットで構成されている。ICソケットの構造は後述する。

40

【0029】

さらに、親基板11には、子基板設置領域において子基板12c、12dの他方の長辺の周縁部とそれぞれ対向する各位置に電源供給用（接地用を含む）ICソケット16a、16bが設置されている。本実施の形態では、電源供給用ICソケット16a、16bは検出器用ピン配列等のICソケットと同一構造であるが、積み重ねられる複数の子基板に電源供給ライン及びアースラインを共通接続できる構成であれば、特に限定されるもので

50

はない。

【 0 0 3 0 】

図 3 はコネクタ部品 1 3 a、1 3 b の導体ピンと検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 の導体ピンとの配線の拡大図である。コネクタ部品 1 3 a、1 3 b は 8 本の P S D の両端の信号をそれぞれ受けている。一方のコネクタ部品 1 3 a は 8 本の P S D の左側の信号を差動信号で受け、また他方のコネクタ部品 1 3 b は 8 本の P S D の右側の信号を差動信号で受けている。そのため、コネクタ部品 1 3 a、1 3 b の導体ピン数はそれぞれ 1 6 本になり、総数で 3 2 本になる。差動信号としたのは、ノイズの影響を小さくするためである。コネクタ部品 1 3 a、1 3 b を検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 につなぐ際に、各 P S D の左右の信号が対になるように配線している。検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 に、それぞれ 2 本分の左右のデータが対で配置されており、したがって、4 枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d を検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 のどれかに対応させれば良いことになる。また、親基板側ピン配列 1 5 a、1 5 b は、当該ピン配列を構成する個々の導体ピンが、親基板 1 1 に形成した配線パターンを経由して、親基板 1 1 に設置したメイン F P G A 1 7 の所定の入出力端子に並列に導通している。

10

【 0 0 3 1 】

また、親基板 1 1 の奥側の一边であってメイン F P G A 1 7 に近い領域に親基板 1 1 外の制御用コンピュータ及びその他の周辺機器に接続するための周辺機器用コネクタ 1 8 が設けられている。また、親基板 1 1 には各子基板 1 2 a、1 2 b、1 2 c、1 2 d にプログラムをダウンロードするための F P G A 用ダウンロード R O M 1 9 が設置されている。F P G A 用ダウンロード R O M 1 9 の各端子は親基板側ピン配列 1 5 a、1 5 b の一部の導体ピンと配線パターンを介して導通接続されている。

20

【 0 0 3 2 】

図 4 は 1 枚の子基板 1 2 c の平面図である。子基板 1 2 c は親基板 1 1 に重ねて設置される 1 段目の一方の子基板である。子基板 1 2 c は全体が長形状をなしており、親基板側のメイン F P G A 1 7 に対して F P G A 2 0 が実装されている。子基板 1 2 c の一方の短辺側の周縁部 2 1 には複数の貫通孔が一行に形成されており、当該貫通孔に左右一対の検出器用ピン配列 2 2 a、2 2 b が挿入されている。子基板 1 2 c の周縁部 2 1 に一行に形成された貫通孔形成領域が、上記親基板側の検出器用ピン配列 1 4 a - 1、1 4 a - 2 に対向している。

30

【 0 0 3 3 】

子基板 1 2 c の一方の長辺側の周縁部 2 6 には複数の貫通孔が一行に形成されており、その貫通孔に子基板側ピン配列 2 7 が設置されている。子基板側ピン配列 2 7 は、親基板 1 1 側に設けた親基板側ピン配列 1 5 a と対向する位置に設けられている。子基板側ピン配列 2 7 と親基板側ピン配列 1 5 a とは導体ピンが一対一で対応している。基板を積み重ねた際には後述する構造にて親基板側ピン配列 1 5 a と子基板側ピン配列 2 7 とが一対一で導通した状態となる。

【 0 0 3 4 】

子基板 1 2 c の他方の長辺の周縁部 2 8 には複数の貫通孔が一行に形成されていて、その貫通孔に電源供給用 I C ソケット 2 9 が挿入されている。上記ピン配列同様に、基板を積み重ねた際には電源供給用 I C ソケット 1 6 a、1 6 b と子基板側の電源供給用 I C ソケット 2 9 とが対向する。

40

【 0 0 3 5 】

ここで、I C ソケットで構成されたピン配列の構造について説明する。図 5 (a) に示すように、上下に積み重ねられる基板同士は、互いに対向するピン配列を介して連結され導通されるように構成されている。図 5 (b) は複数の導体ピンが一行に一体化された I C ソケットで構成されたピン配列の構造を示す一部断面図である。同図に示すように、樹脂部 3 1 がソケット本体を構成している。樹脂部 3 1 の上面に頭部連結孔 3 2 が形成され

50

、樹脂部 3 1 の上面から下面に掛けて頭部連結孔 3 2 に金属内壁 3 3 が形成されている。本例では検出器用ピン配列 2 2 a、2 2 b に限らず他の IC ソケットも同様の構造をなしているものとする。そして、金属内壁 3 3 の下端部から下方に延出した金属導体からなる足部 3 4 が形成されている。足部 3 4 は他の IC ソケットの頭部連結孔 3 2 に挿入可能な形状及び寸法をなしている。

【 0 0 3 6 】

したがって、図 5 (a) に示すように、親基板 1 1 の上に子基板 1 2 c を積み重ねて親基板側の検出器用ピン配列 1 4 a - 1、1 4 a - 2 の各頭部連結孔 3 2 に対して、子基板 1 2 c の検出器用ピン配列 2 2 a、2 2 b の足部 3 4 を挿入して連結する。同時に、親基板側ピン配列 1 5 a の各頭部連結孔 3 2 に対して、子基板側ピン配列 2 7 の足部 3 4 を挿入して連結する。さらに、親基板 1 1 側の電源供給用 IC ソケット 1 6 a に子基板 1 2 c 側の電源供給用 IC ソケット 2 9 を連結する。

10

【 0 0 3 7 】

このように、一段目の子基板 1 2 c は、検出器用ピン配列 2 2 a、2 2 b、子基板側ピン配列 2 7 及び電源供給用 IC ソケット 2 9 が、親基板 1 1 側の検出器用ピン配列 1 4 a - 1、1 4 a - 2、親基板側ピン配列 1 5 a 及び電源供給用 IC ソケット 1 6 a に一対一で連結され導通することになる。一段目のもう一つの子基板 1 2 d も同様にして、親基板 1 1 に重ね合わされて導体ピン同士が連結される。

【 0 0 3 8 】

さらに、1 段目の子基板 1 2 c、1 2 d の上に 2 段目の子基板 1 2 a、1 2 b が上記同様にして重ね合わされて共通ピン化させる。すなわち、1 段目子基板 1 2 c、1 2 d の検出器用ピン配列 2 2 a、2 2 b 及び子基板側ピン配列 2 7 の各頭部連結孔 3 2 に対して、2 段目子基板 1 2 a、1 2 b の検出器用ピン配列 2 2 a、2 2 b 及び子基板側ピン配列 2 7 の各足部 3 4 を挿入して連結する。また、1 段目の子基板 1 2 c、1 2 d の電源供給用 IC ソケット 2 9 と 2 段目子基板 1 2 a、1 2 b の電源供給用 IC ソケット 2 9 とを連結する。

20

【 0 0 3 9 】

以上のようにして、本実施の形態は、親基板 1 1 側の検出器用ピン配列 1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 に対して、子基板 1 2 a ~ 1 2 d 側の検出器用ピン配列 2 2 a、2 2 b を導体ピン単位で共通接続でき、全ての子基板 1 2 a ~ 1 2 d の検出器用ピン配列 2 2 a、2 2 b に対して全検出信号入力を配置することができる。また、親基板側ピン配列 1 5 a、1 5 b に対して、全ての子基板 1 2 a ~ 1 2 d の子基板側ピン配列 2 7 を導体ピン単位で共通接続でき、親基板側ピン配列 1 5 a、1 5 b に対して各子基板 1 2 a ~ 1 2 d の子基板側ピン配列 2 7 が共通ピンとなる。すなわち、親基板 1 1 から親基板側ピン配列 1 5 a、1 5 b の所定の導体ピンに対して信号を入力すると、当該親基板側ピン配列 1 5 a、1 5 b の導体ピンに対して各子基板 1 2 a ~ 1 2 d の子基板側ピン配列 2 7 の共通ピン化されている導体ピンを介して各子基板 1 2 a ~ 1 2 d に同時並列的に入力される。逆に、何れか一つの子基板 1 2 a ~ 1 2 d から自己の子基板側ピン配列 2 7 の導体ピンに信号を入力すれば、他の子基板と共通化されている子基板側ピン配列 2 7 の該当導体ピンを占有して親基板側ピン配列 1 5 a、1 5 b の対応導体ピンに当該信号が出力される。本実施の形態では、メイン F P G A 1 7 の入出力端子を親基板側ピン配列 1 5 a、1 5 b の所定の導体ピンに割り当てると共に、F P G A 用ダウンロード R O M 1 9 の入出力端子を親基板側ピン配列 1 5 a、1 5 b の所定の導体ピンに割り当てるように、親基板 1 1 上の配線パターンを形成している。

30

40

【 0 0 4 0 】

また、図 4 に示すように、子基板における検出器用ピン配列 2 2 a、2 2 b にはショートパターン 2 3 a、2 3 b が設置されている。ショートパターン 2 3 a、2 3 b は、各々対応する導体ピンに導通した入側パターン 2 4 と、各々対応する入側パターン 2 4 から僅かに離間した出側パターン 2 5 とからそれぞれ構成されている。一対の入側パターン 2 4 と出側パターン 2 5 とは、初期状態では非導通とされている。入側パターン 2 4 と出側パ

50

ターン 25 とをショートさせた導体ピンから検出信号が取り込まれるように構成している。すなわち、ショートさせるショートパターン 23 a、23 b を選択することで、各子基板 12 a ~ 12 d へ入力する信号を個別に選択することができる。

【0041】

本実施の形態では、1枚の子基板で16個の導体ピンを有し、差動信号で受信するので、4本分のPSDの検出信号を取り込み可能に構成している。その中から2本分のPSDの検出信号を8個の導体ピンから取り込むようにしている。したがって、一方の検出器用ピン配列 22 a 又は 22 b から8個の導体ピンを選択して、選択した8個の導体ピンについて入側パターン 24 と出側パターン 25 とをショートさせる。

【0042】

図6は、子基板 12 c の概略的な配線パターンを示す図である。一枚の子基板 12 c には、4つの増幅器 35 a、35 b、35 c、35 d が並列に実装されている。検出器用ピン配列 22 a、22 b の各導体ピンは、ショートパターン 23 a、23 b を介して各増幅器 35 a、35 b、35 c、35 d に配線パターンで接続されている。また、子基板 12 a には、4つのADC 36 a、36 b、36 c、36 d が並列に実装されている。各ADC 36 a、36 b、36 c、36 d は、各々対応する増幅器 35 a、35 b、35 c、35 d の出力端が接続されている。ADC 36 a、36 b、36 c、36 d はFPGA 20 の信号入力端に接続されている。

【0043】

本実施の形態では、4枚の子基板 12 a、12 b、12 c、12 d は全て同一構成をしており、ショートパターン 23 a、23 b のショート位置を選択することで、異なるPSDの検出信号を取り込むことができる。なお、4枚の子基板 12 a、12 b、12 c、12 d の各部の構成要素に対しては同一符号を用いて説明する。

【0044】

また、FPGA 20 に隣接してID番号設定回路 37 が設けられている。ID番号設定回路 37 は、簡単な二対のショートパターンで構成されている。2つのショートパターンのショート有無の組み合わせによって2ビットのID番号を設定可能である。例えば、ショートパターンをショートさせれば“0”、ショートさせずにバイアス電位のままとすれば“1”とする。そして、ID番号設定回路 37 が“00”であればアドレス=0、“01”であればアドレス=1、“10”であればアドレス=2、“11”であればアドレス=3とする。ID番号設定回路 37 がFPGA 20 に接続されていて、2ビットのID番号を認識させるように構成されている。本実施の形態では、4枚の子基板 12 a、12 b、12 c、12 d にそれぞれ固有のID番号を設定して識別可能にしている。

【0045】

FPGA 20 の所定の入出力端子は子基板側ピン配列 27 の各々対応する導体ピンに配線パターンを経由して接続されている。FPGA 20 とメインFPGA 17 との間の信号のやり取りは子基板側ピン配列 27 及び親基板側ピン配列 15 a (15 b) を介して行われる。

【0046】

ここで、片側に積み重ねられる2枚の子基板 12 a、12 c は親基板 11 側の同一の親基板側ピン配列 15 a に接続され、他方の片側に積み重ねられる2枚の子基板 12 b、12 d は親基板 11 側の同一の親基板側ピン配列 15 b に接続される。さらに、親基板 11 側の親基板側ピン配列 15 a、15 b にはメインFPGA 17 から同一信号が配線パターンを経由して並列に印加される。したがって、メインFPGA 17 から親基板側ピン配列 15 a、15 b に出力される信号は、同時に4枚の子基板 12 a、12 b、12 c、12 d の各子基板側ピン配列 27 へ共通に与えられることになる。

【0047】

次に、以上のように構成された本実施の形態の動作について説明する。

本例では、1枚の子基板で2本のPSDの読み取りを行うものとする。そのため、個々の子基板 12 a、12 b、12 c、12 d についてショートパターン 23 a、23 b の中

10

20

30

40

50

から各々対応する P S D から検出信号が入力する導体ピンの入側パターン 2 4 と出側パターン 2 5 とをショートさせる。

【 0 0 4 8 】

これにより、全ての P S D の両端部に現れた電荷がパルス波形の検出信号に変換されてからコネクタ部品 1 3 a、1 3 b の各端子に左右 8 本分ずつ別々に入力され、コネクタ部品 1 3 a、1 3 b に入力する全入力信号が 4 枚の子基板 1 2 a、1 2 b、1 2 c、1 2 d の各検出器用ピン配列 2 2 a、2 2 b へ 2 枚ずつ共通に与えられる。そして、子基板 1 2 a、1 2 b、1 2 c、1 2 d においてショートパターン 2 3 a、2 3 で選択された P S D の検出信号だけが子基板 1 2 a、1 2 b、1 2 c、1 2 d に取り込まれる。

【 0 0 4 9 】

各子基板 1 2 a、1 2 b、1 2 c、1 2 d では検出器用ピン配列 2 2 a、2 2 b からショートパターン 2 3 a、2 3 を介して取り込まれた 2 つの検出信号 (Q 1、Q 2) が対応する 2 つの増幅器 (3 5 a ~ 3 5 d の中の 2 つ) で増幅された後、2 つの対応する A D C (3 6 a ~ 3 6 d の中の 2 つ) でデジタルデータに変換される。各検出信号のパルス波形を 1 6 ビットで量子化して F P G A 2 0 へ出力する。

【 0 0 5 0 】

F P G A 2 0 では、2 つの A D C (3 6 a ~ 3 6 d の中の 2 つ) から入力するデジタルデータをピークスキャンして、2 つの検出信号 Q 1 と Q 2 のピーク値を検出する。

【 0 0 5 1 】

全ての子基板 1 2 a、1 2 b、1 2 c、1 2 d において同様にして各々割り付けられた P S D の検出信号の読み取りが行われ、Q 1 と Q 2 のピーク値を検出する。

【 0 0 5 2 】

このようにして子基板 1 2 a、1 2 b、1 2 c、1 2 d において F P G A 2 0 で検出された測定データは、後述する同期方法にしたがって時刻情報と共に読み出されて親基板 1 1 のメイン F P G A 1 7 に取り込まれる。

【 0 0 5 3 】

図 7 は、本実施の形態における親基板 (メイン F P G A 1 7) と複数の子基板 (F P G A 2 0) の同期方法を説明するための説明図である。F P G A 2 0 は、シフトレジスタ 4 1、AND 回路 4 2 及び時刻カウンタ 4 3 を備えている。

【 0 0 5 4 】

各子基板 1 2 a、1 2 b、1 2 c、1 2 d における子基板側ピン配列 2 7 の所定の導体ピンにはメイン F P G A 1 7 から同期クロックが共通に供給され、他の所定の導体ピンには時間信号が共通に供給される。図 8 に示すように、時間信号が 3 クロック以上ハイならば測定停止状態とし、時間信号がローになったら測定開始とする。また、時間信号は時間分類が変わるごとに 1 クロックだけにハイにする。

【 0 0 5 5 】

メイン F P G A 1 7 は、測定停止時は時間信号を少なくとも 2 クロック以上 (本実施の形態では 3 クロック) ハイにする。F P G A 2 0 では、時間信号がシフトレジスタ 4 1 の初段に入力され同期クロックに同期して順次シフトされる。時間信号が 3 クロック連続してハイであると、AND 回路 4 2 からクリア信号が生成されて時刻カウンタ 4 3 のクリア端子に印加される。これにより時刻カウンタ 4 3 がゼロクリアされる。

【 0 0 5 6 】

メイン F P G A 1 7 は、時間信号をローにして測定開始を指示する。そして、測定開始から所定クロック経過したところで、時間信号を 1 クロックだけにハイにする。時刻カウンタ 4 3 は、時間分類の変化を示す当該 1 クロック (ハイ) をカウントする。時間分類が変化してから所定クロック経過したところで、時間信号を 1 クロックだけにハイにする。これにより時刻カウンタ 4 3 は、時刻カウント値を 1 つインクリメントする。このように時間分類が変化する度に時刻カウント値を 1 つインクリメントする動作を繰り返す。したがって、時刻カウンタ 4 3 には、測定開始からその時々々の時間分類を示す時刻カウント値が保持される。

10

20

30

40

50

【 0 0 5 7 】

メイン F P G A 1 7 は、個々の時間分類において各子基板 1 2 a、1 2 b、1 2 c、1 2 d の F P G A 2 0 から Q 1 と Q 2 のピーク値を時刻カウント値（時刻情報）と共に読み出す。

【 0 0 5 8 】

図 9 は親基板 1 1 から子基板 1 2 a、1 2 b、1 2 c、1 2 d を選択するための選択方法を説明する説明図である。

【 0 0 5 9 】

各子基板 1 2 a、1 2 b、1 2 c、1 2 d の F P G A 2 0 は、各々付設の I D 番号設定回路 3 7 から I D 番号（アドレス）が与えられており、自分のアドレスを認識しているものとする。

10

【 0 0 6 0 】

メイン F P G A 1 7 は、子基板から測定データ及び時刻情報を読み出す場合、各子基板 1 2 a、1 2 b、1 2 c、1 2 d における子基板側ピン配列 2 7 の所定の導体ピンにアドレスを特定した選択信号を与える。各子基板 1 2 a、1 2 b、1 2 c、1 2 d の F P G A 2 0 は、与えられた選択信号が自分のアドレスを示している場合は、それまでにピーク検出されている Q 1 と Q 2 のピーク値と、ピーク検出時に時刻カウンタ 4 3 からコピーされている時刻カウント値（時刻情報）を、子基板側ピン配列 2 7 においてデータバスに接続されている所定導体ピンに送出する。

20

【 0 0 6 1 】

メイン F P G A 1 7 は、データバスを経由して選択信号で指定した子基板から伝送されてくる Q 1 と Q 2 のピーク値及び時刻情報を取り込む。同様にして、選択信号で子基板を順次選択して、全ての子基板から測定データ及び時刻情報を取り込むことができる。

【 0 0 6 2 】

メイン F P G A 1 7 は、子基板 1 2 a、1 2 b、1 2 c、1 2 d から収集した測定データ及び時刻情報に基づいて中性子の捕獲位置を特定する。中性子の捕獲位置情報及びその他の必要なデータを周辺機器用コネクタ 1 8 から制御用コンピュータ又は周辺機器へ送出する。

【 0 0 6 3 】

図 1 0 は親基板 1 1 側の F P G A 用ダウンロード ROM 1 9 から各子基板 1 2 a、1 2 b、1 2 c、1 2 d の F P G A 2 0 へプログラムデータをダウンロードする方法を説明するための説明図である。なお、各子基板 1 2 a、1 2 b、1 2 c、1 2 d の F P G A 2 0 を区別するため、子基板 1 2 a の F P G A を 2 0 a、子基板 1 2 b の F P G A を 2 0 b、子基板 1 2 c の F P G A を 2 0 c、子基板 1 2 d の F P G A を 2 0 d とする。F P G A 2 0 a ~ F P G A 2 0 d は全て同一プログラムがダウンロードされる。

30

【 0 0 6 4 】

本実施の形態では、親基板 1 1 に子基板用の F P G A 用ダウンロード ROM 1 9 を設け、各子基板 1 2 a ~ 1 2 d において各子基板側ピン配列 2 7 の一部（共通ピン）を使用して全子基板 1 2 a ~ 1 2 d に一括ダウンロードする。

【 0 0 6 5 】

一つの子基板 1 2 a の F P G A 2 0 a だけを第 1 モードとしてのマスターモードに設定し、他の子基板 1 2 b ~ 1 2 d の F P G A 2 0 b ~ 2 0 d を第 2 モードとしてのスレーブモードに設定する。前述した通り、マスターモードは ROM と F P G A が 1 対 1 に配置され、F P G A 側からクロックを発生して ROM 内のデータを出力させる方法である。また、スレーブモードは F P G A にクロックとデータを供給してプログラムを設定する方法である。

40

【 0 0 6 6 】

本実施の形態では、マスターモードの F P G A 2 0 a が F P G A 用ダウンロード ROM 1 9 に対してクロックを出力し、F P G A 用ダウンロード ROM 1 9 がそのクロックに同期してプログラムデータを出力する。F P G A 用ダウンロード ROM 1 9 がクロックに同

50

期して出力するプログラムデータはマスターモードのFPGA20aに供給されてダウンロードされる。

【0067】

具体的には、マスターモードのFPGA20aから自己の子基板12aの子基板側ピン配列27の一部であるクロック用共通ピンにクロックを出力し、当該子基板側ピン配列27のクロック用共通ピンに上記ICソケット構造にて導通した親基板側ピン配列15aのクロックピンを介してFPGA用ダウンロードROM19のクロック端子に供給される。

【0068】

FPGA用ダウンロードROM19は、マスターモードのFPGA20aから自己のクロック端子に供給されるクロックに同期してデータ出力端子(Do)からプログラムデータを出力する。FPGA用ダウンロードROM19のデータ出力端子(Do)は親基板側ピン配列15a、15bのデータピンに配線パターンを介してそれぞれ接続されている。一方の親基板側ピン配列15aのデータピンは、マスターモードのFPGA20aの子基板12aの子基板側ピン配列27のデータ用共通ピンに上記ICソケット構造にて導通している。したがって、親基板側ピン配列15aのデータピンに供給されたプログラムデータは、親基板側ピン配列15aのデータピンに導通した子基板12aの子基板側ピン配列27のデータ用共通ピンを介してマスターモードのFPGA20aに入力されてプログラムダウンロードされる。

10

【0069】

以上の動作がマスターモードのFPGA20aがFPGA用ダウンロードROM19に対してクロックを出力して、FPGA用ダウンロードROM19からクロックに同期してプログラムをダウンロードするマスターモード動作である。

20

【0070】

このとき、スレーブモードに設定されている他の子基板12b~12dのFPGA20b~20dでは、マスターモードのFPGA20aの出力したクロックとFPGA用ダウンロードROM19が出力したプログラムデータとを入力してスレーブモードでプログラムダウンロードを実行している。

【0071】

具体的には、子基板12aの子基板側ピン配列27のクロック用共通ピンは、同時に他の全ての子基板12b~12dの子基板側ピン配列27のクロック用共通ピンに上記ICソケット構造を介して導通している。このため、マスターモードのFPGA20aは自己の子基板12aの子基板側ピン配列27のクロック用共通ピンにクロックを出力するが、子基板12aの子基板側ピン配列27のクロック用共通ピンからFPGA用ダウンロードROM19に対してクロックが供給されるのと同時に他の子基板12b~12dの子基板側ピン配列27のクロック用共通ピンに同一クロックが供給されることになる。マスターモードのFPGA20aが出力したクロックが、スレーブモードのFPGAに対するプログラムダウンロード用のクロックとして他の子基板12b~12dの子基板側ピン配列27のクロック用共通ピンを介してスレーブモードのFPGA20b~20dに入力する。

30

【0072】

また、FPGA用ダウンロードROM19からプログラムデータが供給される親基板側ピン配列15a、15bのデータピンは、各子基板12a~12dの子基板側ピン配列27のデータ用共通ピンに上記ICソケット構造にて導通している。このため、親基板側ピン配列15a、15bのデータピンに供給されたプログラムデータは、子基板12aの子基板側ピン配列27のデータ用共通ピンを介してマスターモードのFPGA20aに入力されると共に、他の子基板12b~12dの子基板側ピン配列27のデータ用共通ピンを介してスレーブモードのFPGA20b~20dに入力される。

40

【0073】

以上の動作がスレーブモードのFPGA20b~20dがマスターモードのFPGA20aが出力するクロックを利用してFPGA用ダウンロードROM19から出力されるプログラムデータをダウンロードするスレーブモード動作である。

50

【 0 0 7 4 】

このように、回路構成を共通化した複数の子基板 1 2 a ~ 1 2 d を積み重ねて配置し、親基板 1 1 を含む各基板間は共通ピン化されたピン配列 (1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2、1 5 a、1 5 b、2 2 a、2 2 b、2 7) を介して接続したので、システム全体で分散処理できる能力を子基板の積層数で調整できる。しかも、一つの子基板 1 2 a の F P G A 2 0 a だけをマスターモードに設定し、他の子基板 1 2 b ~ 1 2 d の F P G A 2 0 b ~ 2 0 d をスレーブモードに設定したので、F P G A 用ダウンロード R O M 1 9 を親基板 1 1 に 1 つ設けるだけで、極めて簡単且つ迅速に全ての子基板 1 2 a ~ 1 2 d の F P G A 2 0 a ~ 2 0 d にプログラムをダウンロードすることができる。

【 0 0 7 5 】

また、本実施の形態によれば、全ての子基板 1 2 a、1 2 b、1 2 c、1 2 d を同一構成とし、各子基板における F P G A 2 0 の入出力端子に相当する子基板側ピン配列 2 7 を I C ソケット構造を利用して共通接続したので、メイン F P G A 1 7 からは 1 ビットの時間信号を子基板側ピン配列 2 7 の一つの端子ピンに与えるだけで、複数の子基板 1 2 a ~ 1 2 d の測定データを同期させることができる。また、選択信号を子基板側ピン配列 2 7 の一つの端子ピンに与えるだけで、子基板を指定して測定データ及び時刻情報を取り込むことができる。

【 産業上の利用可能性 】

【 0 0 7 6 】

本発明は、複数の子基板において多数の検出信号の読み取りを分散して行った後、親基板が子基板から測定データを読み込む中性子計測システムに適用可能である。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 本発明の一実施の形態に係るデータ収集装置の基板部分の分解斜視図

【 図 2 】 図 1 に示すデータ収集装置の基板部分の平面図

【 図 3 】 コネクタ部品と検出器用ピン配列の導体ピンとの配線の拡大図

【 図 4 】 上記一実施の形態における子基板の平面図

【 図 5 】 (a) 上下に積層される基板同士の積層構造を示す部分断面図、(b) 検出信号用 I C ソケットの構造を示す図

【 図 6 】 上記一実施の形態における子基板の概略的な配線パターンを示す図

【 図 7 】 上記一実施の形態における親基板と子基板の同期方法を説明するための説明図

【 図 8 】 上記一実施の形態における同期信号 (同期クロック、時間信号) のタイミング図

【 図 9 】 上記一実施の形態における子基板の選択方法を説明するための説明図

【 図 1 0 】 上記一実施の形態における子基板の F P G A のプログラムダウンロード方法を説明するための説明図

【 図 1 1 】 P S D の読み出しを行う読み出し回路の模式的なシステム構成図

【 符号の説明 】

【 0 0 7 8 】

1 1 ... 親基板、1 2 a、1 2 b、1 2 c、1 2 d ... 子基板、1 3 a、1 3 b ... コネクタ部品、1 4 a - 1、1 4 a - 2、1 4 b - 1、1 4 b - 2 ... 検出器用ピン配列 (親基板側)、1 5 a、1 5 b ... 親基板側ピン配列、1 6 a、1 6 b ... 電源供給用 I C ソケット (親基板側)、1 7 ... メイン F P G A、1 8 ... 周辺機器用コネクタ、1 9 ... F P G A 用ダウンロード R O M、2 0 ... F P G A、2 1 ... 周縁部 (子基板短辺側)、2 2 a、2 2 b ... 検出器用ピン配列 (子基板側)、2 3 a、2 3 b ... ショートパターン、2 4 ... 入側パターン、2 5 ... 出側パターン、2 6、2 8 ... 周縁部 (子基板長辺側)、2 7 ... 子基板側ピン配列、2 9 ... 電源供給用 I C ソケット (子基板側)、3 1 ... 樹脂部、3 2 ... 頭部連結孔、3 3 ... 金属内壁、3 4 ... 足部、3 5 a、3 5 b、3 5 c、3 5 d ... 増幅器、3 6 a、3 6 b、3 6 c、3 6 d ... A D C、3 7 ... I D 番号設定回路、4 1 ... シフトレジスタ、4 2 ... A N D 回路、4 3 ... 時刻カウンタ

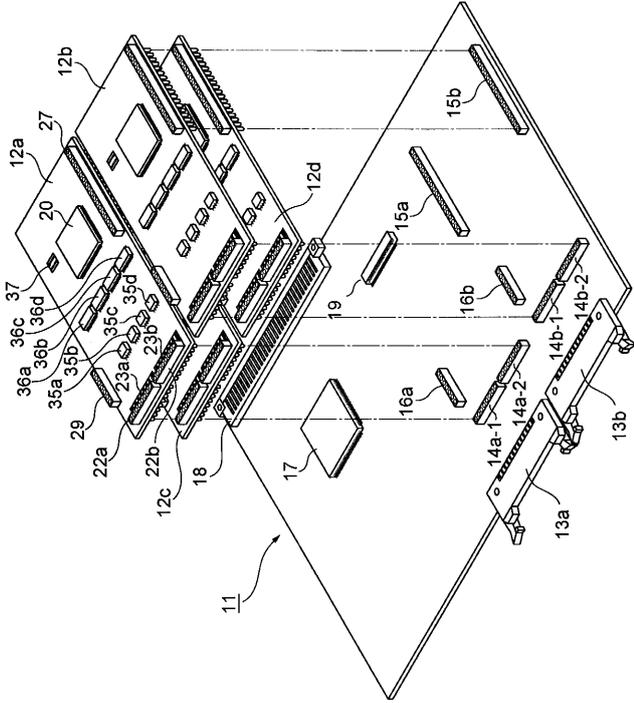
10

20

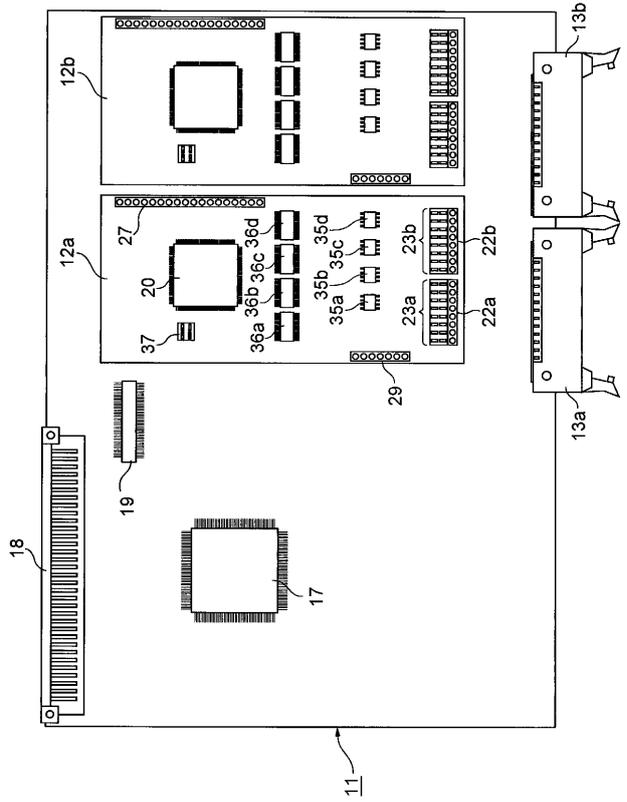
30

40

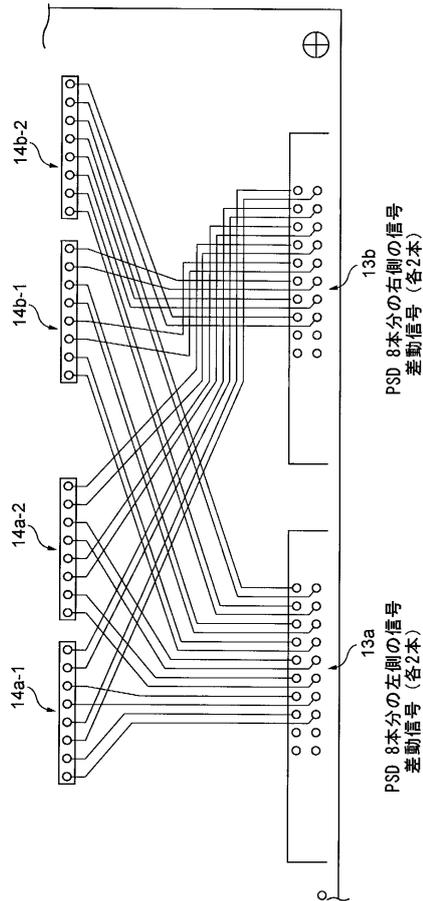
【図 1】



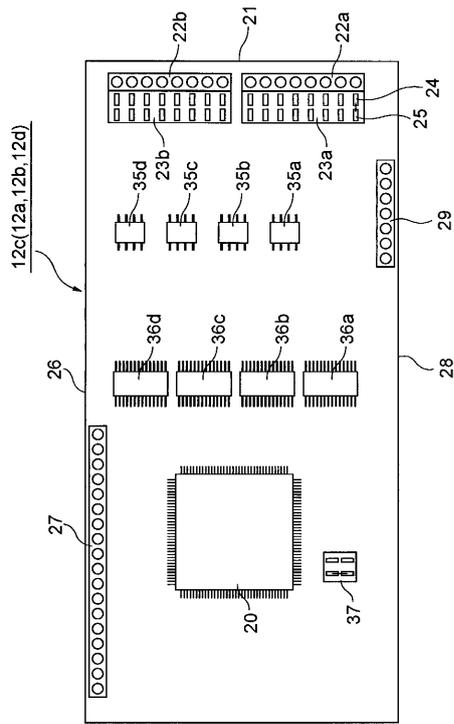
【図 2】



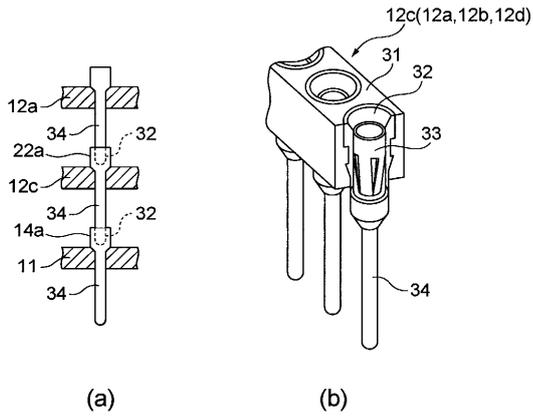
【図 3】



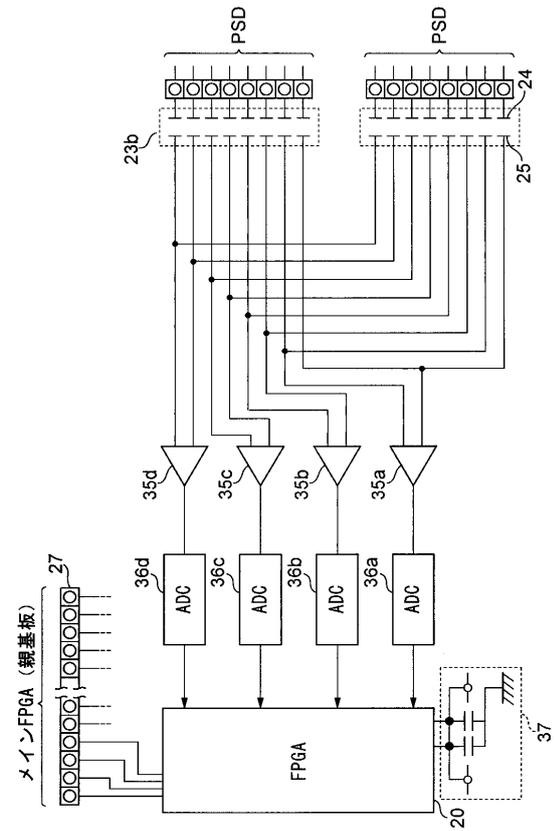
【図 4】



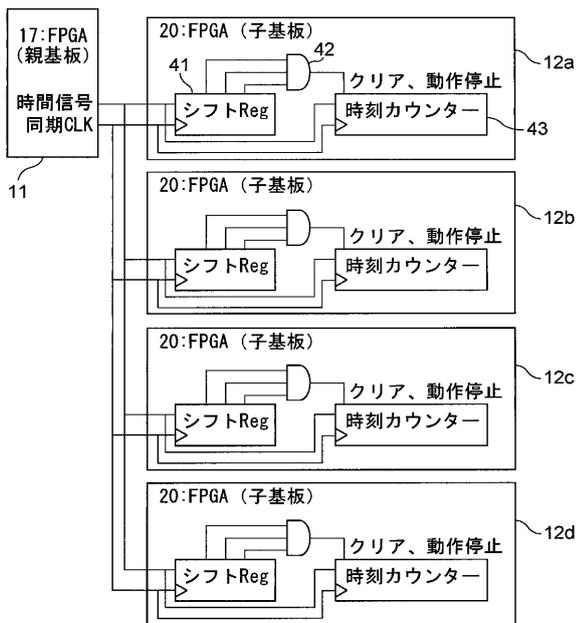
【 図 5 】



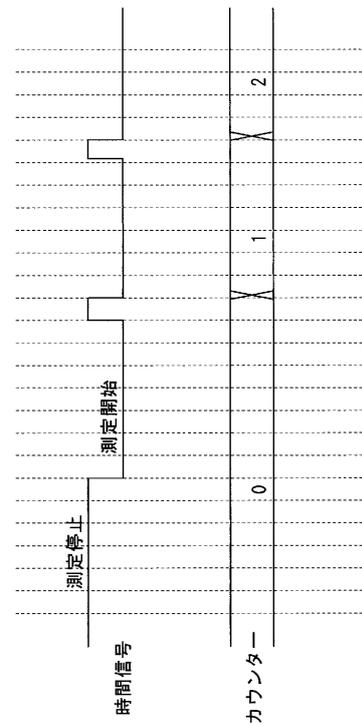
【 図 6 】



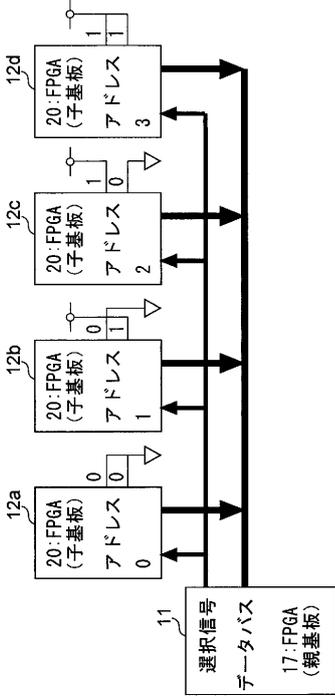
【 図 7 】



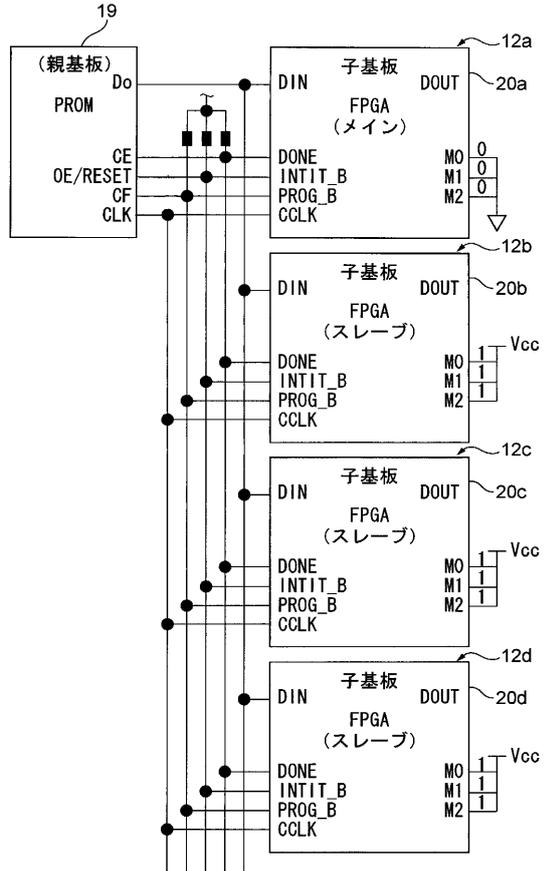
【 図 8 】



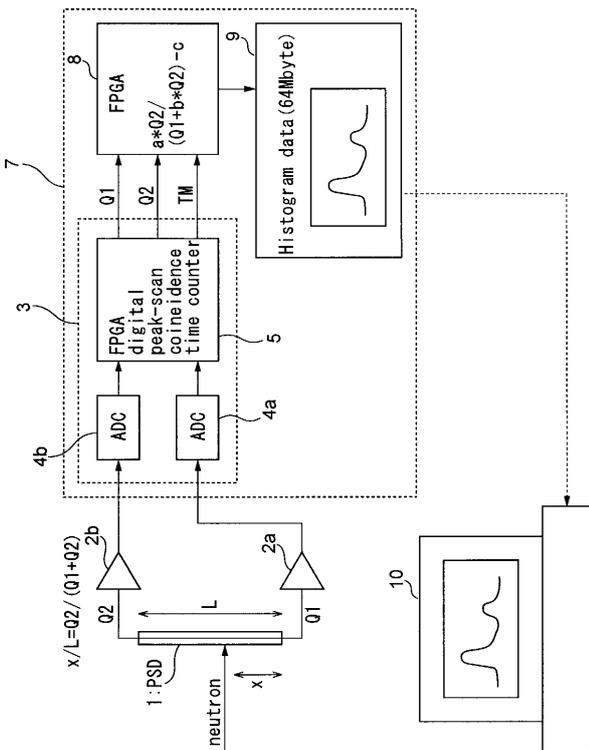
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 佐藤 節夫

茨城県つくば市吾妻2 - 8 1 0 - 3 0 4

Fターム(参考) 5B176 BB06 EA02 EB02