

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-130920

(P2014-130920A)

(43) 公開日 平成26年7月10日(2014.7.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/08 (2006.01)	HO 1 L 31/00 A	2G088
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	2G188
HO 1 L 27/144 (2006.01)	HO 1 L 27/14 K	4M118
HO 4 N 5/32 (2006.01)	HO 4 N 5/32	5C024
GO 1 T 1/24 (2006.01)	GO 1 T 1/24	5F088

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2012-287963 (P2012-287963)
 (22) 出願日 平成24年12月28日(2012.12.28)

特許法第30条第2項適用申請有り 平成24年9月3日開催 International Workshop on Semiconductor Pixel Detectors for Particles and Imaging (PIXEL2012)にて発表

(出願人による申告)平成22年度、文部科学省、先端計測分析技術・機器開発事業に係る委託業務、開発課題名「SOI技術による時間・空間X線イメージセンサー」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地8
 (71) 出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和評
 (74) 代理人 100099025
 弁理士 福田 浩志

最終頁に続く

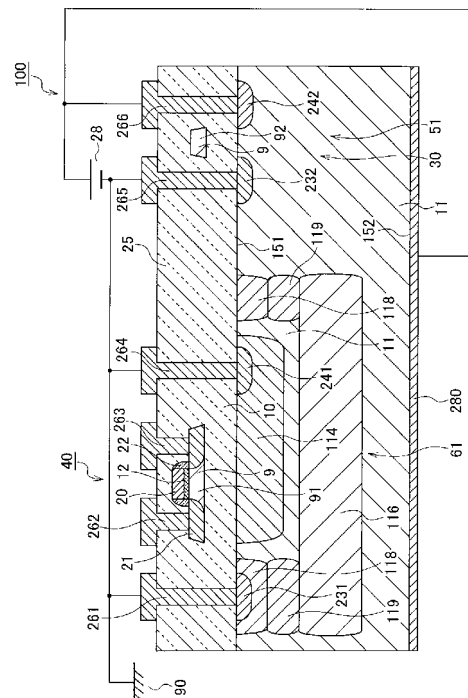
(54) 【発明の名称】 2重ウエル構造SOI放射線センサおよびその製造方法

(57) 【要約】

【課題】フォトダイオードとトランジスタとが絶縁膜を介して同一の半導体基板に形成され、寄生容量の小さい2重ウエル構造SOI放射線センサと製造方法を提供する。

【解決手段】一導電型の半導体層11と、半導体層11に設けられた反対導電型の半導体領域232とを有するフォトダイオード30と、半導体層11上に設けられ、トランジスタ素子40が形成された半導体層9と、半導体層9と半導体層11との間の絶縁層10と、半導体層11に設けられ、一導電型で半導体層11よりも高不純物濃度であり、第1の固定電位が与えられる半導体領域114と、半導体領域114を囲い、半導体領域114と離間して設けられ、反対導電型であり、第2の固定電位が与えられる半導体領域116と、一導電型で半導体領域114よりも低不純物濃度であり、半導体領域114と、第3の半導体領域116との間の第4の半導体領域11と、を備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

一導電型の第 2 の半導体層と、前記第 2 の半導体層の第 1 の領域の一主面に設けられた、前記一導電型とは反対の導電型である反対導電型の第 1 の半導体領域と、を備えるフォトダイオードと、

前記第 2 の半導体層の前記第 1 の領域とは異なる第 2 の領域の前記一主面上に設けられ、トランジスタ素子が形成された第 1 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層との間に設けられた絶縁層と、

前記第 2 の半導体層の前記第 2 の領域の前記一主面に設けられ、前記一導電型で前記第 2 の半導体層よりも高不純物濃度であり、第 1 の固定電位が与えられる第 2 の半導体領域と、

第 2 の半導体領域を囲うと共に、前記第 2 の半導体領域とは離間して前記第 2 の半導体層に設けられ、前記反対導電型であり、第 2 の固定電位が与えられる第 3 の半導体領域と、

前記一導電型で前記第 2 の半導体領域よりも低不純物濃度であり、前記第 2 の半導体領域と、前記第 3 の半導体領域との間の第 4 の半導体領域と、

を備える 2 重ウエル構造 S O I 放射線センサ。

【請求項 2】

前記第 1 の固定電位は接地電位 ~ 5 V までの間の所定の電位であり、前記第 2 の固定電位は接地電位である請求項 1 記載の 2 重ウエル構造 S O I 放射線センサ。

【請求項 3】

前記一導電型は N 型であり、前記反対導電型は P 型である請求項 2 記載の 2 重ウエル構造 S O I 放射線センサ。

【請求項 4】

前記第 2 の半導体領域と前記第 3 の半導体領域との間の距離は、前記第 2 の半導体層と前記第 1 の半導体領域との間に、前記フォトダイオードを動作させるための逆電圧を印加した場合に、前記第 3 の半導体領域と前記第 2 の半導体層間の P N ジャンクションに広がった空乏層のうち、前記第 3 の半導体領域側に広がる空乏層が、前記第 2 の半導体領域まで到達しない距離である請求項 1 ~ 3 のいずれか一項に記載の 2 重ウエル構造 S O I 放射線センサ。

【請求項 5】

前記フォトダイオードは、X 線検出用のフォトダイオードである請求項 1 ~ 4 のいずれか一項に記載の 2 重ウエル構造 S O I 放射線センサ。

【請求項 6】

一導電型の第 2 の半導体層と、前記第 2 の半導体層の一主面上の絶縁層と、前記絶縁層上に選択的に設けられた第 1 の半導体層を有するアクティブ領域と、を備える積層体を準備する工程と、

前記アクティブ領域にトランジスタ素子を形成する工程と、

前記第 2 の半導体層の前記一主面に、前記一導電型とは反対の導電型である反対導電型の第 1 の半導体領域を形成する工程と、

前記アクティブ領域を用いて位置合わせを行って、前記第 2 の半導体層の前記一主面に、前記一導電型で前記第 2 の半導体層よりも高不純物濃度である第 2 の半導体領域を形成するための第 1 の不純物を導入する工程と、

前記アクティブ領域を用いて位置合わせを行って、前記第 2 の半導体層に、前記第 2 の半導体領域を囲うと共に、前記第 2 の半導体領域とは離間する、前記反対導電型である第 3 の半導体領域を形成する第 2 の不純物を導入する工程と、

を備える 2 重ウエル構造 S O I 放射線センサの製造方法。

【請求項 7】

前記アクティブ領域にトランジスタ素子を形成する前記工程は、前記第 1 の不純物を導入する工程および前記第 2 の不純物を導入する工程の後に行う請求項 6 記載の 2 重ウエル

10

20

30

40

50

構造SOI放射線センサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2重ウエル構造SOI放射線センサおよびその製造方法に関し、特に、同一のSOI(Silicon On Insulator)基板上に、X線検出用のフォトダイオードとトランジスタを混在させたX線(放射線)センサおよびその製造方法に関する。

【背景技術】

【0002】

同一の半導体基板に、センサと周辺回路とが絶縁膜を介して形成されている構造の半導体装置が特許文献1、2に開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-170615号公報

【特許文献2】特開2008-130795号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

同一の半導体基板に、センサと周辺回路とが形成されている構造の半導体装置の中で、X線検出用のフォトダイオードとトランジスタとが同一の半導体基板に形成されている構造のX線センサにおいては、放射線入射時の検出感度を高くするため、X線検出用のフォトダイオードが形成されている半導体基板に低濃度高抵抗の半導体基板を使用したり、半導体基板裏面に数百Vのバイアスを印加する等の方法により、半導体基板全体を空乏化することがある。

【0005】

この際、上側の第1の半導体層と下側の第2の半導体層との間に埋め込み酸化膜を埋め込んだSOI(Silicon On Insulator)基板を用いることにより、埋め込み酸化膜の上側の第1半導体層を回路動作のMOSトランジスタ等の素子形成用の高濃度低抵抗基板、埋め込み酸化膜の下側の第2の半導体層をフォトダイオード形成用の低濃度高抵抗基板とすることで、1枚のウエハ上で周辺回路を含めたX線センサを構成することができる。

【0006】

しかしながら、第2の半導体層を空乏化するために第2の半導体層の裏面に印加した電圧が、埋め込み酸化膜を介して埋め込み酸化膜上に形成した第1の半導体層にも伝わり、第1の半導体層に形成したMOSトランジスタにおいて、本来のゲート電極によってコントロールされる電流経路とは別に、第2の半導体層から伝達した電圧によって埋め込み酸化膜側のチャネル領域が電流経路として動作してしまう問題点と、X線の照射によって埋め込み酸化膜が正に帯電することで埋め込み酸化膜側のチャネル領域が電流経路として動作してしまう問題点があった。

【0007】

これらの問題を解決するために、図11に示すように、高抵抗のN型の第2の半導体層11の表面(主面)151にアノード電極となるP型の半導体領域232が設けられ、N型の第2の半導体層11とP型の半導体領域232とでフォトダイオード30を形成する領域51とは異なる領域61のN型の第2の半導体層11の表面(主面)151に、Pウエル101が設けられ、Pウエル101内にNウエル102が設けられ、Nウエル102上に埋め込み酸化膜10を介して第1の半導体層9のアクティブ領域91が設けられ、アクティブ領域91にMOSトランジスタ40が設けられた構造とし、Pウエル101は高濃度のP型の取り出し領域111を介してGND90に接続され、Nウエル102は高濃

10

20

30

40

50

度のN型の取り出し領域112を介してGND90に接続された構造とすることが考えられる。なお、高抵抗のN型の第2の半導体層11の表面(主面)151には、高濃度のN型の取り出し領域242が設けられ、このN型の取り出し領域242は電源28の正極側と接続され、高抵抗のN型の第2の半導体層11の裏面(主面)152も、電源28の正極側と接続される。P型の半導体領域232は、電源28の負極側と接続されると共にGND90に接続される。

【0008】

この構造では、高抵抗のN型の第2の半導体層11中に、Nウエル102を形成することにより、X線の照射によって埋め込み酸化膜10とN型の第2の半導体層11の界面付近に電荷が蓄積された場合でも、Nウエル102の表面には多数キャリアである電子が蓄積されるため、空乏層が拡がらない。また、Nウエル102はPウエル101中に形成されている。すなわちNウエル102を覆うようにPウエル101が形成されており、Nウエル拡散層102およびPウエル101を接地電位に固定するため、Nウエル102とP型ウエル101との間にも空乏層が拡がらない。これにより、N型の第2の半導体層11を空乏化するためにN型の第2の半導体層11の裏面152に高電圧のバイアス電圧を印加した場合に、Pウエル101とN型の第2の半導体層11との間のPN接合面に拡がった空乏層のうち、Pウエル101側に拡がる空乏層が、Nウエル102との接合面まで到達しないため、X線照射による電荷蓄積量とは無関係にPウエル101の表面付近の電位がグランド電位に保たれる。従って、第1の半導体層9のアクティブ領域91の埋め込み酸化膜10側の界面にN型の第1の半導体層11の裏面152に電源28から印加した電圧は伝達されない。従って、X線の照射によって埋め込み酸化膜10とN型の第2の半導体層11との界面付近に電荷が蓄積された場合であっても、第1の半導体層9のアクティブ領域91に形成したMOSトランジスタ40の埋め込み酸化膜10側のチャネル領域が動作しないため、ゲート電極20による制御に無関係なリーク電流の発生を抑制することができる。

【0009】

しかしながら、この構造では、Nウエル102とPウエル101間の寄生容量が大きくなってしまふという問題点があった。この原因としては、Nウエル102はPウエル101よりも濃度が高くなければならず、また、Pウエル101においてもNウエル102/N型基板11をそれぞれ別の電位に保つために、ある程度の濃度に設定してNウエル102/N型基板11間の耐圧を保つことが必要となるために、Nウエル102/Pウエル101共に濃度を低減させることが困難であり、Nウエル102/Pウエル101間の空乏層幅が広がらないためである。

【0010】

本発明の主な目的は、フォトダイオードとトランジスタとが絶縁膜を介して同一の半導体基板に形成され、寄生容量の小さい2重ウエル構造SOI放射線センサおよびその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

本発明によれば、
 一導電型の第2の半導体層と、前記第2の半導体層の第1の領域の一主面に設けられた、前記一導電型とは反対の導電型である反対導電型の第1の半導体領域と、を備えるフォトダイオードと、
 前記第2の半導体層の前記第1の領域とは異なる第2の領域の前記一主面上に設けられ、トランジスタ素子が形成された第1の半導体層と、
 前記第1の半導体層と前記第2の半導体層との間に設けられた絶縁層と、
 前記第2の半導体層の前記第2の領域の前記一主面に設けられ、前記一導電型で前記第2の半導体層よりも高不純物濃度であり、第1の固定電位が与えられる第2の半導体領域と、
 第2の半導体領域を囲うと共に、前記第2の半導体領域とは離間して前記第2の半導体

10

20

30

40

50

層に設けられ、前記反対導電型であり、第2の固定電位が与えられる第3の半導体領域と、

前記一導電型で前記第2の半導体領域よりも低不純物濃度であり、前記第2の半導体領域と、前記第3の半導体領域との間の第4の半導体領域と、
を備える2重ウエル構造SOI放射線センサが提供される。

【0012】

また、本発明によれば、

一導電型の第2の半導体層と、前記第2の半導体層の一主面上の絶縁層と、前記絶縁層上に選択的に設けられた第1の半導体層を有するアクティブ領域と、を備える積層体を準備する工程と、

前記アクティブ領域にトランジスタ素子を形成する工程と、

前記第2の半導体層の前記一主面に、前記一導電型とは反対の導電型である反対導電型の第1の半導体領域を形成する工程と、

前記アクティブ領域を用いて位置合わせを行って、前記第2の半導体層の前記一主面に、前記一導電型で前記第2の半導体層よりも高不純物濃度である第2の半導体領域を形成するための第1の不純物を導入する工程と、

前記アクティブ領域を用いて位置合わせを行って、前記第2の半導体層に、前記第2の半導体領域を囲うと共に、前記第2の半導体領域とは離間する、前記反対導電型である第3の半導体領域を形成する第2の不純物を導入する工程と、

を備える2重ウエル構造SOI放射線センサの製造方法が提供される。

【発明の効果】

【0013】

本発明によれば、フォトダイオードとトランジスタとが絶縁膜を介して同一の半導体基板に形成され、寄生容量の小さい2重ウエル構造SOI放射線センサおよびその製造方法が提供される。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサを説明するための概略縦断面図である。

【図2】図2は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図3】図3は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図4】図4は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図5】図5は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図6】図6は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図7】図7は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図8】図8は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図9】図9は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図10】図10は、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサの製造方法を説明するための概略縦断面図である。

【図11】図11は、関連する半導体装置を説明するための概略縦断面図である。

【発明を実施するための形態】

【0015】

10

20

30

40

50

以下、本発明の好ましい実施の形態について図面を参照しながら説明する。

【0016】

図1を参照すれば、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサ100は、周辺回路用のMOSトランジスタ40が形成された第1の半導体層9と、第2の半導体層11と半導体領域232とを備えるフォトダイオード30と、第1の半導体層9と第2の半導体層11との間の埋め込み酸化膜10とを備えている。

【0017】

第1の半導体層9はP型半導体基板、第2半導体層11はN型半導体基板で形成している。第2の半導体層11の領域51の主面151には、P型の半導体領域232が設けられている。P型の半導体領域232とN型の第2の半導体層11で、X線用のフォトダイオード30が形成されている。なお、第2の半導体層11の主面151の領域51には、高濃度のN型の取り出し領域242が設けられている。第2の半導体層15の主面151と反対側の主面152には、電極280が設けられている。MOSトランジスタ40が形成された第1の半導体層9のアクティブ領域91は、第2の半導体層11の領域51とは異なる領域61の主面151上に設けられている。

10

【0018】

第2の半導体層11の領域61の主面151側には、Nウエル114が設けられている。Nウエル114は、N型の第2半導体層11よりも高不純物濃度である。なお、Nウエル114の主面151側には、高濃度のN型の取り出し領域241が設けられている。

【0019】

Nウエル114を囲うと共に、Nウエル114とは離間してPウエル116、118、119が第2の半導体層11に設けられている。Pウエル118、119は、Pウエル116と、第2の半導体層11の表面(主面151)を接続して設けられている。Pウエル119はPウエル116側に設けられ、Pウエル118は、第2の半導体層11の表面(主面151)側に設けられている。なお、Pウエル118の主面151側には、高濃度のP型の取り出し領域231が設けられている。Nウエル114とPウエル116、118、119との間には第2の半導体層11が存在する。

20

【0020】

MOSトランジスタ40が形成された第1の半導体層9のアクティブ領域91上には層間膜25が設けられている。埋め込み酸化膜10および層間膜25を介して、P型の取り出し領域231と接続された取り出し電極261、N型の取り出し領域241と接続された取り出し電極264、P型の半導体領域232と接続された取り出し電極265、N型の取り出し領域231と接続された取り出し電極266が設けられている。層間膜25を介してMOSトランジスタ40のソース、ドレインと接続された取り出し電極262、263が設けられている。

30

【0021】

N型の第2の半導体層11は、第2の半導体層11の主面152に設けられた電極280および第2の半導体層11の主面151に設けられた高濃度のN型の取り出し領域242に接続された取り出し電極266を介して電源28の正極側に接続されている。第2の半導体層11の主面151に設けられたP型の半導体領域232は、取り出し電極265を介して電源28の負極側およびGND90に接続されている。

40

【0022】

X線用のフォトダイオード30を構成するN型の第2の半導体層11を空乏化するために、第2半導体層11の裏面(主面152)と高濃度のN型の取り出し領域242(カソード電極)に電源28より100~300V程度の正の高電圧を印加する。この時、Pウエル116は、取り出し電極261を介してGND90に接地する。また、Nウエル114は、取り出し電極264を介してGND90に接地する。または、Nウエル114には、5Vまでの正の電圧を印加してもよい。本実施の形態では、例えば、1.5V印加する。

【0023】

50

Nウエル114とPウエル116間には、不純物濃度が薄いN型の第2の半導体層11が存在するために、ある程度の空乏層が広がる。また、第2の半導体層11を空乏化するために第2の半導体層11の裏面(主面152)に高電圧を印加した場合に、Pウエル116、Pウエル118、119と第2の半導体層11間のPNジャンクションに広がった空乏層のうち、Pウエル116、Pウエル118、119側に広がる空乏層が、Nウエル114とのジャンクションまで到達しなければ、X線照射による電荷蓄積量に無関係にNウエル114の表面付近の電位はGNDまたは5Vまでの電位に保たれたままであり、第1の半導体層9のアクティブ領域91の埋め込み酸化膜10側の界面にも第2の半導体層11の裏面に印加した電圧は伝達しない。

【0024】

以上のように、本実施の形態によれば、Nウエル114/N型の第2の半導体層11間の耐圧を十分に高く保ったままで、Pウエル116、118、119とNウエル114間に広がる空乏層幅を大きくできるために寄生容量を小さくすることが可能となる。

【0025】

なお、本実施の形態では、Nウエル114とPウエル116、118、119と間に存在するのは、N型の低不純物濃度の第2の半導体層11としたが、第2の半導体層11でなくてもよく、N型でNウエル114よりも低不純物濃度の半導体領域であれば、Nウエル114とPウエル116、118、119の空乏層幅を大きくできるので、寄生容量を小さくすることができる。また、Nウエル114とPウエル116、118、119と間に存在する半導体領域は、その濃度に応じて、Pウエル116、Pウエル118、119と第2の半導体層11間のPNジャンクションに広がった空乏層のうち、Pウエル116、Pウエル118、119側に広がる空乏層が、Nウエル114とのジャンクションまで到達しないような厚さを持てば、X線照射による電荷蓄積量に無関係にNウエル114の表面付近の電位はGNDまたは5Vまでの所定の電位に保たれたままであり、第1の半導体層9のアクティブ領域91の埋め込み酸化膜10側の界面にも第2の半導体層11の裏面に印加した電圧は伝達しない。

【0026】

次に、本発明の好ましい実施の形態の2重ウエル構造SOI放射線センサ100の製造方法について説明する。

【0027】

まず、図2に示すように、2000程度の厚さの埋め込み酸化膜10を挟んで上側に880の厚さの第1の半導体層9と、下側に700 μm 程度の厚さの第2の半導体層11を有するSOI(Silicon On Insulator)基板を用いる。この時、例えば第1の半導体層9は比抵抗10 $\cdot\text{cm}$ のP型基板、第2の半導体層11は比抵抗10k $\cdot\text{cm}$ のN型基板で形成されるSOI基板を用いる。

【0028】

この表面にパッド酸化膜(図示せず)と窒化膜(図示せず)を形成し、フィールド酸化膜を形成すべき領域の窒化膜を除去した後に、LOCOS形成法によりフィールド酸化膜を形成した後に図3のように全ての窒化膜と、パッド酸化膜を除去する。これにより、第1の半導体層9にアクティブ領域91、92が形成される。

【0029】

さらに、第1の半導体層9のアクティブ領域91、92の表面にゲート酸化膜12を形成し、図4に示すように、第2の半導体層11に形成すべきNウエル114(図1参照)の形成領域以外の場所を、第1の半導体層9に形成されたアクティブ領域91に位置合わせを行なったフォトレジスト13にて覆い、例えば注入エネルギー300keV、ドーズ量 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の 31P^+ の不純物14をチルト角0度で注入する。

【0030】

その後、フォトレジスト13を除去した後に、不純物14を注入した領域よりも大きく設定したPウエル116(図1参照)の形成領域以外の場所を、図5に示すように、第1

10

20

30

40

50

の半導体層 9 に形成されたアクティブ領域 9 1 に位置合わせを行なったフォトレジスト 1 5 で覆う。P ウエル 1 1 6 (図 1 参照) 形成用の不純物 1 6 の注入においては N ウエル 1 1 4 (図 1 参照) 形成用の不純物 1 4 よりも深い位置に入るように、例えば注入エネルギー 500 keV 、ドーズ量 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の 11B^+ の不純物 1 6 をチルト角 0 度で注入する。

【 0 0 3 1 】

さらに、フォトレジスト 1 5 を除去した後に、N ウエル 1 1 4 (図 1 参照) の形成領域を囲い、P ウエル 1 1 6 (図 1 参照) の形成領域から第 2 の半導体層 1 1 の表面 (主面) 1 5 1 までを接続するような、P ウエル 1 1 8、1 1 9 (図 1 参照) を形成する以外の場所を 図 6 に示すように、第 1 の半導体層 9 に形成されたアクティブ領域 9 1 に位置合わせを行なったフォトレジスト 1 7 で覆い、例えば注入エネルギー 100 keV 、ドーズ量 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の 11B^+ の不純物 1 8 と、注入エネルギー 220 keV 、ドーズ量 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の 11B^+ の不純物 1 9 をチルト角 0 度で注入する。

10

【 0 0 3 2 】

フォトレジスト 1 7 を除去したのちに、ポリシリコン膜を堆積し、フォトレジスト (図示せず) でパターニングを行なったポリシリコン膜のドライエッチングを行い、図 7 に示すように、ゲート電極 2 0 を形成する。このポリシリコン膜の堆積プロセス等において、不純物 1 4、1 6、1 8、1 9 は活性化されて、それぞれ、N ウエル 1 1 4、P ウエル 1 1 6、P ウエル 1 1 8、1 1 9 となる。

20

【 0 0 3 3 】

その後、フォトレジストを除去した後に、第 1 半導体層 9 のアクティブ領域 9 1 に L D D (図示せず) のイオン注入を行い、図 8 に示すように、サイドウォールスペース 2 2 を形成したのちに、高濃度ソース・ドレイン 2 1 のイオン注入工程を行い、活性化して M O S トランジスタ 4 0 を形成する。

【 0 0 3 4 】

その後、第 2 の半導体層 1 1 に形成するべき N 型 / P 型それぞれの取り出し領域以外の場所をフォトレジストにて覆い、図 8 に示すように、埋め込み酸化膜 1 0 をエッチングした後にフォトレジストを除去し、ダイオードのカソードを兼ねた N 型の取り出し領域 2 4 1、および N ウエルの N 型の取り出し領域 2 4 2 の形成用には、例えば注入エネルギー 60 keV 、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物 31P^+ を、ダイオードのアノードを兼ねた P 型の半導体領域 2 3 2、および P ウエル 1 1 8 の P 型の取り出し領域 2 4 1 の形成用には、例えば注入エネルギー 40 keV 、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物 11B^+ を注入する。

30

【 0 0 3 5 】

その後、C V D 膜の堆積によって 図 9 に示すように層間膜 2 5 を形成する。

【 0 0 3 6 】

その後、図 1 0 に示すように、第 1 の半導体層 9 1 と第 2 の半導体層 1 1 の取り出し電極を形成する場所をエッチングすることによってコンタクトホールを形成する。その後、スパッタによって形成したメタル層を電極形成領域以外の部分をエッチングすることによって、取り出し電極 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5、2 6 6 を形成する。

40

【 0 0 3 7 】

本実施の形態では、第 1 の半導体層 9 にアクティブ領域 9 1 を形成した後に N ウエル 1 1 4 と P ウエル 1 1 6、P ウエル 1 1 8、1 1 9 を形成することで、それぞれのウエルを形成するための不純物注入前のホトリソグラフィ工程で、アクティブ領域 9 1 を用いてホトリソグラフィの位置合わせを行なうことが出来る。また、それぞれのウエル形成のための不純物注入後に第 1 の半導体層 9 のアクティブ領域 9 1 に M O S トランジスタ 4 0 を形成することによって、M O S トランジスタ 4 0 のゲート電極を形成するためのポリシリコン膜の堆積プロセス等において、それぞれのウエルに十分な熱処理を加えることが可能となる。

50

【 0 0 3 8 】

以上のように、本実施の形態によれば、第 1 の半導体層 9 に形成したアクティブ領域 9 1 へ最小限のホトリソグラフィの合わせズレ量で N ウエル 1 1 4 と P ウエル 1 1 6、P ウエル 1 1 8、1 1 9 を形成し、更にそれぞれのウエル注入後に多くの熱処理を加えることによって N ウエル 1 1 4 と P ウエル 1 1 6、P ウエル 1 1 8、1 1 9 を更に深い位置まで形成することが可能となる。

【 0 0 3 9 】

なお、上記の実施の形態では、第 2 の半導体層 1 1 が N 型基板である場合について説明しているが、第 2 の半導体層 1 1 が P 型の 2 重ウエル構造 S O I 放射線センサにも適用可能であり、その場合には、他の領域についても、P 型とあったのを N 型とし、N 型とあったのを P 型とする。

10

【 0 0 4 0 】

以上、本発明の種々の典型的な実施の形態を説明してきたが、本発明はそれらの実施の形態に限定されない。従って、本発明の範囲は、次の特許請求の範囲によってのみ限定されるものである。

【 符号の説明 】

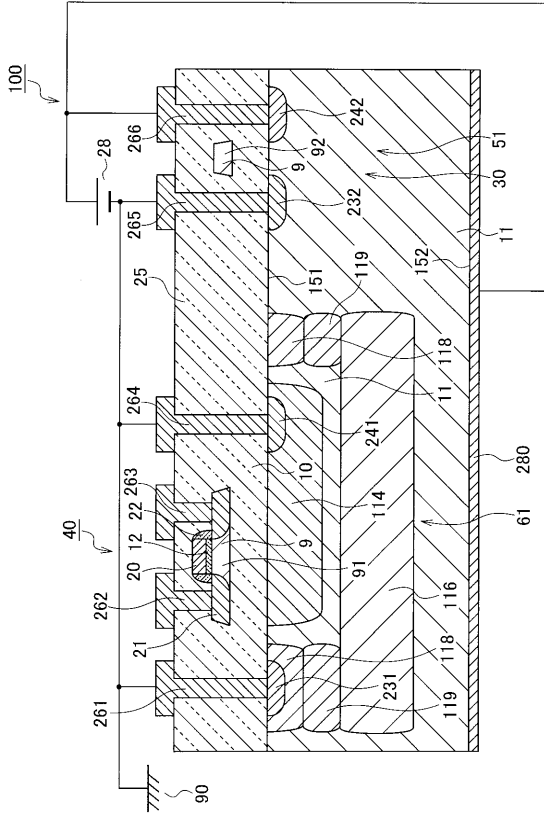
【 0 0 4 1 】

- 9 第 1 の半導体層
- 1 0 埋め込み酸化膜
- 1 1 第 2 の半導体層
- 2 5 層間膜
- 2 8 電源
- 3 0 フォトダイオード
- 4 0 M O S トランジスタ
- 5 1、6 1 領域
- 9 0 G N D
- 9 1 アクティブ領域
- 1 0 0 2 重ウエル構造 S O I 放射線センサ
- 1 1 4 N ウエル
- 1 1 6、1 1 8、1 1 9 P ウエル
- 1 5 1、1 5 2 主面
- 2 3 1、2 4 1、2 4 2 取り出し領域
- 2 3 2 半導体領域
- 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5、2 6 6 取り出し電極
- 2 8 0 電極

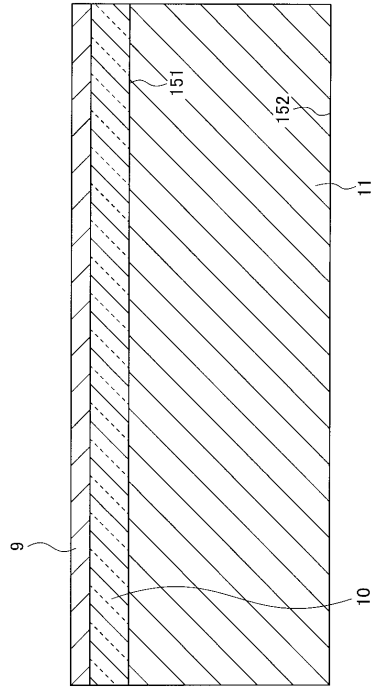
20

30

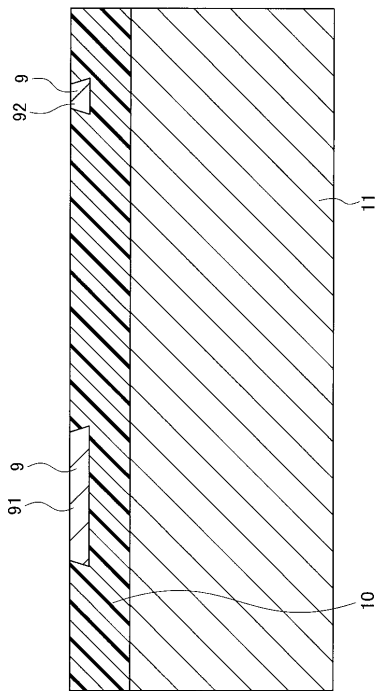
【図 1】



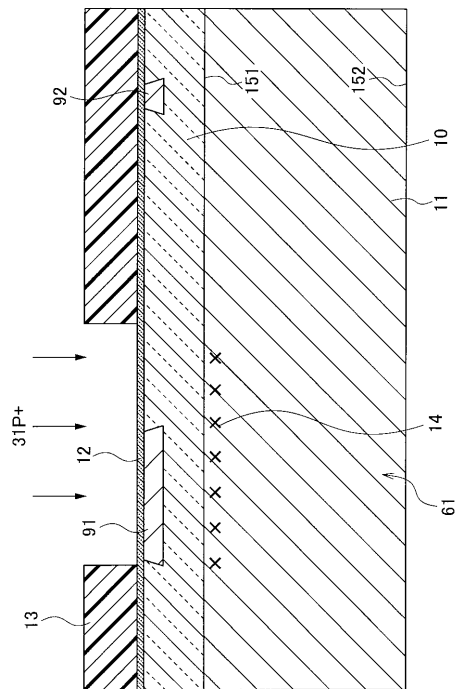
【図 2】



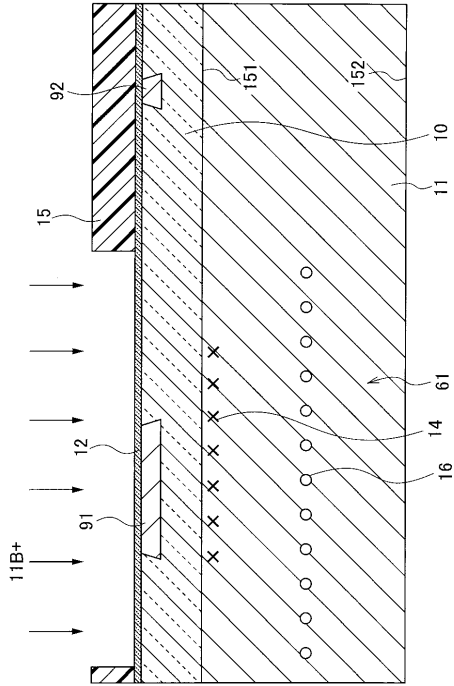
【図 3】



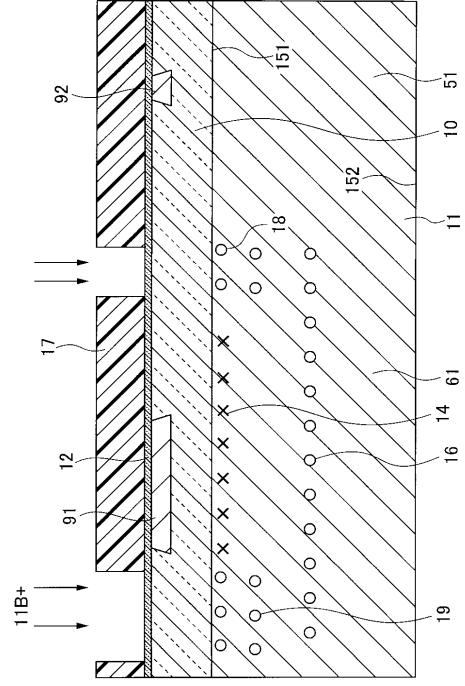
【図 4】



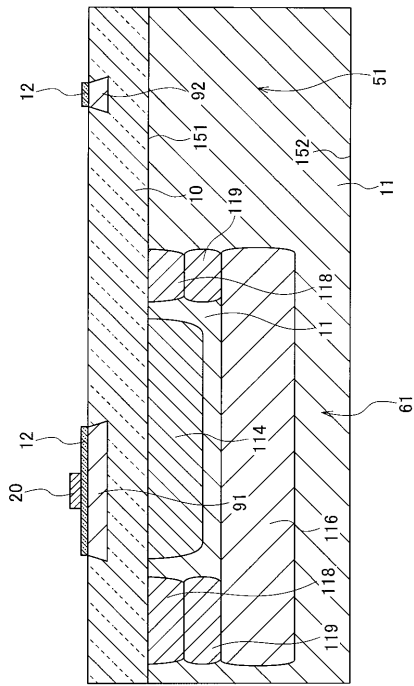
【図 5】



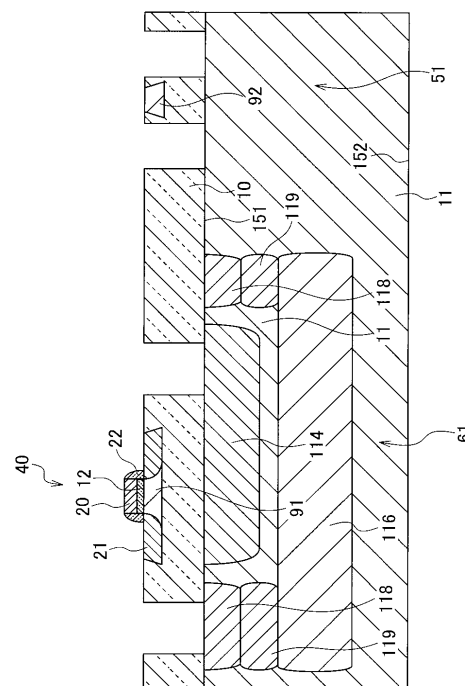
【図 6】



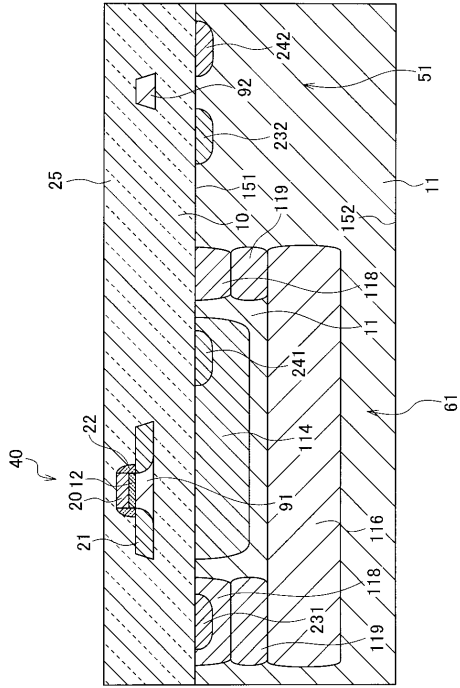
【図 7】



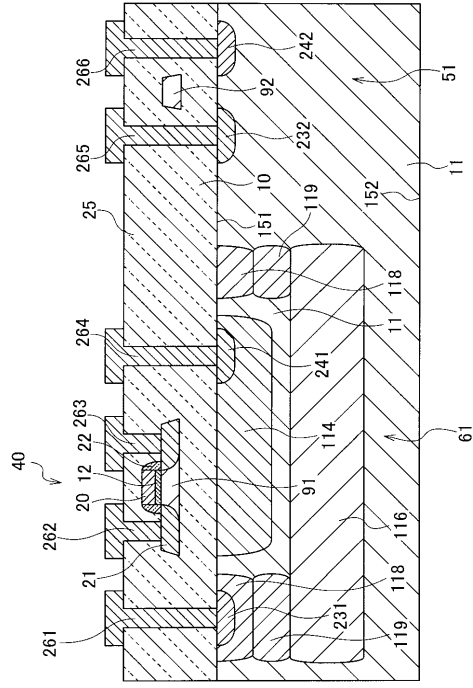
【図 8】



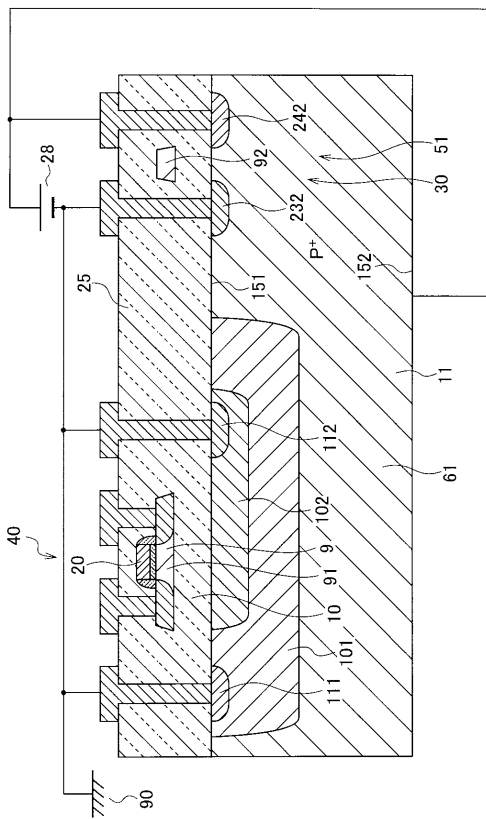
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 葛西 大樹

宮城県黒川郡大衡村沖の平 1 番 ラピスセミコンダクタ宮城株式会社内

(72)発明者 新井 康夫

茨城県つくば市大穂 1 番地 1 大学共同利用機関法人 高エネルギー加速器研究機構内

F ターム(参考) 2G088 GG21 JJ05 JJ37

2G188 AA27 BB02 BB03 CC28 CC31 DD05 DD11 DD34 DD35 DD41
DD43 DD44 DD45 EE05 FF12

4M118 AB01 BA14 CA03 EA01 EA14 FA33

5C024 AX11 CX03 CY47 GX03 HX40 HX47

5F088 AA02 AB02 BA07 BB03 CB10 DA01 DA20 EA08 EA11 GA04
LA08